

역회복전류와 기생소자들에 의한 발진 방지용 MOSFET 푸쉬풀 회로

정 재훈*, 조 규형**, 안 치홍*
한국통신*, 한국과학기술원**

A MOSFET Pushpull Circuit which Prevents the Output Circuit from Oscillation Causing Reverse Recovery Current of MOSFET and Parastic Components

Jae Hoon Jeong*, Gyu Hyeong Cho**, Che Hong Ahn**
Korea Telecom*, KAIST**

ABSTRACT

The general output circuit for PWM output is pushpull using a complimentary MOSFET. The gate driver coupled directly at gate can switch easy upto a high frequency. However, a high reverse recovery current and parastic components make a oscillation output. This paper analyses this phenomenon and proposes a novel output circuit preventing the oscillation.

1. 서론

PWM출력을 위한 푸쉬풀 출력단에는 주로 n채널 MOSFET를 이용한다. 이 경우 아래 부분의 MOSFET의 구동을 위한 게이트 드라이버는 쉽게 구현을 할 수 있으나 윗부분의 MOSFET의 구동하기 위해서는 소스전압이 가변하고 게이트-소스간의 전압이 문턱 전압보다 커야하므로 게이트 드라이버는 풀로팅 전원으로 구동하여야 한다. 이러한 게이트 드라이버는 회로가 복잡해지는 단점이 있다. 한편, 두개의 콤플리멘터리 MOSFET를 사용한 푸쉬풀 회로를 사용한 출력회로는 두개의 MOSFET를 구동하는 데 게이트 드라이버를 아이솔레이션 없이 직접 연결할 수 있다. 그 결과로 높은 주파수로 스위칭 구동을 할 수 있으나, MOSFET 내부 다이오드에 큰 역회복 전류가 흐른 후 주위의 기생소자들에 의하여 출력 노드의 전압이 발진 할 수 있다. 이 발진은 큰 입력신호에 의하여 큰 출력이 나올 때 역회복 전류가 클 때 발생한다. 이러한 조건은 큰 양의 출력을 내기 위하여 윗부분 MOSFET의 도통 시간이 길고 아래부분 MOSFET의 도통 시간이 짧을 때 발생하며, 그 반대로 큰 음의 출력을 낼때도 같은 원리로 발생한다.

이와 같은 역회복 전류의 흐름을 막기 위하여 알려진 방법으로는 역회복시간이 짧은 다이오드를 MOSFET내에 병렬로 추가하는 anti-parallel diode 삽입 방법이 있으나 대개 이러한 다이오드는 내압이 낮으므로 고전압회로에서는 사용이 어렵고 다이오드

의 추가 삽입에 따라 전력 손실이 증가하는 단점이 있다. 다른 방법은 zero voltage switching을 이용하는 방법으로 이는 회로에서 큰 실효 전류가 흘러야 하므로 전력손실이 매우 커지는 단점이 있다.

2. 역회복전류에 의한 발진

그림 1은 큰 양의 입력 신호가 가해질 때 M₁ 주위에서 발진하는 순서를 나타내고 있다. 이 조건에서 만약 M₁이 짧은 시간 동안만 꺼진다면 L_o에 흐르는 전류의 방향은 바뀌지 않는다. 즉, M₁이 꺼진 시간에는 M₂의 내부 다이오드가 도통한다. 이 역회복전류는 MOSFET들의 배선에 있는 기생 인덕턴스 L_{p1}과 L_{p2}에 에너지를 가한다. MOSFET 캐패시터와 기생 인덕턴스간의 공진은 스위칭 주파수 보다 훨씬 높은 주파수의 발진 주파수로서 제어 신호와는 무관하게 M₁과 M₂를 켜고 끈다. 보다 자세한 상태 다이어그램 및 설명은 다음과 같다.

(1) 상태 1

M₁이 켜지고 M₂가 꺼진 상태로서 M₁의 도통시간이 길어 큰 전류가 M₁을 통하여 인덕터 L_o에 흐른다.

(2) 상태 2

M₁이 꺼지고 M₂가 켜진 상태로서 인덕터 L_o에 흐르는 전류의 방향은 전과 같고 이 전류는 M₂의 소스에서 드레인 쪽으로 M₂의 내부 다이오드를 통하여 공급된다. 이 상태는 매우 짧은 시간이다.

(3) 상태 3

M₁이 다시 켜진다. M₂의 내부 다이오드를 통하여 역 바이어스가 가해지고 있는 동안 M₁의 드레인 전압은 올라가기 시작한다. 그 결과 큰 역회복전류가 M₂의 내부 다이오드를 통하여 흐른다. 스위치 M₁은 인덕터 전류 I_o 및 M₂내 다이오드의 역회복전류 I_{rr}을 공급한다. 역회복 전류 길은 M₁의 도통저항 R_{on}, 배선의 기생 인덕턴스 L_{p1}과 L_{p2}, M₂의 C_{ds2} 등으로 이루어진 RLC 공진회로가 된다. 그리하여, M₂ 혹은 M₁의 드레인 전압은 이 공진에 의하여 전원전압 +V_{cc}보다 높이 올라간다.

(4) 상태 4

M₁의 드레인 전압이 +V_{cc} 보다 높게 올라감에 따라 기생 인덕턴스 L_{p1}의 전류는 M₁의 C_{gs1}의 게이트 캐패시턴스를 충전하고 그 순간 게이트 드라이버를 통하여 L_{p2}의 전류는 C_{gs2}를 충전한다. 게이트 드라이버의 출력 저항은 낮고 그 드라이버의 그라운드측 출력단의 그라운드와 연결되어 있으므로 이 길은 또 다른 공진회로를 만든다. 이 공진회로의 RLC 소자는 L_{p1}, L_{p2}와 게이트 드라이버의 그라운드 라인에 의한 기생 인덕턴스 L_{p3} (L_{p4}), M₁의 게이트 캐패시턴스 C_{gs1} (M₂의 C_{gs2}), 게이트의 출력저항 R_g 등으로 구성된다.

(5) 상태 5

캐패시터 C_{gs1}의 과충전된 게이트 전압은 기생 인덕터 L_{p1}과 L_{p3}를 통하여 방전하고 이때 발생하는 공진 전압은 번갈아가며 M₁을 켜고 끈다. 유사하게, C_{gs2}와 L_{p2}, L_{p4}에 의해서 공진하여 M₂를 반복적으로 켜고 끈다. 때때로 M₁과 M₂가 같이 동시에 켜져 슛 슛으로 전류가 흐른다. 두개의 MOSFET가 도통되면 둘 중의 하나 혹은 두 MOSFET는 활성화 영역에 도달한다. 환언하여 말하면, 출력 드라이버는 고 전압 이득을 갖는 선형 증폭기가 되어 주위 기생 소자들에 의해 고 주파 발진기로 동작한다. 그 결과 이 상태 이후의 동작은 매우 복잡하고 예측하기 어려운 발진을 한다.

그림 2는 발진하는 파형의 사진이다. 전원선의 기생 인덕턴스와 C_{ds2}에 의한 첫번째 발진 주파수는 23MHz이고 게이트 전원선과 C_{gs1}, C_{gs2}에 의한 두번째 발진은 4.4MHz이다. 발진의 크기는 역회복전류의 감소 및 R_g의 증가에 따라 감소하고 있다.

3. 발진 방지용 출력회로

그림 3은 MOSFET내 다이오드의 역회복전류를 방지하기 위한 개선 1 회로이다. 출력단의 L_o는 L₁과 L₂ 두개의 인덕터로 구성되어있고, M₁이 꺼졌을때 L_{p1}에 흐르는 전류가 C₁과 D₁을 통하여 우회하도록 하기 위하여 C₁과 D₁ (C₂와 D₂)는 M₁ (M₂)에 매우 가깝게 연결되어있다. 만약 D₁의 다이오드가 충분히 빠르게 켜지고 L₁에 흐르던 전류에 의하여 M₂내의 다이오드가 도통되는 것을 막을 수 있고, 같은 원리로 M₁내의 다이오드가 도통하는 것을 막기 위하여 L₂ C₂와 D₂는 C₁과 D₁의 동작과 같은 동작을 한다. C₁과 C₂의 용량은 C_{ds1}과 C_{ds2}의 용량보다 충분히 큰 것을 선택하고, 이들은 또한 스위칭 순간에 두 MOSFET 양 소스 사이의 전원전압이 흔들거리는 것을 막는다. 이 개선 1 회로의 단점은 부하에 흐르는 전류가 크지 않을 때 출력 단자에서 보이는 등가 인덕턴스가 변하는 것이다. 즉, 부하전류가 작을 때 L₁와 L₂의 전류는 연속적으로 흐르지 않아 두 인덕터에 전류가 동시에 흐를 때와 안흐를 때에 따라 등가 인덕턴스는 L₁ (L₂) 혹은 L₁/L₂으로 나타난다. 이러한 것은 출력 파형에 크로스오버 디스토션을 만든다.

L₁과 L₂의 인덕턴스를 줄이면 크로스오버 디스토션

은 작아진다. 그러므로 그림 4와 같이 L_o와 L₁, L₂로 구성한다. M₁이 꺼질 때 M₁이 L_o에 공급하던 전류는 D₁을 통하여 L₁에서 공급한다. 만약 인덕터 L₁에 나타나는 전압 V_{L1}이 다이오드 D₁에 나타나는 전압 V_{D1}과 같으면 M₂의 소스와 드레인간의 전위는 0V이므로 M₂의 내부 다이오드는 도통하지 않는다. V_{L1}은 V_o를 L₁과 L_o으로 나뉘는 한 부분이므로 이 조건을 만족하는 다음 식으로 쓸 수 있다.

$$-\frac{dI_o}{dt} = \frac{V_o - (-V_{cc})}{L_1 + L_o} \dots\dots\dots (1)$$

$$V_{D1} = V_{L1} = L_1 \frac{dI_o}{dt} \dots\dots\dots (2)$$

실제에는 V_o가 일정하지 않고 변하므로 (2)식은 항상 만족되지 않는다. 그러나, L₁에 나타나는 작은 전압 V_{L1}은 M₂의 다이오드를 도통하기에는 충분히 작은 전압이다. 만약 V_{L1}이 V_{D1}보다 커지면은, 개선 1회로와 같은 동작을 하므로 약간의 크로스오버 디스토션이 발생한다.

그러나, 스위칭 주파수가 수백 kHz이상 이 되는 상황에서는 M₂의 내부 다이오드가 계속 도통하는 것을 목격하였다. 이는 노드1의 전압이 하이상태에서 로우상태로 천이할 때 큰 dV/dt가 되어 L₂를 통하여 스트레이 캐패시터 C_{ds2}의 방전 전류때문이다. 그림 5에 나타난 것과 같은 개선 3 회로와 같이 M₁과 M₂의 드레인 사이에 새로운 다이오드 D₃를 추가하면 C_{ds2}의 방전 전류는 L₂를 대신하여 L₁으로 흐를 수 있다. 만약 L₁과 L₂의 인덕턴스가 커지면, M₁ (M₂)가 꺼질 때 L₁ (L₂) 양단의 전압이 V_{D1} (V_{D2}) 보다 커지므로 L₁, L₂ 와 D₃를 통하는 길로 흐르는 환상 전류가 발생한다.

4. 실험 결과

이 세회로는 D급 증폭기의 출력단에 적용하였으며 MOSFET M₁, M₂는 IRF9540과 IRF540을 사용하고 다이오드 D₁, D₂는 UF5406을 D₃에는 UF4007을 각각 사용하였다. 실험에 사용한 소자값들은 다음과 같다. R_L=4Ω, C₁=C₂=C=1μF, ±V_{DD}=±30V, 스위칭주파수=300kHz 이다.

그림6은 L₁과 L₂의 인덕턴스가 33μH일 때 개선 1 회로의 출력 파형이다. 그림에 나타났듯이 0V 근처에서 크로스오버 디스토션이 나타난다. 그림 7는 역시 개량 2 회로는 크로스오버 디스토션은 제거되었어도 스트레이 캐패시터의 방전 전류에 의해 아직도 MOSFET의 내부 다이오드의 역회복 전류 문제가 아직 해결되지 않고 있는 것을 보여주는 스위칭 파형이다. 이 회로에서 L₁과 L₂는 1μH이고 L_o는 32μH이다. 그림 8 은 기생 효과에 의한 내부 다이오드에 무시할 만한 전류가 흐르는 것을 보여주는 스위칭 파형 그림이다. 음의 침두 펄스전류는 다이오드 D₃를 통하여 M₂의 C_{ds2}의 방전 전류이다. 역 회복전류는 나타

나지 않는다.

5. 결론

MOSFET내의 다이오드의 역회복전류가 게이트 드라이버 및 기생 인덕터, 캐패시터들에 흐르면 기생 발진이 일어난다. 본 논문에서는 이 현상들을 발생 원인

및 동작 상태를 분석하였다. 발진의 주 원인은 MOSFET내의 다이오드의 역회복전류로 때문이므로 이 역회복전류가 흐르지 않는 회로를 제안하였고 이로써 발진을 하지 않았다. 또한 역회복전류에 의한 스위칭 손실이 줄어들어 따라 효율도 증가하였다.

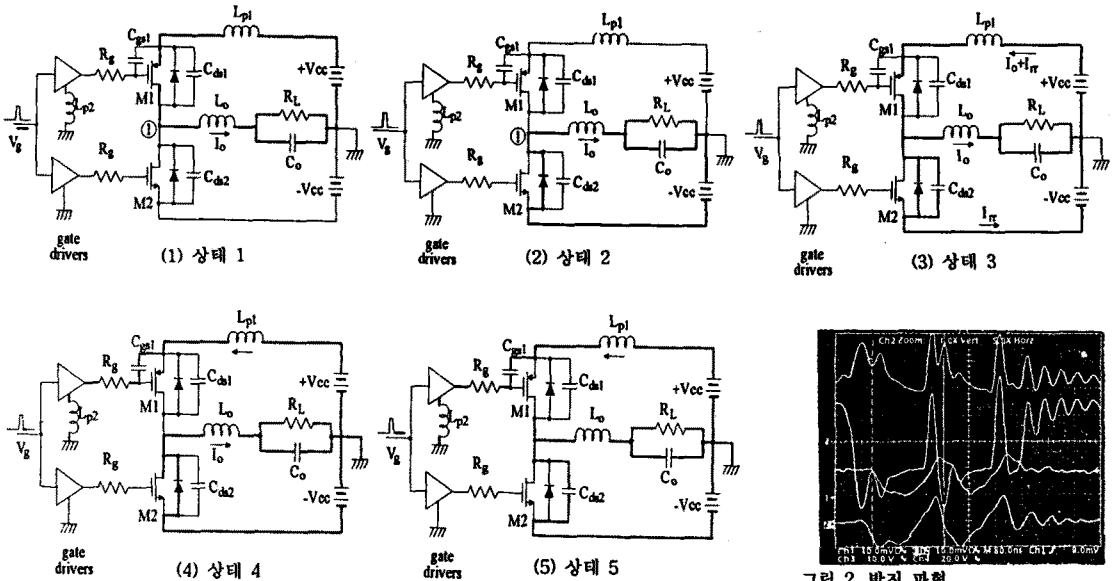


그림 1. 출력단의 발진 상태 변화도

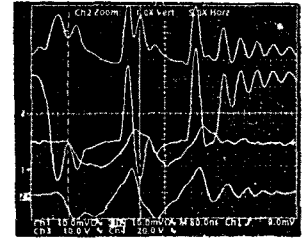


그림 2. 발진 파형

- 1 : M₁의 드레인전류(5A/div)
- 2 : M₂의 드레인전류(5A/div)
- 3 : M₁의 드레인전압 4 : M₁의 V_{gs}

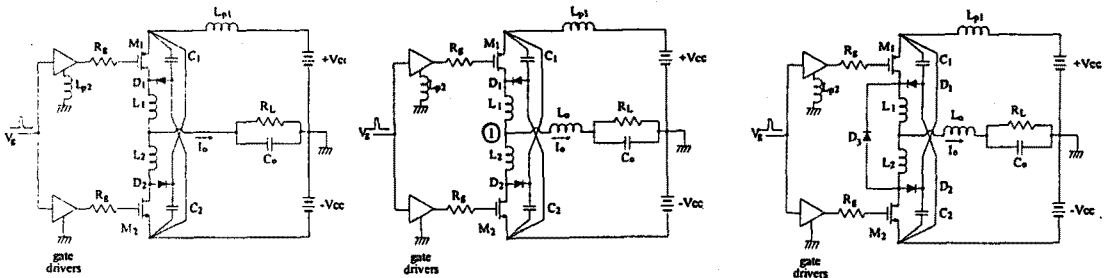


그림 3. 개선 1 회로

그림 4. 개선 2 회로

그림 5. 개선 3 회로

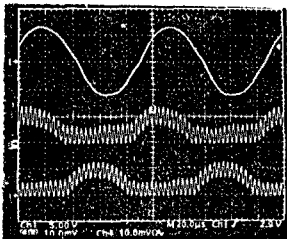


그림 6. 개선 1 회로의 출력 파형
1 : R_L 전압 2 : L₁전류(1A/div)
3 : L₂전류(1A/div)

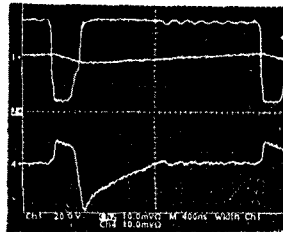


그림 7. 개선2회로의 한 스위칭구간 출력파형
1 : L의 전압 2 : L₀의 전류(2A/div)
3 : L₂의 전류 4 : M₂의 전류 3,4=>0.5A/div



그림 8. 개선3회로의 한 스위칭구간 출력파형
1 : L의 전압 2 : L₀의 전류(2A/div)
4 : L₂의 전류(0.5A/div)