'96 대한전기학회 하계학술대회 논문집 (1996. 7. 22~24)

AT&T ORCA FPGA를 이용한 Add/Drop Control Chip의 설계

이상훈*, 성영권**

*한서대학교 전자공학과, **고려대학교 전기전자전파공학부

Design and Implementation of Add/Drop control chip using AT&T ORCA FPGA

Sang Hoon Lee*, Yung Kwon Sung**

*Dept. of Electronic Eng., Hanseo Univ., **Dept. of Electrical Eng., Korea Univ.

Abstract

An add/drop control chip for SDH transmission system has been designed in AT&T 0.5um CMOS ORCA FPGA. This device plays an important role in achieving self-healing ring operation which protects against failure. After this device receives each 24-ch AU-3 signals from the west, east, and add parts, it outputs each 24-ch switched signals through the control data of system control part. This device consists of eight sub-part such west/east transmitting part, west/east receiving part, add/drop control part, AIS control part, and CPU interface part. The designed device is capable to ring networks as well as linear networks.

1. 서론

디지탈통신중 광통신시스템을 이용한 광전송분야는 대용량의 정보를 전송할 수 있기 때문에 광대역 초고속 정보 통신망 구축의 뼈대(backbone) 역할을 한다. 과거의 관련 전송장치들은 유사동기식 방식(PDH, Plesiochronous Digital Hierarchy)이 주류를 이루어 왔기에 점대점 통신 위주의 통신만이 가능 하였고 통신망(communication network)의 형태를 구성 하기가 어려웠다. 그러나 1990년대 초부터 ITU를 중심으로 SDH(Synchronous Digital Hierarchy) 계위에 따르는 동기식 전송 방식[1][2][3]이 제기되어 선진각국은 동기식 전송장치의 개발에 박차를 가하고 있는 실정이다.

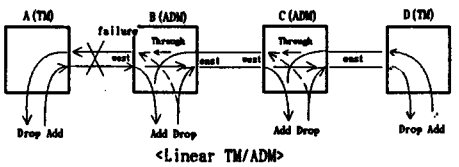
본 연구에서는 SDH 동기식 전송망에서 통신노드로 작용하는 광전송시스템에 접속되는 51Mb/s 급의 종속신호들의 경로를 망관리자의 소프트웨어적 콘트롤로 제어할 수 있게끔 하는 칩을 AT&T ORCA-FPGA로 구현 하였다.

2. 동기식 전송방식

동기식 전송 방식은 125usec의 독특한 데이터 프레임(frame) 구조와 매핑(Mapping)의 과정을 통하여 비동기식 계위 신호들인 DS-1, DS-2, DS-3, DS-4 신호들을 콘테이너(Container)에 담은후 일련의 포인터 프로세싱(Pointer Processing) 처리에 의해서 시스템 클럭과 수신된 신호의 데이터율(Data Rate)의 변위를 정/영/부 위치맞춤(Justification)으로 동기화를 수행하고 단순 바이트 인터리빙(Byte Interleaving) 다중화(Multiplexing)를 통해 STM-N(N=1,4,16,64등)의 동기식 디지탈 계위 신호들을 형성시킨다. 아울러 구간오버헤드(SOH), 경로오버헤드(POH)를 적용하여 통신망의 운용관리 및 유지보수를 원활하게 하여준다. 결국 동기식 다중화란 기존의 비동기식 DS-1 ~ DS-4의 계위 신호들을 STM-N 신호로 다중화시키고 동기식 분기결합(Add/Drop) 장치나 동기식 교차연결장치(DCS)등을 통해 재구성하고 동기식 광통신망을 통해 전송하고 재생하는 일련의 동기식 처리과정을 말하는 것으로 다중화 과정이 매우 간단하며 동기식이기 때문에 장비간의 호환성이 있으며 망의 동기화로 망의 구성이 용이하며 아울러 대용량의 데이터 전송이 가능하기 때문에 동화상 및 HDTV등 광대역 서비스가 가능하며 광대역종합정보통신망(B-ISDN) 구축에 핵심적인 전송방식이다. 따라서 이러한 디지탈 동기식 전송방식을 채택한 광전송장비들은 대도시간 및 대도시내의 전화국간 대용량의 데이터 전송을 위한 통신 노드들로 작용하고 이들간의 광케이블에 의한 연결로 대용량 정보통신망을 구축하고 있다.

3. 자기회복링(SHR)

현재 우리나라의 광역 전송망은 그림-1 에서와 같이 거의 대부분이 TM(Terminal Multiplexer)과 ADM(Add/Drop Multiplexer)으로 구성된 선형 네트워크(Linear Network) 구조로 되어있어 네트워크상에 사고나 재난등으로 인해 통신 전송로인 광화이버(Fiber)가 물리적으로 절단되거나 혹은 여러가지 이유로 BER(Bit Error Rate)이 10^{-3} 이상으로 매우 높게 발생할 때 대용량 데이터의 생존율(Survivability) 측면



<Linear TM/ADM>

그림-1 선형 네트워크

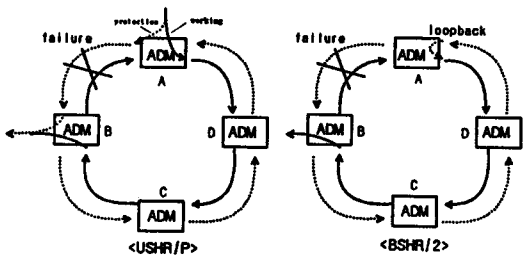


그림-2 링형 네트워크

에서 취약한 형편이다. 즉, 통신노드(Node) A와 B간 화이버 절단(Fiber cut)시 A와 B, C, D간의 통신은 대안의 통신경로가 없기 때문에 불가능한 상황 이다. 이것을 막기위해 예비의 다른 경로의 통신선로 구축및 전송장비의 동작 이중화등으로 통신망(Communication Network)을 새롭게 구축하고 있는 실정 이다. 선진국에서는 이러한 통신선로 및 통신노드에서의 사고로 인해 대용량의 데이터가 손실되는 것을 막기 위한 데이터의 생존율(Survivability) 향상을 위한 대책으로 그림-2 에서와 같이 통신 네트워크를 자기복구링(Self-Healing Ring, SHR)과 같은 링(Ring) 구조로 구축하여 통신 데이터의 예비의 다른경로를 마련함으로써 네트워크중 어느 한곳의 결함 발생시 자동적으로 불통된 서비스를 복구시켜주는 링네트워크에 관한 연구가 활발하다.[4][5][6] 이러한 SHR 네트워크의 구축은 통신선로의 재난 발생시 데이터의 생존율은 크게 높일 수 있지만 반대로 이를 구축하기 위해 투자되어야할 비용이, 새로운 광전송로의 포설과 통신노드들인 광전송시스템의 동작 이중화(예를들면 1+1 or 1:1 Working & Protection)로 그 구조에 따라서는 막대하게 소요되므로 Network Survivability 에 대한 Network Cost의 상대적인 비용단가를 고려 하여야 한다. 즉 비용과 생존율사이에는 trade-off가 있어 적절한 구조의 선택이 요구된다. 따라서 통신망이 광대역화되고 고속 대용량화됨에 따라 데이터의 안전(security)한 유지는 매우 중요한 과제가 되었고 위와 같이 재난발생에 대비하여 데이터의 생존율(Survivability)을 높이기 위해 통신망이 링(Ring)의 구조와 같이 매우 복잡해짐에 따라서 각 통신망에서 노드(Node)의 역할을 하는 광전송시스템도 용량 증가와 더불어 복잡해진다. 즉 시스템에 접속되는 종속신호들의 수가 많아지고 또한 그 신호들의 흐름이 재난발생에 대비하여 별도의 복안 경로를 가져야 하므로 복잡해지며 화재등의 사고 발생시는 Loopback과 같은 조치로 신호들의 신속한 경로변경이 이루어져야한다. 그러나 기존의 전송시스템 경우에서는 이들 많은 신호들의 경로변경을 일일이 사람이 수작업으로 시스템의 연결케이블을 바꾸어 줌으로써 가능하였다. 이는 시스템의 용량이 적을때는 단순한 방법일 수 있으나 전송시스템의 용량이 2.5Gbps, 10Gbps 등으로 증가함에 따라서 현실적으로 불가능 해 진다. 따라서 본 연구에서는 초고속 광대역정보통신망 구축시 통신선로의 화재나 기타 재난등으로 인해 네트워크의 일부가 파괴 되었을때 데이터의 생존율(Survivability)을 높이기 위한 방안으로 현재 제시되고 있는 여러가지의 자기회복링(SHR)을 수용하기 위해서 많은 종속신호들의 경로변경을 통신망 관리자가 프로그램 데이터에 의해서 소프트웨어적으로 손쉽게 변경하여 화재, 사고등의 재난에 대해 전송 데이터의 손실을 신속하게 막고 또한 통신망 구성의 변경에 신호들을 재빨리 적응할 수 있는 방안을 강구하기 위해 여러 종속신호들의 경로변경을 자동적으로 변경할 수 있는 Add/Drop control 칩의구성과 설계를 그 목적으로 하고 있다.

4. ORCA-FPGA

설계를 위하여 사용된 FPGA(Field-Programmable Gate Array)는 AT&T사의 ORCA(Optimized Reconfigurable Cell Array)로 크게 PLC(Programmable Logic Cell)과 PIC(Programmable Interface Cell)의 두 부분의 셀블럭으로 구성된다. 그 특징은 다음과 같다.

o SRAM based FPGA
o 12000 - 26000 usuable gate
o ~ 384 usuable I/O
o 0.5um CMOS Technology (Triple metal)
o 4 16bit look-up table and 4 latches/FFs per PLC
o TTL or CMOS compatible
o 12mA sink / 6mA source or 6mA sink / 3mA source
o nibble-oriented architecture : 4-, 8-, 16-, 32- bus interface

아울러 설계 과정은 먼저 Viewlogic과 ORCA Library로 회로를 설계하고 ODS(ORCA Development System)를 이용하여 설계된 회로를 검증하고 시뮬레이션 한 후 최종 다운로드 화일을 생성 하였다. 그 과정은 그림-3에 나타 내었다.

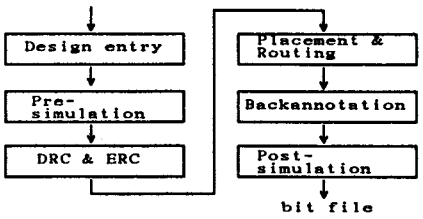


그림-3 Add/Drop Control Chip의 설계과정

5. Add/Drop control chip의 구성

Add/Drop control 칩의 규격은 표-1에 나타 내었다.

표-1 Add/Drop control FPGA chip

Device	ATT2C15-3S240
입력 채널수	3 groups(24 chs/group)
출력 채널수	3 groups(24 chs/group)
Date rate	51.84 Mbit/s
Clock rate	51.84 MHz
처리용량	1.2 Gbit/s(AU-32 24채널)
Data Format	AU(Adminstrative Unit)-32
Technology	0.5um CMOS(3-level metal)
Logic level	TTL
소요Gate size	약 5,000 gates
Power dissipation	약 1W 이하
Power supply	single +5 Volt
Package	240 pin PQFP

Add/Drop control 칩의 구성은 그림-4와 같이 West / East 송신부, West / East 수신부, Add/Drop control부, CPU interface부, AIS(Alarm Indication Signal) control부로 8개의 서브블럭으로 구성된다.

o West / East 송신부

West(East) 송신부는 East(West) 수신부로터 입력된 24 채널의 51.84Mb/s(AU-3) 신호들인 "Through data" 와 Add control 부로터 입력된 24 채널의 51.84Mb/s(AU-3) 신호들인 "Add data" 와 West(East) 수신부로 부터 입력된 24 채널의 51.84Mb/s(AU-3) 신호들인 "Loopback data"를 전송망의 상황에 따라 신호들의 경로를 선택하여 출력 시키는 부분이다.

o West / East 수신부

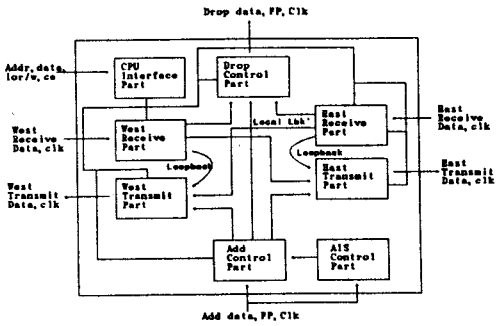


그림-4 Add/Drop Control Chip의 구성도

West(East) 수신부는 각각 West(East)로 부터 입력되는 24 채널의 51.84Mb/s(AU-3) 신호들을 입력받아 East(West) 송신부로 through 시키거나, Drop control부로 제공 하거나, West(East) 송신부로 loopback 시킨다.

o Add control부

종속부로 부터 입력되는 24 채널의 51.84Mb/s(AU-3) 신호들을 전송망의 구성에 따라 West 송신부와 East 송신부로는 Add data로 Drop control 부로는 Local loopback data 로 제공한다. 아울러 입력되는 채널 데이터상에 이상이 있을때 해당 채널에 AIS(Alarm Indication Signal) 신호를 삽입하거나 해제하는 역활도 수행한다.

o Drop control부

West 및 East 수신부로 부터 입력된 24 채널의 51.84Mb/s(AU-3) drop 신호들과 Add control부 로부터 입력된 24 채널의 51.84Mb/s(AU-3) local loopback 신호들을 시스템 제어부의 에러 계산 결과에 의해 양질의 채널신호를 선택하거나 시험에 의해서 local loopback 신호를 선택하여 출력시킨다.

o AIS control부

AIS control 부는 Add 입력되는 24 채널들의 각각 FP(Frame Pulse)를 기준(Reference) FP에 의해 리셋되는 카운터로 일정주기마다 체크하여 채널상에 이상이 있을때 해당 채널에 AIS(Alarm Indication Signal) 신호를 삽입하거나 해제하는 control 신호를 발생시키는 제어부 이다.

o CPU interface 부

CPU interface 부는 시스템 제어부의 control data들에 의해 Add/Drop control chip의 모든 신호들의 경로가 제어되기 위해서 시스템 제어부의 설정 데이터(provisioning data)를 쓰고, 읽게끔하는 기능을 수행하는 part로 어드레스 디코더(decorder), 데이터 레지스터(register)들로 구성된다. 즉 시스템 제어부와의 인터페이스를 위해 4-bit address line과 8-bit data line, I/O Read, Write line, chip enable 으로 구성되어 Add/Drop control chip의 구성을 제어 데이터로 가능케 하고 또한 쓰여진 제어정보를 읽을 수 있는 구조로 설계된다.

그림-5는 설계된 Add/Drop control chip의 top 회로도 이다.

6. 시뮬레이션 및 결과

시뮬레이션(simulation)은 단계별로 Functional simulation(Pre-layout simulation) 과 Post-layout simulation 으로 나누어서 수행 하였다. Simulation은 주로 IBM-PC(486) 상에서 수행하였는데 간혹 설계 시간을 줄이기 위해서 Workstation 상에서도 이루어 졌다. 먼저 Functional simulation은 모든 Gate들의 delay들이 일정한 상태에서 수행한 것으로 설계한 회로들의 논리적인 기능만을 확인한다. 이때에는 metal routing length에 의한 delay는 고려되지 않는다. Post-layout simulation은 pre-layout simulation후 최종 설계된 회로를 optimize 시킨후 placement & routing 하여 delay factor를 추출하여(Backannotation) Viewsim 상에서 수행하였다. 작성된 시뮬레이션 벡터에 의해서 시뮬레이션을 수행한 결과 입출력되는 모든 채널신호들은 시스템 제어부의 제이 데이터에 의해서 잘 control됨을 얻을 수 있었고 AIS control, Local loopback, Remote loopback control 및 data register 부의 read, write도 잘 수행되었다. 그러나 칩의 51.84MHz의 기준 클럭이외에의 다른 클럭들은 여러번의 placement & routing에도 불구하고 출력되지 않아 최종 설계 결과를 bit file로 생성시켜 실제 칩에 그 결과를 다운로드 (down load) 시켰다. 그림-6는 설계된 Add/Drop control FPGA chip의 동작여부를 측정하기 위해 지그보드(jig board)를 제작 하여 그 보드상에서 bit file을 EEPROM으로 다운로드 시킨후 임의의 하나의 입출력 데이터를 측정한 파형이다. 입출력이 잘 일치함을 보여준다.

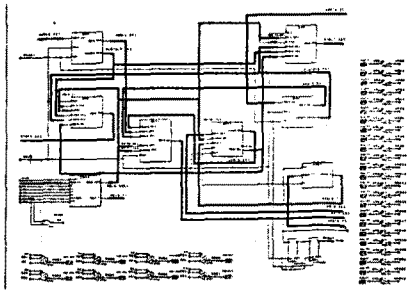


그림-5 설계된 Add/Drop Control Chip의 최종 회로도

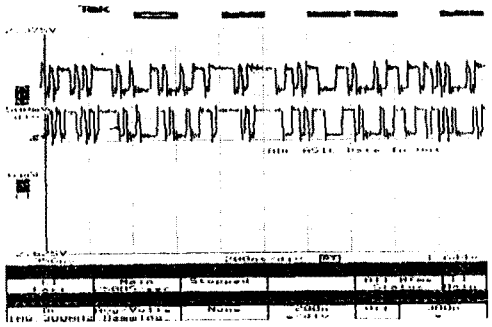


그림-6 Add/Drop Control Chip의 Input/Output 측정결과

7. 결론

SDH ADM(Add/Drop Multiplexer) 광전송시스템에 적용되는 디지탈 종속 신호들의 분기/결합(Add/Drop)을 제어하는 기능을 가진 소자를 AT&T사의 ORCA FPGA를 사용하여 설계 하였다. 이 소자는 광전송시스템의 East에서 입력되는 24 채널의 AU3(51.84Mbps)와 West에서 입력되는 24 채널의 AU3(51.84Mbps) 및 종속부에서 입력되는 24 채널의 AU3(51.84Mbps) 신호들을 시스템 제어부의 configuration data에 의해서 각각 경로 스위칭하여 East, West 및 종속부의 원하는 방향으로 출력 가능하게 한다. 이 소자는 CPU 인터페이스부, West 송/수신부, East 송/수신부, Add/Drop부, AIS control부 등으로 구성되고 Local 및 Remote Loopback 기능을 적용하여 광전송시스템이 선형(Linear) 네트워크 뿐아니라 링(Ring) 네트워크에도 적용 가능하게끔 하는 구조로 설계되었다. 사용된 칩은 약 18000 usuable gate를 갖는 0.5um CMOS technology의 AT&T사의 ATT2C15-3S240을 사용 하였고 package는 240pin PQFP 이다.

참고문헌

1)"Network Node Interface for the Synchronous Digital Hierarchy," ITU-T Recommendation G.708

2)"Synchronous Multiplexing Structure, "ITU-Re commendation G.709

3)"Characteristics of Synchronous Digital Hierarchy(SDH) Equipment Functional Blocks," ITU-T Recommendation G.783

4)"Fiber Network Service Survivability," ch4., Tsong-Ho Wu, 1992 Artech house,Inc.

5)"SONET Bidirectional Line-Switched Ring Equipment Generic Criteria," Bellcore Generic Requirements GR-1230-CORE, Issue1, Decmber 1993

6)Tsohg-Ho Wu et al., "Feasibility Study of a High-Speed SONET Self-Healing Ring Architecture in Future Interoffice Networks," IEEE Communications Magazine, pp.33-51, Nov. 1990