

## EMTDC 를 이용한 Digital 보호 알고리즘 검증방법

이재규\*\* 안복신\* 정병태\*  
\* LG 산전연구소 시스템 연구실

### The Verification Method of Digital Protective Algorithm Using EMTDC

J. G. Lee\*\* B. S. An\* B. T. Jung\*  
\* LGIS R & D Center System Lab.

[Abstract]

In this paper, we suggested the verification method of protective algorithms using EMTDC(Electro-Magnetic Transient DC). In other to verify protective algorithms using EMTDC, we first had to make a user defined component and then applied it to a simple power system with parallel line. By means of this method, We reduced the much time and effort to develop or improve the protective algorithm of digital protective relay.

For the future, we apply this method to IDPACS (Integrated Digital Protection and Control System) and intend to implement more reliable digital protective relays.

1. 서론

본 논문에서는 전력계통 과도현상 해석 프로그램인 EMTDC(Electro-Magnetic Transient DC)를 이용하여 Digital 보호 계전 알고리즘을 검증하는 방법에 대하여 기술하였다. 기존의 Digital 보호 계전 알고리즘 검증 방법은 전기적 신호를 직접 보호 계전기에 인가한 후 동작상태를 보고 판단하였지만, 이러한 방법은 동작 Level 과 동작 시간 측정정도의 수준에 불과하고, 실제 전력계통에서 고장 발생시 나타나는 과도상태에 대한 알고리즘 검증 방법은 어려웠다.

제안된 방법에서는 보호 계전요소의 모델을 EMTDC 내에 쉽게 구현하여 계통 왜란 시 보호 계전 요소의 동작 상태를 시각적으로 볼 수 있다. 특히 보호 알고리즘이 진행되어가는 내부 상태를 알 수 있으므로 알고리즘 수정과 개선에 소요되는 작업량과 시간을 대폭 줄일 수 있다. 따라서 EMTDC 를 이용하여 알고리즘을 검증한 후, Real Time Digital Simulator 를 이용 실제의 계통상황과 같은 다양한 계통조건에서 Digital 보호 계전기의 기능 시험을 하므로써 보다 신뢰할 수 있는 Digital 보호 계전기를 구현 할 수 있다.

2. EMTDC 에서 사용자 정의 Component 생성

EMTDC 내에 보호 계전 요소 모델을 구현하기 위해 사용자 정의 Component 를 생성하여야 하는데 그 방법은 아래와 같다.

1) compile-modes section : EMTDC or RTDS

예) COMPLE-MODES :

EMTDC

2) parameters section :

Id "Description" "Units" Size Type Default Min Max Expr

예) PARAMETERS :

SECTION: "CONFIGURATION"

Name "Relay name" " " 10 NAME

3) graphics section :

예) GRAPHICS :

BOX(-128,-50,128,50)

LINE(-96,-50,-96,-64) FTEXT(-96,-45,"va")

LINE(-64,-50,-64,-64) FTEXT(-64,-45,"vb")

LINE(-32,-50,-32,-64) FTEXT(-32,-45,"vc")

4) nodes section :

<name><x><y><connection-type><modifier><dimension>

예) NODES:

va -3 -2 INPUT REAL

vb -2 -2 INPUT REAL

vc -1 -2 INPUT REAL

5) fortran section : DSD or DSO

예) FORTRAN: DSD

CALL LPCU(\$va,\$vb,\$vc,\$ia,\$ib,\$ic,\$i0m,

& \$Va,\$Vb,\$Vc,\$Ia,\$Ib,\$Ic,\$Z1s,\$Z2s,\$Z3s,\$Z4s)

6) files section :

예) FILES:

/PSCAD/xdraft\_lib/LPCU.f

3. 사용자 정의 Component 로 알고리즘 검증

사용자 정의 Component 를 생성하여, 다음과 같은 간단한 병행 2 회선 송전선로에서 주어진 고장 조건에 대하여 계전요소의 동작특성을 나타내었다.

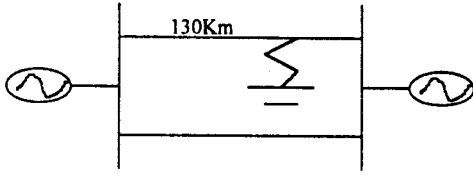


그림 1 병행 2회선 송전선로

### 3-1 사고 검출 계전요소

이 계전요소는 계전기 동작의 안전성을 높이기 위한 것으로 이 요소의 출력은 다른 계전요소에 의한 차단기 최종 트립을 허용하는 역할을 한다. 선간 저전압, 상 저전압, 영상 과전류 요소로 사고를 검출한다. 사고 형태는 bc상 단락, 사고 시점은 0.3초 그리고 사고 지속시간을 0.1초로 하였을 때, 그림 2는 b상의 사고 전류 파형이고, 그림 3은 b상의 사고 전압 파형과 사고 전압 실효치, 그리고 상저전압 트립레벨을 나타낸 것이다. 그림 4는 bc상 단락일 때 사고 검출 계전요소의 출력을 나타낸 것으로, 0.3초에서 0.4초까지만 사고로 판단하고 있다는 것을 알 수 있다.

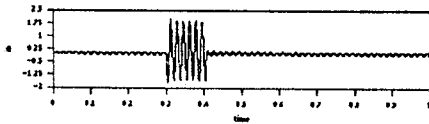


그림 2 b상 사고 전류 파형

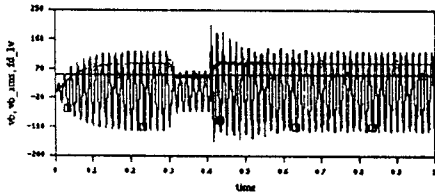


그림 3 b상의 사고 전압 파형, 사고 전압 실효치, 그리고 상저전압 트립레벨

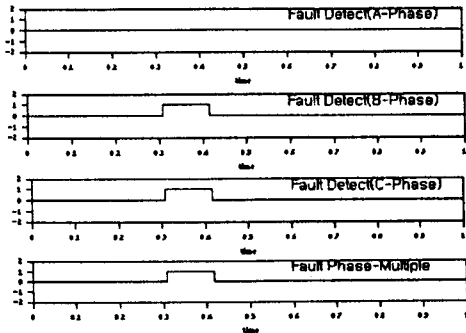


그림 4 사고 검출 계전요소의 출력

### 3-2 사고상 구별

사고 후 측정전류에서 사고 후 영상전류와 사고 전 부하전류를 빼서 순수 사고 전류를 계산한다. 이 순수 사고 전류는 정상분 전류와 역상분 전류의 합

으로써, 각 상 전류의 상대적인 크기 비교로 사고상을 판정한다. 이 요소는 단상 트립 기능을 사용할 경우나 고장점 표정을 구현하기 위한 것이다. 사고 형태는 ab상 지락, 사고 시점은 0.6초, 그리고 사고 지속시간을 0.4초로 하였을 때, 그림 5는 a상의 사고 전류 파형이고, 그림 6은 ab상 지락일 때 사고상 구별 검출 출력을 나타낸 것이다. 그림 6에서 사고상 구별 검출 출력이 지속되는 것은 사고가 제거되지 않고 지속되기 때문이다.

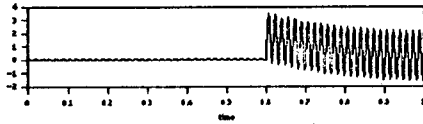


그림 5 a상 사고 전류 파형

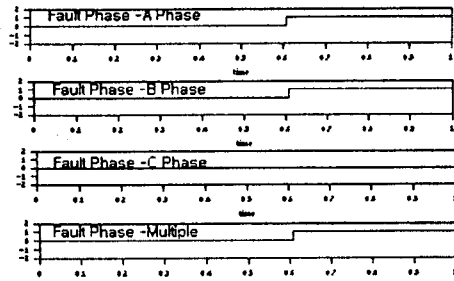


그림 6 사고상 구별의 출력

### 3-3 과전류 계전기

사고 형태는 ca상 지락, 사고 시점은 0.5초, 그리고 사고 지속시간을 0.2초로 하였을 때, 그림 7은 c상의 사고 전류 파형, 사고 전류 실효치, 그리고 순시 트립 레벨을 나타낸 것이다. 그림 8은 c상 순시 과전류 트립 출력이 사고 지속시간 동안 유지됨을 알 수 있다.

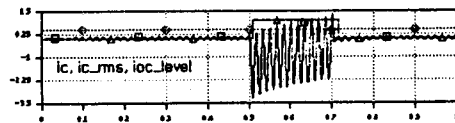


그림 7 c상의 사고 전류 파형, 사고 전류 실효치, 그리고 순시 트립 레벨

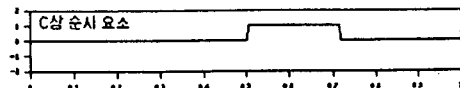


그림 8 c상 순시 과전류 트립 출력

### 3-4 지락 과전류 계전기

사고 형태는 b상 지락, 사고 시점은 0.3초, 그리고 사고 지속시간을 0.05초로 하였을 때, 그림 9는 영상 사고 전류 파형, 영상 사고 전류 실효치, 그리

고 영상 트립 레벨을 나타낸 것이다. 그림 10은 사고 검출 계전요소의 영상요소 출력을 나타낸 것이다. 그림 11-13은 영상 트립 레벨의 출력을 최소치, 중간치, 그리고 최대치로 설정하였을 때 영상 순시 트립 출력을 나타낸 것으로 정정치에 따라 동작시간과 복귀시간이 다를 수 있다.

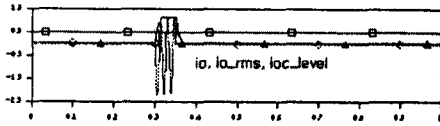


그림 9 영상사고 전류 파형, 영상 사고 전류 실효치, 그리고 영상 트립 레벨

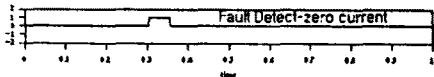


그림 10 사고 검출 계전요소의 영상요소 출력

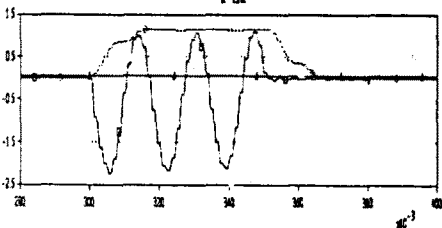


그림 11 영상요소 최소 정정치

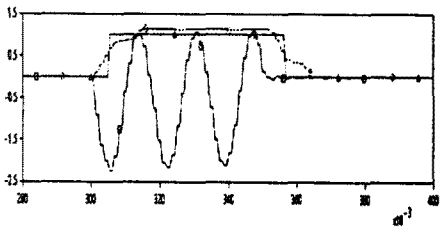


그림 12 영상요소 중간 정정치

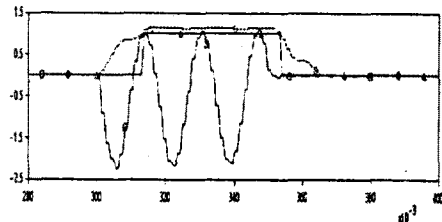


그림 13 영상요소 최대 정정치

### 3-5 거리 계전기

3-4의 사고 조건에서 고장 지속 시간을 0.7초로 하여 지락 거리 계전기의 임피던스 변화를 출력하였다. 그림 14는 건전상(A상)의 임피던스 궤적을 나타낸 것으로 사고 후 임피던스는 원점 근처에 머문다는 사실을 알 수 있다.

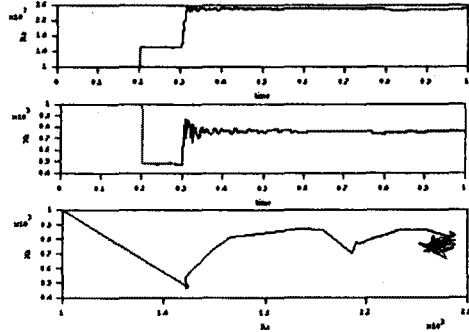


그림 14 1선 지락시 건전상의 임피던스 궤적

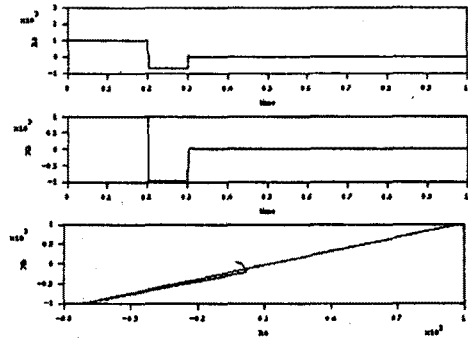


그림 15 1선 지락시 사고상의 임피던스 궤적

## 4. 결론

본 논문에서는 EMTDC 내에 보호 계전요소의 모델을 구현하여 보호 계전 알고리즘을 검증하는 방법에 대하여 기술하였다. 기존의 Digital 보호 계전기 알고리즘 검증에 소요되는 많은 작업량과 시간을 획기적으로 줄일 수 있음은 물론이고, EMTDC를 이용하여 알고리즘을 검증한 후, Real Time Digital Simulator로 실제의 전력계통 상황과 같은 다양한 시험을 하므로써 보다 신뢰할 수 있는 Digital 보호 계전기를 구현할 수 있다. 앞으로 변전소 종합 보호 제어 시스템에 적용되는 각종 알고리즘들을 User Component로 구현하여, EMTDC로 알고리즘을 검증하고자 한다. 또한 Real Time Digital Simulator를 이용하여 실제와 같은 상황에서 보호 계전요소의 동작 상태를 확인하여 보다 신뢰성있는 Digital 보호 계전 시스템을 구현하고자 한다.

## 5. 참고 문헌

- [1] PSCAD Circuit Design Manual
- [2] EMTDC Custom Models Manual
- [3] Blackburn, J. Lewis. "Protective Relaying"
- [4] Stanley H. Horowitz and Arun G. "Phadke, Power System Relaying"
- [5] "변전소 종합 보호제어 시스템설계 및 제작기술 개발에 관한 연구(중간보고서)", 한국전력공사, 1994, 1.