

CoZeNb자성막을 이용한 SPIRAL INDUCTOR의 임피던스 특성

부산수산대학교 전기공학과 김영학
주성전문대학 전자통신과 강희우

IMPEDENCE CHARACTERISTICS OF SPIRAL INDUCTOR USING CoZeNb MAGNETIC THIN FILM

NATIONAL FISHERIES UNIVERSITY OF PUSAN Y. H. KIM
ZUSEONG JUNIOR COLLEGE H. W. KANG

1. 서론

최근 정보기기의 소형화 및 경량화의 추세에 따라 전원의 소형화가 크게 요구되고 있다. 특히 전원을 구성하는 FET, DIODE와 같은 반도체는 미세가공 제조기술의 진보와 함께 소형화되어 왔지만 전원의 주요소인 변압기와 인덕터는 현재에 사용되고 있는 입체적인 구조로는 소형화에 어려운 문제점을 가지고 있다. 따라서 소형화의 한 방법으로 평면적인 구조를 가지는 평면코일의 사용이 제안되었다[1]. 또한 인덕터에 사용되는 철심재료로서 투자율이 높고 이방성 제어가 쉬운 Co기 아몰퍼스 자성막의 사용이 제안되고 있다. 본 논문에서는 CoZeNb 자성막을 이용하여 제작한 spiral 인덕터에 대하여 자성막 형성에 의한 인덕턴스의 증가를 조사하였다.

2. 실험방법

$Co_{94.85}Ze_{3.15}Nb_{12}$ 의 자성막과 Cu막은 rf SPUTTER 장치를 이용하여 제작하였고, $Co_{94.85}Ze_{3.15}Nb_{12}$ 의 자성막은 이방성 자계의 감소와 함께 투자율이 높게 되는 것과 이방성 제어가 쉬운 특징을 가지고 있다. 이방성이 존재하는 자성막을 spiral 인덕터에 사용할 경우, 여자방향에 자화 용이방향과 근난방향으로 여자되기 때문에 자화의 정도가 방향에 따라 틀려지게 된다. 이 때문에 이방성을 제거하기 위한 자계 중 열처리가 필요하다. 인덕터의 단면구조는 비교적 가공이 간단한 자성막+Cu막+자성막의 구조를 가지는 sandwich형으로 하였다. 이방성 제거를 위해 슬라이드 유리 기판 위에 자성막, Cu막, 자성막 순으로 성막하여 $400^{\circ}C \times 2hr$, 자계의 세기는 8750e, 회전속도는 60rpm의 조건으로 회전 자계중 열처리를 하였다. 이 때 박막의 이방성은 M-H loop tracer로, 투자율은 박막 퍼미언스 측정장치(측정 주파수 1MHz-700MHz)[2]로 측정하였다. spiral 인덕터의 제작은 이온밀링 장치로 하였다. 제작된 spiral inductor에 대해 network analyzer를 이용하여 1MHz-1GHz의 주파수범위에서 임피던스를 측정하였다.

3. 실험결과 및 고찰

그림 1은 성막 후, 열처리 전과 회전자장중 열처리 후의 M-H LOOP를 나타낸 것이다. 열처리 전에는 이방성 자계(Hk)가 3.030e정도였으나, 자장중 열처리에 의해 막이 거의 이방성 자계가 나타나지 않았다. 그림 2는 자성막+Cu막+자성막에 대해 자장 중 열처리를 한 후의 투자율을 나타낸 것이다. 자성막 위에 Cu막을 입혔을 때, 투자율의 값은 10MHz 이하에서 2000이상의 높은 값을 나타내었으나 Cu막 위에 자성막을 입힐 경우의 투자율은 그림에서 나타내는 바와 같이 1500이하로 작아졌다. 이 것은 Cu막 위에 자

성막을 입힐 경우, Cu막의 표면의 상태가 자성막의 성장에 영향을 미쳐 투자율 특성이 나빠진 것으로 생각된다. 그림 3은 제작한 spiral인덕터의 임피던스와 공심 인덕터의 임피던스 특성을 나타낸 것이다. 인덕턴스의 값은 10MHz의 이하의 주파수에서 200nH이상의 값을 가지며 이 값을 공심인덕터의 계산치와 비교할 때 인덕턴스가 약 4배 이상 증가하였다.

4. 결론

투자율이 높고 이방성 제어가 쉬운 Co기 아몰퍼스 자성막을 사용한 spiral 인덕터에 대하여 자성막에 형성에 의한 인덕턴스의 증가를 조사하였다. 인덕턴스의 값은 10MHz의 이하의 주파수에서 200nH이상의 값을 가지며 공심 인덕터의 계산치와 비교할 때 인덕턴스가 약 4배 이상 증가하였다.

5. 참고문헌

[1]R. F. Socho:IEEE Trans. Magn. 15, 1803(1979).

[2]T. Kawazu, M. Yamaguchi, and K. I. Arai: IEEE Trans. Magn. 30, 4641(1994).

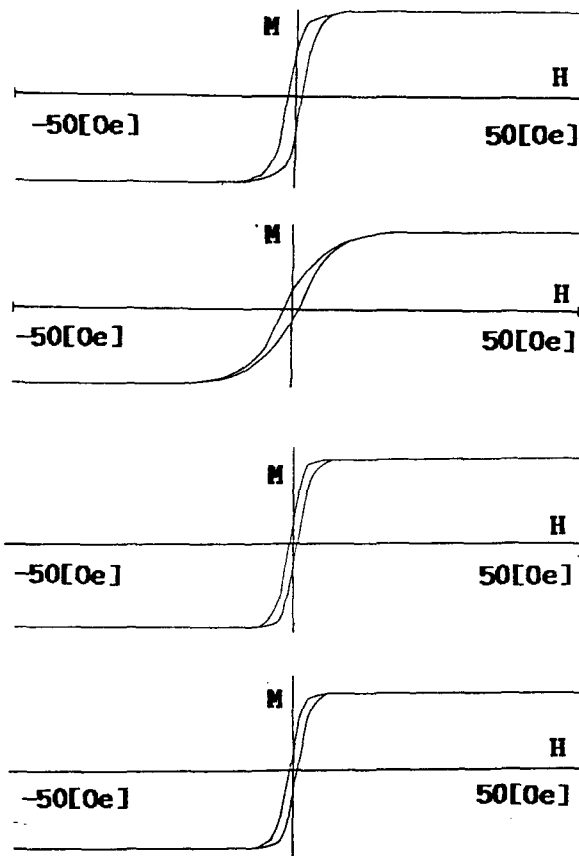


그림 1 자장 중 열처리전과 후의 M-H Loop.

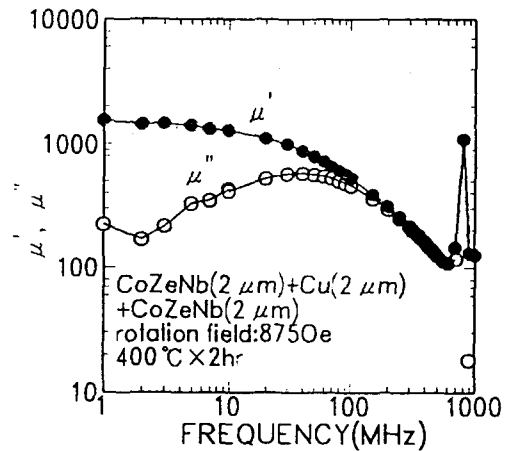


그림 2 자성막+Cu막+자성막의 투자율.

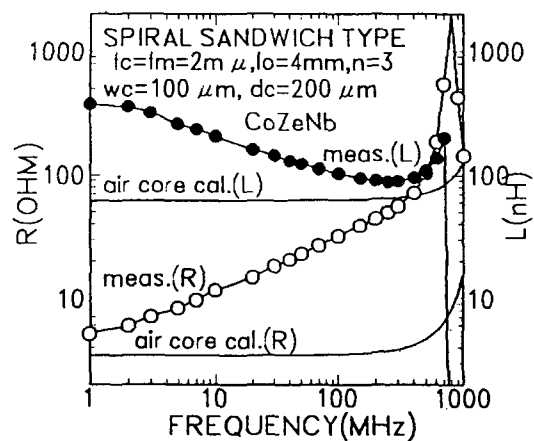


그림 3 인덕터의 임피던스의 주파수 의존성