

LPCVD법으로 증착된 다층비정질 실리콘박막의 고상결정화
(Solid Phase Crystallization of Multi-Layered Amorphous
Silicon Films Grown by LPCVD)

홍익대학교 금속·재료공학과 황의훈, 노재상

액정표시소자(LCD)용 다결정 실리콘박막 트랜지스터(Poly-TFT's)에 사용되는 실리콘박막의 결정립 크기를 조대화 하려는 연구가 광범위하게 진행되고 있다. LCD용 poly-TFT는 비정질 실리콘박막 트랜지스터(a-TFT)에 비해 높은 전하이동도를 가지고 있다. 다결정 실리콘박막의 최종 결정립 크기는 실리콘박막의 증착 조건 및 고상열처리 조건에 따라 좌우된다. 따라서 본 실험에서는 비정질 실리콘박막의 고상결정화거동 즉 핵생성과 성장의 거동양상을 관찰하기 위하여 다층비정질 실리콘박막을 증착하였다. 실험에 사용된 저압화학증착기는 lamp heating에 의한 cold wall system으로 2×10^{-7} Torr의 초기진공도를 나타낸다. 다층비정질 실리콘박막은 반응기 내에서 연속적으로 증착되었다. 증착된 비정질 실리콘 박막의 열처리는 관상로에서 행해졌으며 증착된 박막의 결정구조 및 열처리에 의한 결정화 거동을 분석하기 위하여 XRD를 사용하였다. 결정립의 절대 크기 및 미세구조 분석을 위하여 TEM관찰을 하였다.

1000Å의 SiO₂ 기판 위에 비정질/결정질 천이온도 이하인 430~550°C 영역에서 Si₂H₆를 사용하여 1000Å의 비정질 실리콘박막을 증착하였다. 비정질 실리콘으로부터 다결정 실리콘으로의 결정화 양상은 증착온도가 감소할수록, 증착압력이 높을수록 비정질도의 증가를 가져오고 이는 열처리시 잠복기의 증가를 통해 확인할 수 있었다. 또한 비정질도의 증가로 인해 핵생성 지연 효과를 가져와 소수의 입자만이 성장하여 보다 큰 최종 결정립을 얻을 수 있었다. 그러나 430°C까지의 저온증착을 통하여 아주 낮은 증착속도에서는 더 많은 불순물의 유입으로 최종 결정립크기가 오히려 감소함을 관찰할 수 있었다. 비정질 실리콘박막의 결정화 기구를 분석하고자 480°C에서 950Å 두께의 박막을 증착시키기 전후에 비정질 실리콘 박막의 a-Si/SiO₂계면 또는 박막표면에 50Å의 얇은 Si층을 다양한 조건으로 증착하여 다층박막을 제조하였다. 다층 실리콘박막은 480°C에서 1000Å 증착한 단층 비정질 실리콘박막과 비교 분석되었다. 고상결정화시 480°C-950Å 박막표면에 50Å 박막을 여러가지 조건으로 증착시킨 경우에는 단층비정질 실리콘박막의 잠복기 및 최종결정립크기와 거의 유사한 경향을 나타내었다. 반면 480°C-950Å 박막 증착전 다양한 조건에서 50Å 증착시킨 다층비정질 실리콘박막에서는 핵생성의 잠복기 및 최종결정립크기가 변화하는 것을 관찰할 수 있었다. 이를 통하여 a-Si/SiO₂ 계면에서 우선적으로 핵생성이 일어남을 확인할 수 있었다. 특히 계면에 poly-Si을 증착시킨 경우에는 잠복기와 최종결정립크기가 매우 증가하였다. 이는 증착 중에 계면에 생긴 결정립들이 후 열처리시 핵생성의 seed로 작용하지 않고 비정질박막 내부의 핵생성을 조장하였기 때문으로 판단되었다.