

비정질 실리콘 박막 트랜지스터 히스테리시스 특성

Hysteresis Characteristics of a-Si:H TFT

이우선, 정용호*, 김남오

조선대학교 공과대학 전기공학과

김병인, 장의구

송원전문대학, 중앙대학교

Woo-sun Lee, Yong-ho Chung*, Nam-oh Kim

Dept. of Electrical Eng. Cho-Sun University

Byoung-In Kim, Eui-goo Chang

Song Won Junior College, Chung-Ang University

Abstract

We fabricate a bottom gate a-Si:H TFT on N-Type <100> Si wafer. According to the variation of gate and drain voltage, the hysteresis characteristic curves were measured experimentally. Also, we showed that the model predict the hysteresis characteristic successfully. Drain current on the hysteresis characteristic curve showed an exponential variation. Hysteresis area of TFT increased with the drain voltage increase and decreases with the drain voltage decrease.

1. 서론

비정질 실리콘 박막 트랜지스터는 큰 off resistivity 를 갖고 각각의 cell 에서 능동 스위칭 매트릭스 에 대해 적당한 on current를 갖는다. 또 a-si:H TFT 제조공정 과정에서 TFT의 a-si층과 SiNx층의 저온 증착공정은 고온인 MOS-IC 공정보다 큰장점이 있으며 TFT를 400°C에서 레이어 어닐링하면 보다 큰 그레인의 다결정질 실리콘을 얻을 수 있다. 수소화 비정질 실리콘은 결정질 실리콘에 비하여 우수한 광학적인 특성을 가지는 반면 에너지 밴드 갭 내에 존재하는 국부적인 상태 결합이 존재 하기 때문에 전하트랩이 발생하게 된다. [1]-[3] 일반적으로 TFT 상용화 및 대량 생산을 할려면 우수한 I-V 및 C-V 특성을 얻는 것이 급선무 일 것이다. 우수한 I-V특성을 얻기위한 선결과제는 히스테리시스 현상을 최소화 하도록 디바이스를 설계 하는 것이 해결 방안이다. TFT I-V 특성에 영향을 미치는 요인으로는 여러가지가 있으나 순방향과 역방

향 전압인가시에 발생하는 히스테리시스 현상으로 인한 전류의 감소가 제일 큰 요인으로 인식되고 있다. 따라서 급속도로 실용화 되고 있는 휴대용 컴퓨터및 정보기기의 LCD 패널 및 HD-TV의 화면 디스플레이 등 큰 면적의 디스플레이의 각 pixel에 액정 등 발광 물질과 서로 연결되는 방법으로 정보를 디스플레이 하게 되는 데에 주로 사용되는 반도체 소자인 비정질 실리콘 박막트랜지스터에 대하여 본 연구에서는 TFT의 히스테리시스 발생에 대한 전기적인 특성을 실험적으로 연구 하고 TFT 히스테리시스 특성 발생 원인과 이론적인 분석을 중심으로 히스테리시스 I-V특성의 수학적인 모델식을 유도 하였으며 PECVD 에 의해 TFT제작에 의한 실험적인 결과값과 제시한 모델식을 서로 비교하여 실험과 이론의 명확한 결과로서 본 논문의 타당성에 대하여 결론을 맺고자 한다.

2. TFT 전압-전류특성

드레인 전류에 관한 해석식을 구하기 위하여, 그림1(b)의 TFT 채널내 일정점 y에서 채널도전을 $\sigma(x)$ 는

$$\sigma(x) = Qn(x) \mu_n(x) \tag{1}$$

로 쓸 수 있으므로 이동도가 일정하다고 가정하면 채널 콘덕턴스는

$$G = Z/L \int_0^x \sigma(x) dx = Z \mu_n / L \int_0^x Qn(x) dx$$

로 되고 적분 $\int_0^x Qn(x) dx$ 는 채널의 단위면적당 총전하이므로

$$G = Z \mu_n / L Q_n$$

채널내의 미소부분 dy의 채널저항은

$$dR = dy/dL = dy / Z \mu_n Q_n(y)$$

이며 이 부분에서의 전압강하는

$$dV = I_D dR = I_D dy / Z \mu_n Q_n(y)$$

이다. 따라서 V_D 가 적을때 드레인전류 I_D 와 드레인 포화전류 $I_{D(SAT)}$ 는

$$I_D = Z / [L \mu_n C_{ox} (V_G - V_T) V_D] \quad (2)$$

$$I_{D(SAT)} = Z / [L \mu_n (V_G - V_T)^2] \quad (3)$$

식(3)은 a-Si:H TFT의 포화영역에서의 드레인 전류는 식(4)와 같은 모델식으로 나타낼 수 있다.

$$I_D = K (V_G - V_T)^\eta \quad (4)$$

모델식에서 포화드레인 전류는 트레시홀드 전압 V_T 와 지수적 계수인 η 와 K 에 의존하게 된다. V_T 는 K 가 지수함수적으로 증가함에 따라 선형적으로 감소하게 되며 본 실험에서 제작된 TFT에서 $V_T=4.8V$, $\eta=2.25$, $K=3 \times 10^{-8}$ 이다.

3. 실험 결과 및 분석

본 논문에서 설계하여 제작한 a-Si:H TFT의 구조도는 그림 1(a)과 같다. 웨이퍼는 N-type 100방향 4인치 실리콘 웨이퍼이며 inspection 하고 backside labelling 한 다음 cleaning 하였으며 웨이퍼 세척은 $H_2O_2:H_2SO_4=1:1$ 용액에 초음파 세척 한 후 고순도 3차 증류수에서 세척

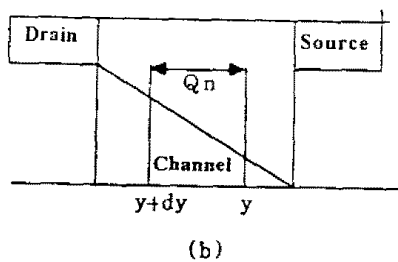
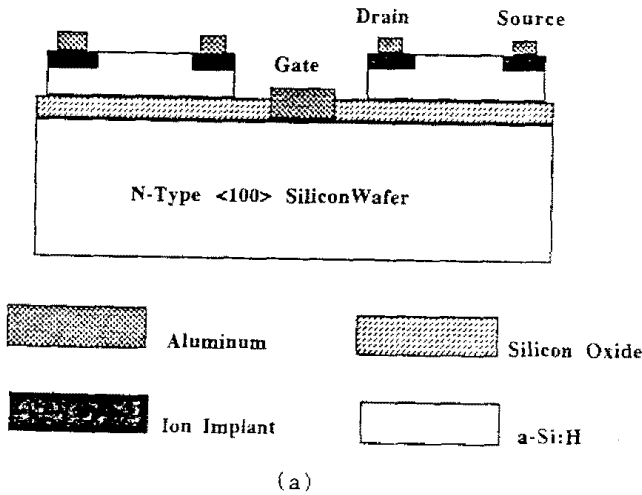


Fig.1 (a)Cross section of TFT, (b)Analytical structure

하였다. 세척한 실리콘 웨이퍼에 dry oxidation 하여 2500Å 두께의 SiO_2 를 성장하였으며 방전 플라즈마 CVD 방법에 의해서 a-Si층을 500Å-2000Å의 두께로 증착한 다음 전면에 PR 코팅하고 하드 베이킹 한 다음 웨이퍼 뒷면의 a-Si층을 RIE 에칭하여 제거 하였다. 드레인과 소오스의 옴믹 콘택을 위하여 $1 \times 10^{16} \text{ ion/cm}^2$, 30 KeV, 100μA의 N^+ 이온을 이온주입기로 주입하고 그 위에 알미늄을 1,000Å 두께로 증착하고 어닐링 하여 드레인 소오스 전극을 형성 하였다. 공정을 간단하게 하기 위해 세 단계로 마스크 작업을 하였다. 세 단계 마스크 작업은 게이트 형성 마스크, a-Si:H 형성 마스크 그리고 소오스-드레인 형성 마스크이며 소오스-드레인 마스크는 이온주입과 금속화에 공동으로 사용되므로 공정이 단순화 되는 잇점이

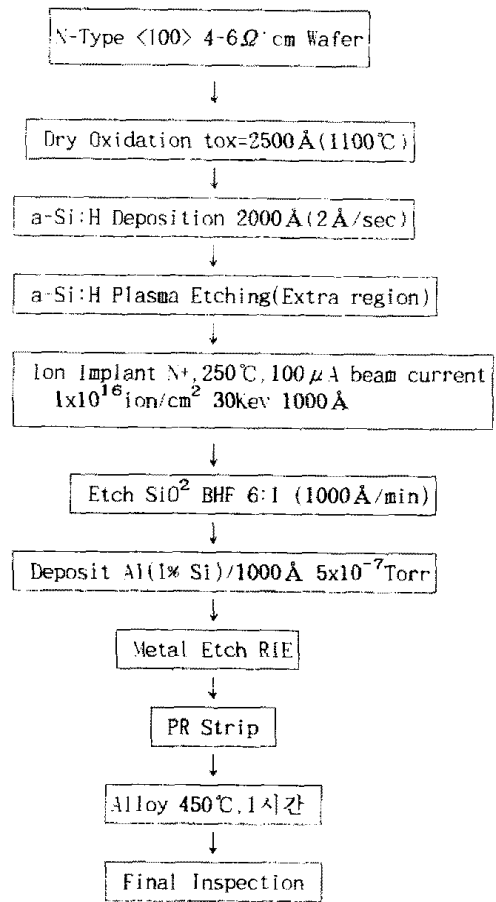


Fig.2 Block diagram of fabrication process

있다. 본 연구에서 제작한 TFT의 제작공정에 대한 개요도는 그림 2와 같다. 제작된 디바이스 폭은 1,000μm이고 채널 길이는 각각 25, 50, 75, 100, 150, 200μm로 설계 하였다. 그중2개의 디바이스는 500, 1,000μm의 채널 폭에 채널 길이는 10μm로 제작 하였다. a-Si:H 증착은 SiH_4 가스를 플라즈마 CVD 시스템을 사용하여 증착하였고 증착조건은 RF Power = 6 W, Temperature = 260 °C, Pressure = 0.35 T, $SiH_4 = 50 \text{ sccm}$, Time = 18 minutes 상태에서 진행하였으며 a-Si:H 증착은 2Å/sec이며, 두께가 2,000

A인 a-Si:H 가 증착되었다.

그림 3은 채널 폭 $100\mu\text{m}$ 와 채널 길이 $1000\mu\text{m}$ 의 비가 $W/L = 10$ 으로 제작된 TFT의 V_G - I_D 히스테리시스 특성 곡선을 나타낸다. 드레인 전압을 4V로 일정히 하고 게이트 전압은 $-15V \sim 15V$ 를 인가하였을 때 드레인 전류의 증가는 순방향전류와 역방향 전류 다같이 지수함수적인 특성을 보였다. V_G 가 $-3V$ 이하에서 I_D 는 약간의 감소를 보이다가 V_G 가 $-3V$ 이상에서 부터 순방향 전류는 크게 증가하기 시작하여 V_G 가 6V 부근에서 포화됨을 알 수있다. 역방향전류는 V_G 가 10V 부근에서 급히 감소하기 시작하여 3V 부근에서 감소가 멈추고 오히려 I_D 는 약간 증가한 후 포화상태를 보였으며 역방향시 드레인 전류의 기울기는 순방향시보다 더 크게 되었다. 이와 같은 순방향과 역방향 전류의 지수함수적인 변화는 비정질 실리콘의 에너지 밴드 가장자리에 국부적인 상태 밀도가 존재하기 때문에 밴드 갭 내와 밴드 갭의 가장자리에 국부적인 상태 결합이 야기되어 단결정 실리콘에서는 확장상태의 원자결합이 생기고 비정질 실리콘에서는 확장상태와 국부적인 상태의 원자결합이 생기기 때문에 비정질 실리콘에 존재하는 덩글링본드의 원자결합에 의한 국부적인 상태 결합으로 인해서 순방향 전류와 역방향 전류의 지수함수적인 변화가 일어나고 결과적으로 드레인 전류의 히스테리시스는 순방향 전류와 역방향 전류의 차이가 된다고 생각된다.

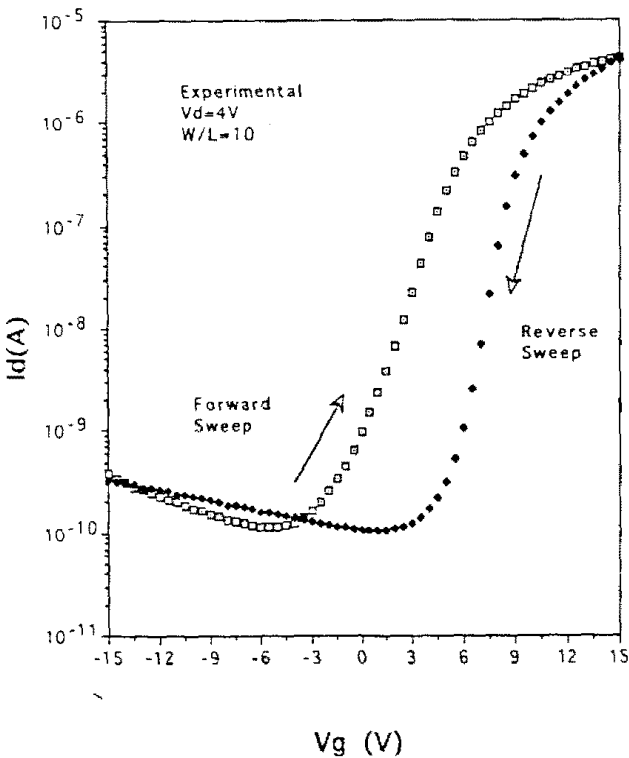


Fig.3 Hysteresis characteristic curve at $V_D = 4V$

그림 4은 드레인 전압이 4V와 8V일 때 히스테리시스 특성의 발생으로 인한 드레인 전류의 변화 곡선을 나타낸다. 히스테리시스 영역의 변화는 드레인 전류가 높을 때 더 크게 되었고, 히스테리시스 발생전압도 더 낮은 전압

에서 일어남을 알 수 있다. 순방향과 역방향 전류는 드레인 전압이 8V일 때 4V일 때 보다 더 높게 나타났으며 $V_G = 15V$ 이고 $V_D = 8V$ 와 $V_D = 4V$ 일 때의 I_D 의 변화 폭은 $V_G = +15V$ 일 때 보다 더 크게 됨을 보였다. 이러한 현상의 원인은 V_G 가 높을 때 비정질 실리콘 층의 활성화 전자의 에너지가 더욱더 활성화되어 히스테리시스 영역과 드레인 전류는 V_G 가 낮을 때 보다 더 커지게 되기 때문으로 생각된다.

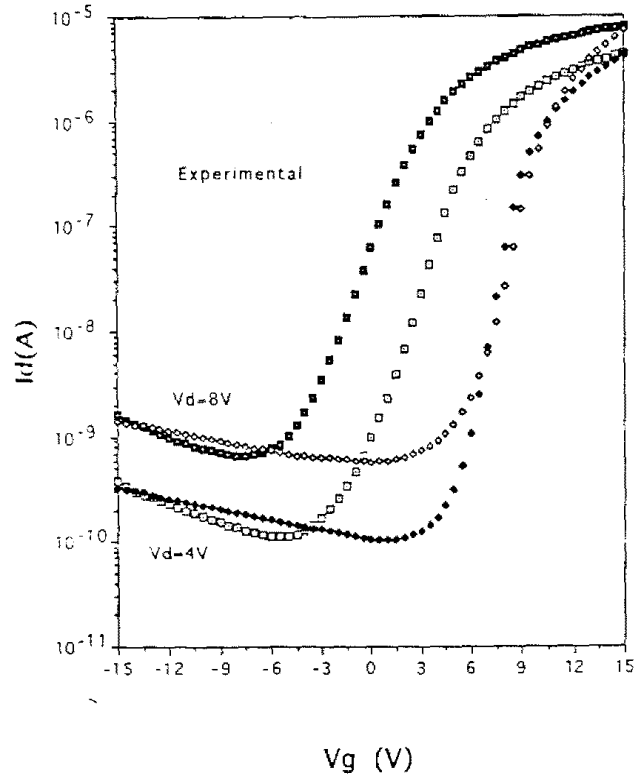


Fig.4 Comparison of hysteresis curves

그림 5은 게이트 전압 $-15V$ 부터 $+15V$ 가 인가되었을 때 드레인 전압이 각각 2, 4, 6, 10V 인가된 경우 순방향 드레인 전류 $I_D(\text{forward})$ 에서 역방향 드레인 전류 $I_D(\text{reverse})$ 를 뺀 드레인 전류의 차이 $I_D(\text{difference})$ 값을 나타낸다. $I_D(\text{difference})$ 는 TFT 히스테리시스 발생 영역이 되고 드레인 전압이 높을수록 히스테리시스 발생 영역은 커지고 드레인 전압이 낮을 때 히스테리시스 발생 영역은 적어졌다. 또한 V_D 가 10V인 경우 V_G 가 0V부터 히스테리시스 현상이 발생이 되었고 V_D 가 낮게인가될수록 V_G 는 높아지게 됨을 보였다. 이와같이 높은 V_D 에서 히스테리시스 발생 영역이 커지는 것은 V_D 가 높아지면 TFT채널의 이동전자가 더욱더 많아지고 온도도 더욱 높아지게 되어서 TFT채널 내의 활성화전자가 더욱더 많이 축적되어지게 될 것이며 이 축적된 전자가 많아지기 때문에 히스테리시스 영역이 커진다고 생각된다.

그림 6은 V_D 가 2V에서 14V 증가될 때 TFT의 전달특성곡선에서 얻어진 $I_D(\text{on})$ 전류와 $I_D(\text{off})$ 전류를 나타낸다. 드레

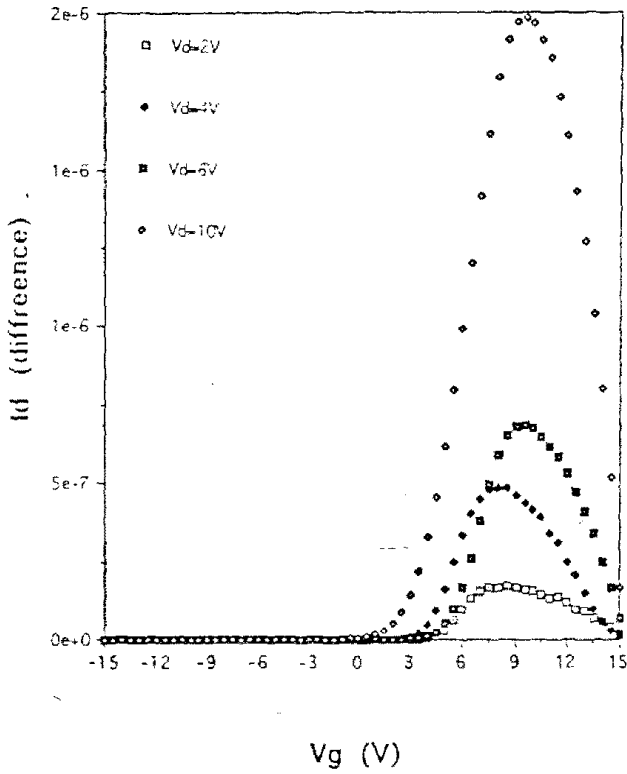


Fig. 5 Variation of I_d versus V_g

인 전압 V_d 가 증가함에 따라서 $I_d(\text{on})$ 전류는 증가됨을 보였고 $I_d(\text{off})$ 전류는 감소됨을 보였다. 드레인 전류 I_d 의 증가 폭의 감소는 $I_d(\text{on})$ 의 증가 폭이 $I_d(\text{off})$ 의 감소 폭보다 약간 크게 되었고 V_d 가 증가하게 될수록 $I_d(\text{on})$ 과 $I_d(\text{off})$ 의 차이의 편차가 적어짐을 보였다.

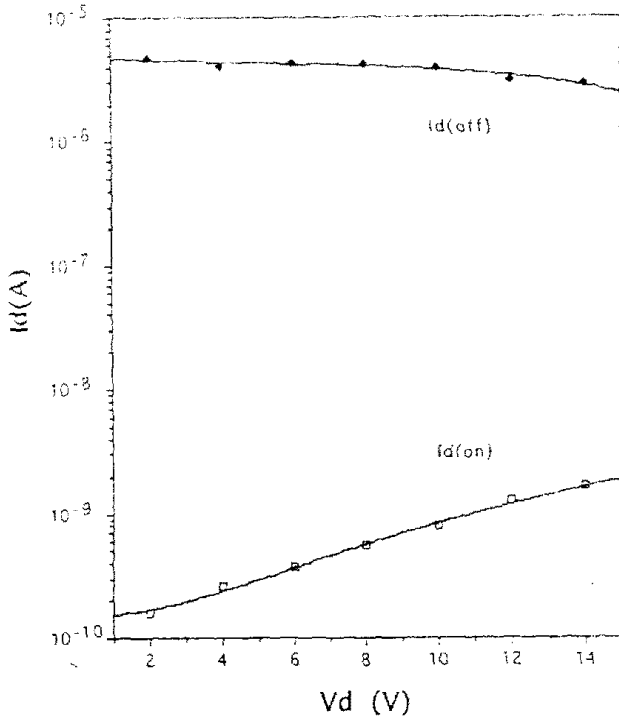


Fig. 6 Variation characteristic between $I_d(\text{on})$ and $I_d(\text{off})$

4. 결론

본 논문에서는 N-Type<100> Si 웨이퍼를 게이트로 한 a-Si:H TFT를 제작하였는데, 제작된 TFT에서 게이트와 드레인 전압 변화에 따른 드레인 전류의 히스테리시스 현상이 실험적으로 측정되었다. 비정질 실리콘 박막트랜지스터의 히스테리시스 특성 현상은 V_g 가 고정된 상태에서 V_d 를 변화시킴으로 인한 I_d 의 변화로 발생하였으며 순방향시와 역방향시에 히스테리시스 현상을 일으키는 드레인 전류는 드레인 전압이 증감 함에 따라서 지수함수적인 변화를 보였다. 히스테리시스 발생 영역은 높은 드레인 전압에서 커졌고 낮은 드레인 전압에서 적게되었으며 히스테리시스 특성 현상이 발생하는 최초의 게이트 전압은 드레인 전압이 낮을 수록 크게 되었고 높을 수록 적게 되었다. 히스테리시스 특성을 나타내는 $I_d(\text{on/off})$ 비는 높은 드레인 전압에서 낮았고 적은 드레인 전압에서 높게 되었으며 드레인 전압이 증가함에 따라서 드레인 전류가 증가하였고 $I_d(\text{off})$ 는 약간의 감소를 보여서 드레인 전압이 증가함에 따라서 $I_d(\text{on})$ 과 $I_d(\text{off})$ 의 편차가 적어지게 되는 특성을 보였다.

참고 문헌

- [1] T. Toyabe, H. Masuda, Y. Kaneko, A. Sasano, H. Fukushima and T. Tsukada, "A two dimensional numerical model of amorphous silicon thin-film transistors", IEEE International Electron Device Meeting, pp. 575-578, 1986
- [2] T. Sunata, K. Miyake, M. Yasui, Y. Murakami, Y. Ugai, J. Tamamura and S. Ioki "A 640x400 pixel active-matrix LC Display using a-Si TFTs", IEEE Electron Devices, vol. ED-33, no. 8, August 1986
- [3] A. Chenevas Paulé, B. Diem, J. Loroux, R. Truche, "Self-aligned a-Si:H TFT", Proceeding of the SID, vol. 26, no. 3, pp. 197-200, 1985