

산화막 / 금속 구조에서 후속열처리에 의한 산화막의 손상  
( Degradation of oxide due to post - anneal in oxide / metal system )

한국전자통신연구소 반도체연구단 : 박 형호, 강 동규, 조 경익, 김 경수  
경북대학교 전자공학과 : 이 재성, 이 용현

SiO<sub>2</sub> / TiW 의 절연물/금속 구조는 field programmable gate array 소자의 anti - fuse 로의 응용이 가능하여, 현재 널리 연구되어지고 있다. 이러한 anti - fuse 구조가 고집적 소자에 응용되기 위해서는 낮은 programming voltage 와 낮은 leakage current 를 나타내어야 한다. 따라서 상온증착한 금속, 절연물 등의 물질 고유특성 회복을 위한 후속열처리가 수반된다.

본 연구에서는 Si (100) 기판위에 상온에서 Ti<sub>0.1</sub>W<sub>0.9</sub> 를 500 nm 증착한 후 그 위에 실리콘 산화막을 약 20 nm RF sputtering 으로 증착시켰다. 이렇게 상온증착 시료의 일부분을 질소 분위기하에서 400, 500, 600 C 로 60분간 열처리한 후 anti - fuse 소자로서의 전기적 특성변화를 살펴보았다. X-선 광전자 분광기 (XPS), 주사전자 현미경 (SEM) 및 오제이전자 분광기 (AES) 를 사용, 상온 증착시료의 후속열처리에 따른 박막구조의 상태변화를 또한 연구하였다.

후속열처리를 통하여 상온증착 시료의 경우 10.2 V 의 yield voltage 가 얻어진 반면, 500 C 의 후속열처리를 통하여 4.2 V 로 감소하고 leakage voltage 또한 감소함을 관찰하였다. 그러나 600 C 후속열처리의 경우 anti - fuse 소자 특성의 파괴가 일어남을 알 수 있었다. SEM 관찰결과, 600 C 의 열처리를 통해서 실리콘 산화막 표면에 반점의 형태로 TiW 의 금속층이 노출되었음을 알 수 있었으며 XPS 및 AES 분석결과, SiO<sub>2</sub> / Ti<sub>0.1</sub>W<sub>0.9</sub> 계면에서 물질의 산화 / 환원 거동이 후속 열처리를 통하여 일어났음을 알 수 있었다. 상온증착의 경우 계면에서 WO<sub>2</sub> 및 TiO<sub>2</sub>의 생성 등을 관찰됨을 알 수 있었고 500 C 까지의 열처리를 통해서 WO<sub>2</sub> 및 WO<sub>3</sub> 가 거의 환원되고 TiO<sub>2</sub> 가 주로 생성됨을 알 수 있었다. 이후 600 C 에서는 SiO<sub>2</sub> 의 Si 로의 환원이 소량 관찰되었다. 이러한 metallic Si 생성 및 하부전극 금속인 W 의 표면으로의 노출이 600 C 이상에서의 고온열처리시 anti - fuse 소자특성의 파괴를 수반하는 것으로 사료된다.