

향상된 PWM 성능을 갖는 유사 병렬 공진형 DC Link 인버터

정용채, 정창용, 황종태, 조규형
한국 과학 기술원 전기및 전자공학과

Quasi Parallel Resonant DC Link Inverter with Improved PWM Capability

Yong-Chae Jung, Chang-Yong Jung, Jong-Tae Hwang and Gyu-Hyeong Cho
Dept. of Electrical Engineering, KAIST

Abstract

A quasi parallel resonant dc-link (QPRDCL) circuit with improved PWM capability is proposed for the zero voltage switching (ZVS) three phase PWM inverter. The peak voltage stresses of switches are all clamped to the dc-link voltage V_d . The proposed QPRDCL inverter has highly improved PWM capability due to selecting the on/off instants of the resonant link at will. Operational principles and analyses of the proposed QPRDCL circuit are explained and verified by simulation results.

1. 서론

인버터에서 고성능의 출력파형을 얻기 위해서는 스위칭 주파수를 어느정도 높게 키워야 한다. 하지만 스위칭 손실이 크게되어 기존의 인버터에서는 수 kHz이하로 제한되어 효율이 떨어지고 잡음이 커지게 된다. 게다가 방열판의 크기가 커지고 토폴 시 전압 침투치를 줄이기 위해서 필연적으로 스너버퍼를 사용해야 한다.

따라서 이러한 문제점들을 해결하기 위해 소프트 스위칭 기술을 인버터에 응용하게 되었다.[1]-[8] 특히 병렬 공진형 전압인 인버터에 관한 연구가 많이 이루어 졌다. 여기서 소프트 스위칭 기술이란 인덕터와 커패시터의 공진현상을 이용해서 DC 링크의 전압이 영으로 되었을 때 인버터의 스위치를 스위칭을 해줌으로 이상적으로는 스위칭 손실을 영으로 만드는 것이다. 하지만 초기의 공진형 인버터는 전압 스트레스가 2.0 p.u. 이상으로 너무 크기 때문에 전압 스트레스를 줄이려는 연구가 많이 이루어 졌다.[2]-[3] 그래서 결국에는 전압 스트레스를 1.0 p.u.로 줄이는 여러 형태의 공진형 인버터가 제안되었다.[4]-[8] 하지만 이러한 결과물 얻기 위해서 부가적으로 많은 스위칭 소자나 수동소자가 필요였으며 몇가지의 공진형 인버터는 PWM 성능이 떨어진다.[4][7]

그래서 본 논문에서는 전압 스트레스가 DC 링크 전압으로 제한되며 향상된 PWM 성능을 갖는 새로운 유사 병렬 공진형 DC 링크 인버터를 제안한다. 제안된 공진형 인버터에 사용된 모든 스위칭 소자의 전압 스트레스는 1.0p.u.로 제한되며 DC 링크 전압이 영이되는 펄스의 시작점과 끝점을 마음대로 조절할 수 있기 때문에 PWM

제어의 응용이 기존의 공진형 인버터보다 용이하다. 본 논문에서는 제안된 유사 병렬 공진형 DC 링크회로의 자세한 동작설명과 분석을 했으며 컴퓨터 모의실험을 통해서 동작을 확인하였다.

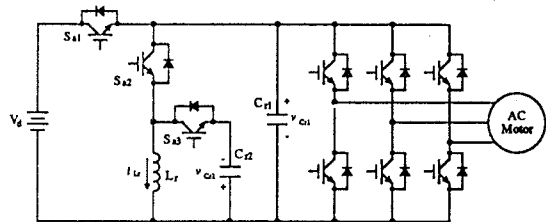


그림 1. 제안된 유사 병렬 공진형 DC링크 인버터.

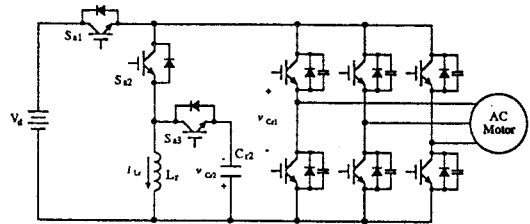


그림 2. 커패시터 분산형 공진형 인버터.

2. 제안된 유사 병렬 공진형 DC 링크 인버터

그림 1은 제안된 유사 병렬 공진형 DC 링크 인버터를 보여주고 있다. 유사 병렬 공진형 DC 링크는 스위치 세개와 공진용 인덕터 L_r 와 공진용 커패시터 C_{r1} 과 C_{r2} 로 구성된다. 여기서 C_{r1} 은 주 공진용 커패시터이고 C_{r2} 는 공진용 인덕터의 전류 방향을 바꾸어 주려는 보조 커패시터이다. 그림 2는 SPSS (Single Phase Soft Switching) 동작을 적용할 수 있도록 주 공진용 커패시터를 인버터의 각 스위치에 분산시킨 형태이고 동작은 동일하다.[5][7]

3. 제안된 공진형 인버터의 동작 및 해석

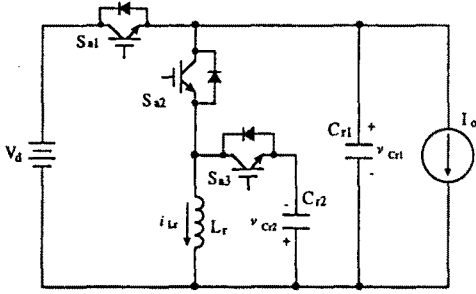


그림 3. 제한된 공진형 인버터의 등가회로.

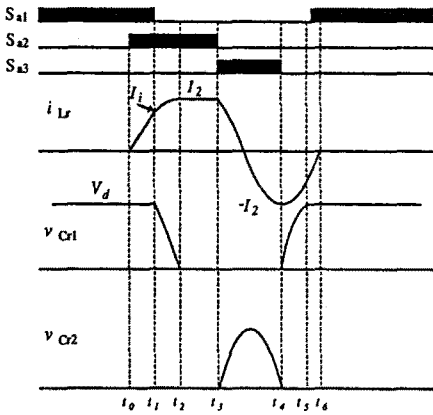


그림 4. 공진용 인덕터와 커패시터의 전류 및 전압파형.

제한된 공진형 인버터의 동작 및 해석을 하기 위해서 모든 소자는 이상적이고 스위칭 동작이 매우 짧기 때문에 인버터측을 전류원으로 가정한다. 그림 3은 제한된 공진형 인버터의 동작을 설명하기 위한 등가회로를 보여주고 있으며 이때 각 링크 스위치의 동작과 공진용 인덕터의 전류 및 공진용 커패시터의 전압파형은 그림 4에 보이고 있다.

모드 0 : 스위치 S_{a1} 이 도통하고 있어 일반적인 인버터 동작을 하는 모드이다. 이때 각 전압과 전류식은 다음과 같다.

$$i_{Lr}(t) = 0, \quad v_{Cr1}(t) = V_d, \quad v_{Cr2}(t) = 0 \quad (1)$$

여기서 V_d 는 DC 링크전압이다.

모드 1 : 인버터의 스위칭 상태를 바꾸려고 하면 스위치 S_{a2} 를 영전류 스위칭으로 켜면서 링크동작을 시작한다. 공진용 인덕터에 DC 링크 전압 V_d 가 가해지므로 아래와 같이 전류가 선형적으로 증가하게 된다.

$$i_{Lr}(t) = \frac{V_d}{L_r} t \quad (2)$$

$$v_{Cr1}(t) = V_d, \quad v_{Cr2}(t) = 0 \quad (3)$$

$$i_{Lr}(t_1) = I_1, \quad T_1 = \frac{L_r I_1}{V_d} \quad (4)$$

여기서 I_1 는 초기화 전류이다.

모드 2 : 인덕터의 전류가 미리 설정해 놓은 초기화 전류에 이르면 스위치 S_{a1} 를 영전압 스위칭으로 끄면 공진용 인덕터와 주 공진용 커패시터가 공진을 시작해서 인버터측

전압을 영으로 떨어뜨린다. 이때의 전류와 전압식은 다음과 같다.

$$i_{Lr}(t) = \frac{V_d}{Z_{r1}} \sin(\omega_{r1} t) + (I_o + I_1) \cos(\omega_{r1} t) - I_o \quad (5)$$

$$v_{Cr1}(t) = V_d \cos(\omega_{r1} t) - (I_o + I_1) Z_{r1} \sin(\omega_{r1} t) \quad (6)$$

$$v_{Cr2}(t) = 0 \quad (7)$$

$$i_{Lr}(t_2) = I_2, \quad v_{Cr1}(t_2) = 0 \quad (8)$$

$$T_2 = \frac{1}{\omega_{r1}} \tan^{-1} \left[\frac{V_d}{(I_o + I_1) Z_{r1}} \right] \quad (9)$$

여기서 $Z_{r1} = \sqrt{L_r / C_{r1}}$, $\omega_{r1} = 1 / \sqrt{L_r C_{r1}}$ 이다.

모드 3 : 주 공진용 커패시터의 전압이 영으로 떨어지면 인버터측의 역병렬 다이오드가 도통이 되어 공진용 인덕터 전류가 관류하게 된다. 이 모드는 다음 모드와 함께 영전압 기간을 형성하며 이 모드동안 주 공진용 커패시터의 전압을 영으로 유지하기 위해 인버터측의 스위치를 모두 켜놓는다. 이 구간은 가변이기 때문에 PWM 제어시 동기를 맞출 수 있기 때문에 저차 고조파(subharmonic) 문제를 해결할 수 있다. 이때의 전압과 전류식은 다음과 같다.

$$i_{Lr}(t) = I_2, \quad v_{Cr1}(t) = 0, \quad v_{Cr2}(t) = 0 \quad (10)$$

여기서 T_3 는 가변이다.

모드 4 : 스위치 S_{a2} 를 끄고 S_{a3} 를 켜면 공진용 인덕터의 전류방향을 바꾸기 위한 공진이 L_r 과 C_{r2} 에 의해서 발생한다. 이때의 수식은 아래와 같다.

$$i_{Lr}(t) = I_2 \cos(\omega_{r2} t) \quad (11)$$

$$v_{Cr1}(t) = 0, \quad v_{Cr2}(t) = Z_{r2} I_2 \sin(\omega_{r2} t) \quad (12)$$

$$i_{Lr}(t_4) = -I_2, \quad v_{Cr2}(t_4) = 0, \quad T_4 = \frac{\pi}{\omega_{r2}} \quad (13)$$

여기서 $Z_{r2} = \sqrt{L_r / C_{r2}}$, $\omega_{r2} = 1 / \sqrt{L_r C_{r2}}$ 이다.

모드 5 : 커패시터 C_{r2} 의 전압이 영이되면 스위치 S_{a3} 를 영전압 스위칭으로 끄고 인버터의 상태를 선택하면 인덕터와 주 공진용 커패시터 C_{r1} 이 공진을 해서 인버터측의 전압을 DC 링크 전압으로 올려주고 수식은 다음과 같다.

$$i_{Lr}(t) = -(I_2 - I_{on}) \cos(\omega_{r1} t) - I_{on} \quad (14)$$

$$v_{Cr1}(t) = Z_{r1} (I_2 - I_{on}) \sin(\omega_{r1} t), \quad v_{Cr2}(t) = 0 \quad (15)$$

$$i_{Lr}(t_5) = -I_r, \quad v_{Cr1}(t_5) = V_d \quad (16)$$

$$T_5 = \frac{1}{\omega_{r1}} \sin^{-1} \left[\frac{V_d / Z_{r1}}{I_2 - I_{on}} \right] \quad (17)$$

여기서 I_{on} 는 다음 상태의 출력전류이고 I_r 은 공진용 인덕터의 잔여전류이다.

모드 6 : 주 공진용 커패시터의 전압이 DC 링크전압이 되면 스위치 S_{a1} 의 역병렬 다이오드를 통해서 클램핑이 되어 공진용 인덕터의 전류는 선형적으로 감소하게 된다. 이때 S_{a1} 은 영전압으로 켜게되고 수식은 아래와 같다.

$$i_{Lr}(t) = \frac{V_d}{L_r} t - I_r \quad (18)$$

$$v_{Cr1}(t) = V_d, \quad v_{Cr2}(t) = 0 \quad (19)$$

$$T_6 = \frac{L_r I_r}{V_d} \quad (20)$$

4. 설계절차

공진용 인덕터와 커패시터를 설계하기 위해서 맨먼저 공진용 인덕터 전류의 최대치를 결정해야 한다. 식 (15)와 (16)으로부터 최악의 경우를 고려하면 다음과 같은 조건식이 얻어진다.

$$I_2 \geq \frac{V_d}{Z_{r1}} + I_{o,max} \quad (21)$$

따라서 공진용 인덕터와 주 공진용 커패시터의 특성 임피던스 Z_{r1} 를 최대한 크게해주면 인덕터 전류의 최대치를 줄일 수 있다. 또한 하나의 조건으로 모드 4에서 공진으로 올라가는 공진용 보조 커패시터의 전압을 최악의 경우 DC 링크 전압이하로 제한해야 하므로 공진용 인덕터와 보조 커패시터의 특성 임피던스 Z_{r2} 의 관계식을 식 (12)로부터 구하면 다음과 같다.

$$Z_{r2} \leq \frac{V_d}{I_2} \quad (22)$$

또한 전체 링크 동작시간인 $t_6 - t_0$ 는 인버터의 스위칭 주기보다는 훨씬 작아야 한다. 그래서 앞절에서 구한 각 구간의 동작시간 식으로부터 전체 링크 동작시간을 설정하고 위에서 언급한 조건들을 컴퓨터를 통해서 적절한 값을 선택해야 한다.

5. 시뮬레이션 결과

제한된 공진형 인버터의 동작을 확인하기 위해서 SABER 시뮬레이터를 이용하여 다음과 같은 데이터를 가지고 컴퓨터 모의실험을 수행했다.

- (1) 공진용 인덕턴스 : $L_r = 20[\mu H]$
- (2) 공진용 커패시터 : $C_{r1} = 40[nF]$, $C_{r2} = 200[nF]$
- (3) DC 전압 및 출력전류 : $V_d = 300[V]$, $I_o = 20[A]$

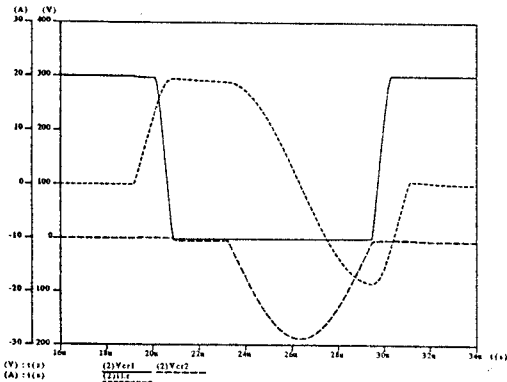


그림 5. 공진용 인덕터와 커패시터의 전류 및 전압파형.

그림 5는 공진용 인덕터와 커패시터의 전류와 전압을 보여주는데 앞절에서 해석한 내용과 잘 일치하는 것을 알 수 있다. 그림 6은 스위치 S_{a2} 의 전압과 전류파형을 보여주며 이것 또한 앞절에서 언급한 내용과 잘 일치하며 전압 stress가 DC 링크 전압이하로 제한되는 것을 알 수 있다.

6. 결론

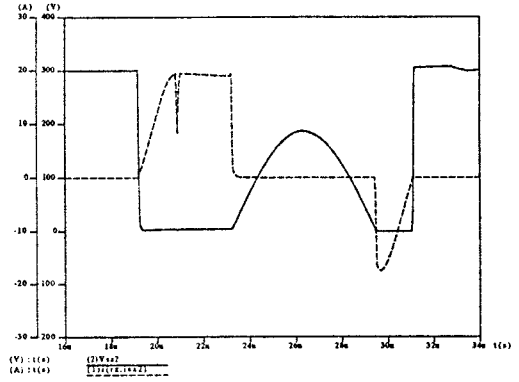


그림 6. 스위치 S_{a2} 의 전류 및 전압파형.

본 논문에서는 PWM 성능이 향상된 새로운 구조의 유사 변형 공진형 DC 링크 인버터를 제안했다. 제안된 회로를 이용하여 스위치의 전압 stress를 DC 링크 전압이하로 제한할 수 있었고 DC 링크 전압 펄스의 위치와 폭을 조절할 수 있게 하여서 기존의 공진형 인버터에서 발생하는 저차 고조파 문제를 해결하였다. 동작설명과 수식전개를 통해서 제안된 회로를 자세히 분석하고 공진용 소자들을 설계했으며 컴퓨터 모의실험을 통하여 이를 확인하였다.

REFERENCES

- [1] D. M. Divan, "The Resonant DC Link Converter-A New Concept In Power Conversion", *IEEE-IAS Annual Conference Records*, pp.648-656, 1986.
- [2] D. M. Divan and G. L. Skibinski, "Zero Switching Loss Inverters for High Power Application", *IEEE-IAS Annual Conference Records*, pp.627-634, 1987.
- [3] L. Malesani, et. al., "A Synchronized Resonant DC Link Converter for Soft-Switched PWM", *IEEE-IAS Annual Conference Records*, pp.1037-1044, 1989.
- [4] Jin He and Ned Mohan, "Parallel Resonant DC Link Circuit - A Novel Zero Switching Loss Topology with Minimum Voltage Stresses", *IEEE Power Electronics Specialist Conf. Rec.*, pp.1006-1012, 1989.
- [5] Jung G. Cho, Hack S. Kim and Gyu H. Cho, "Novel Soft Switching PWM Converter Using A New Parallel Resonant DC-Link", *IEEE Power Electronics Specialist Conf. Rec.*, pp.241-247, 1991.
- [6] Yong C. Jung, Jung G. Cho and Gyu H. Cho, "A New Zero Voltage Switching Resonant DC-Link Inverter with Low Voltage Stress", *IEEE-IECON*, pp.308-313, 1991.
- [7] L. Malesani, P. Tenti, P. Tomasin and V. Toigo, "High Efficiency Quasi Resonant DC Link Converter for Full-Range PWM", *IEEE Applied Power Electronics Conf.*, pp.472-478, 1992.
- [8] Yong C. Jung and Gyu H. Cho, "New Shoot-Through Pole Resonant Link Inverter with Low Voltage Stress", *European Power Electronics Conf.*, Vol.3 pp.135-140, 1993.