

위상정류제어기의 정밀출력제어

강유리* 유동욱** 백주원** 임근희**
 * 러시아 전기물리설비연구소 ** 한국전기연구소

Fine output voltage control of a phase-controlled converter

Y. Kang* D. You** J. Baek** Geunhie Rim**
 * Russia Institute of Electrophysical Apparatus ** KERI

Abstract - Diode and thyristor-based bridge converter have been used for ac/dc conversion. Comparatively, diode bridges are simpler, more robust, less expensive and have a better power factor. However when voltage regulation is required, the thyristor-based phase-controlled converter have been used. But their use is limited by the low power factor and considerable harmonics in the input and output. An ac/dc power conversion scheme capable of fine output voltage control is investigated in this paper.

1. 서론

싸이리스터를 사용한 위상제어정류기는 현재 널리 사용되어지고 있는 AC-DC 전력 변환 방식을 적용하고 있는데 AC-DC 변환 방식의 개념은 요구되어지는 출력 전압의 변화에 추종하여 싸이리스터 점호 펄스를 입력전원의 위상에 따라서 변화하도록 조절하는 것이다. 점호 펄스를 발생시키는 방식에 따라서 사용되어지고 있는 제어회로의 설계는 대부분 위상검출용 변압기로부터 입력전원의 파형을 검출하여 출력점호신호와 입력전원의 위상을 동기시키는 방식과 PLL(Phase Locked Loop) 방식의 2가지로 나뉜다. 그러나, 이런 방식들은 위상검출용 변압기와 필터 및 zero-crossing 검출기 등 여분의 hardware가 필요하다.

현재에 광범위하게 사용되어지고 있는 digital 위상추적 점호방식(Digital phase-locked firing scheme)은 입력전원의 파형을 검출하지 않고 직접 출력전압과 입력명령의 오차전압으로써 점호펄스를 발생시키며 최소의 hardware 구조로서 system을 구현한다. 그러나, 이 방식의 단점은 기존 phase locked loop 방식의 구조를 이용함으로써 출력전압의 응답에 지연이 발생하고 입력 3상전압의 unbalance와 관련된 subharmonic 성분이 감소되지 않는다.

본 논문에서 제시하는 방식은 싸이리스터 컨버터의 구동특성을 사용하여 phase locked firing system의 algorithm을 개발하였는데 싸이리스터 출력전압의 점호펄스 위치와 점호펄스 주기를 제어 입력과 출력전압의 주기간의 변화에 따라서 변조하는 방식을 취한다. 본 algorithm의 실현은 analog와 digital 회로로도 간단히 실현할 수 있으며 algorithm의 분석으로 system의 응답특성을(dynamic) 고려하여 제어기의 optimal parameter를 구하였다.

2. 위상제어정류기 제어방식

싸이리스터를 사용한 위상제어정류기는 현재 산업계에서 가장 널리 사용되고 있는 AC-DC 전력변환 방식이다. 정밀 전류원을 설계할 때에는 싸이리스터의 특수성을 고려해야 하는데 이것은 싸이리

스터의 비선형 특성 곡선과 출력전압의 파동에 대한 문제이다. 선형 평균 출력전압/입력 조정전압 특성곡선은 cosine wave crossing 점호방식과 내부부프 궤환을 사용해 실행할 수 있다. 처음 방식을 이용한 위상제어정류기는 입력전원과 점호펄스를 동기시키기 위해 입력전원의 위상정보를 필요로 하며, 이로 인해 전체 계통의 부피가 증가하고 비경제적이다. 다른 방식중에서 phase-locked loop 방식이 비교적 간단하지만 이 방식의 단점은 동특성이 느린 단점을 가지고 있다. 본 논문에서 제시하는 방식은 phase-locked loop방식과는 다소 차이가 있다. 제안하는 방식은 싸이리스터 정류기의 출력전압 특수성을 고려하여 계통구조를 아주 간단화 하였다. 제시된 6-펄스 위상제어정류기를 사용한 전류원의 2가지 제어방식에 대해 설명한다.

2.1 제 1 방식

첫방식은 그림 1.에 나타난 것과 같은 algorithm에 의해 동작되는 경우이다. Algorithm의 구성은 다음과 같은 과정을 가지는 수식의 전개로 설명되어 질 수 있다. 먼저, 정류기의 점호펄스 발생은 다음의 방정식으로 나타내어질 수 있다.

$$V_i(1) = \frac{1}{RC} \int_0^t [V_{ref}(f) - \beta V_{feed}(t) + V_o(t)] dt = 0 \quad \dots\dots\dots (1)$$

단, $V_i(t)$: integrator 출력전압
 V_{ref} : 제어 입력 전압
 V_{feed} : 정류기의 직접 출력 전압

$$V_o(t) = \begin{cases} + V_1, & \text{when } \tau_1 > t \geq 0 \\ - V_2, & \text{when } t \geq \tau \end{cases}$$

Steady state 상태에서 $V_{ref} = \beta \bar{V}_{feed}$ (\bar{V}_{feed} : 정류기의 평균 출력 전압. 단, $T = \frac{1}{f_o}$, f_o : 3상 출력전압의 주파수)일 때

\bar{V}_{feed} 출력 전압과 V_{ref} 입력 명령전압의 차방정식은

$$\int_0^T V_o(t) dt = 0, \quad V_1 \tau_1 = V_2 (T - \tau_1)$$

으로 나타난다. Integrator의 출력전압은 삼각파이다.

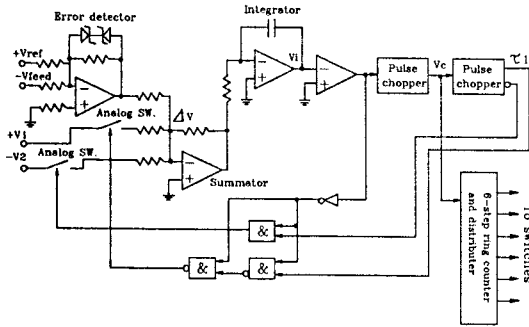


그림 1. 제 1 방식에 의한 전류원 제어

그림 2.는 회로의 동작을 보여주는 파형이다. 본 회로가 제대로 동작하려면 $V_1 > \text{Max}(V_{ref} - V_{feed})$ 이 성립해야 한다. 위상제어정류기는 비선형 계통이다. 따라서,

$$\bar{V}_{feed} = \frac{3\beta V_{ABmax}}{\pi} \cdot \cos\alpha/\pi \quad \dots\dots\dots (2)$$

$$= \beta \times 1.35V_B$$

단, $0 < \alpha < \pi$ 에서
 $\alpha < 90$: Rectifier
 $90 < \alpha < 180$: inverter
 이 때, α : firing angle
 V_{AB} : 선간전압

이 성립한다. 이론적으로 이 계통의 선형화는 cosine wave crossing 점호방식이다. 그러므로, 본 방식의 동적특성을 rja토크하면 위의 방식과 비교해야 한다. Arccosine 방식은 방정식(3)에 의해 결정된다.

$$3\beta V_{ABmax}/\pi \cdot \cos\alpha = V_{ref} \quad \dots\dots\dots (3)$$

식 (3)에서 Sensitivity함수는 다음과 같다.

$$S_o(\alpha_o) = \frac{dV_{ref}}{d\alpha} = -\frac{3\beta V_{ABmax}}{J_1} \cdot \sin\alpha \quad \dots\dots\dots (4)$$

단, α_o - Triggering Angle

본 계통의 sensitivity 함수는 식(1)의 $t=T$ 에서 결정된다.

$$S_1(\alpha_o) = V_{ref} - \beta V_{feed}(T)V_2 \quad \dots\dots\dots (5)$$

오차 $\Delta V = V_{ref} - \beta \bar{V}_{feed}$ 가 적은 상태에서

$$V_{ref} \approx \beta V_{ABmax} \cdot \frac{3}{\pi} \cos\alpha_o$$

$$V_{feed}(T) = \beta V_{ABmax} \cdot \frac{3}{\pi} \cos(\alpha_o + \pi/6)$$

그러므로, 식 (5)는 다음과 같이 된다.

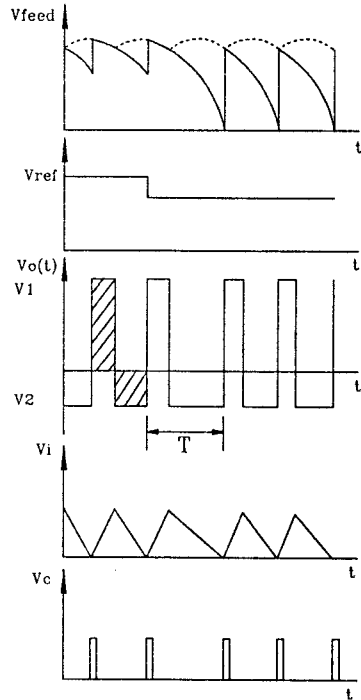


그림 2. 제 1 방식에 의한 회로 동작 파형

$$S_1(\alpha_o) = \frac{\beta V_{ABmax} \cdot \frac{\pi}{3} [\cos\alpha_o - \cos(\alpha_o + \pi/6)] + V_2}{\pi/3}$$

$$\text{단, } \xi = \frac{V_2}{\beta \cdot V_{ABmax}} \cot\theta \frac{3}{\pi}$$

안정적점법은 $0 < F(\alpha_o) < 2$ 에서

과도기간은 $t = nT$ 로부터 식 $\Delta\alpha_n = (1 - F_1(d_o))^n \cdot \Delta\alpha_o$ 에 의해 결정된다.

$$\Delta\alpha_1 = (1 - F_1)\Delta\alpha_o$$

$$\Delta\alpha_2 = (1 - F)\Delta\alpha_1 = (1 - F)^2\Delta\alpha_o$$

$$\Delta\alpha_3 = (1 - F)\Delta\alpha_2 = (1 - F)^3\Delta\alpha_o$$

$$\vdots$$

$$\Delta\alpha_n = (1 - F)^n\Delta\alpha_o$$

2.2 제 2 방식

다음 방식은 직접 digital control 방식이다. 이 방식은 다음과 같은 algorithm을 사용한다.

$$\frac{1}{T} \int_0^t [V_o - V_{feed}(t)] dt = V_o - V_{ref} \quad \dots\dots\dots (6)$$

Digital 위상제어 정류기 구조도는 그림 3.에 보여준다. 정류기의 점호펄스는 식 (7)로 결정된다.

$$\frac{1}{K} \cdot \sum_{i=1}^N f(V_o - V_f(t)) = N_o - V_{ref} \quad \dots\dots\dots (7)$$

참고문헌

1. J. D. Ainsworth, "The phase-locked oscillator- A new control system for controlled static converters," IEEE Trans. Power. App. Syst., vol. PAS-87, pp.859-865, Mar. 1968.
2. J. L. Duarte, J. F. Aubry, and C. Iung, "Current and speed digital control of commutationless dc drives," IEEE Trans. Ind. Electron., vol. 36, pp.480-484, Nov. 1989.
3. E. H. Song and B. H. Kwon, "A current source using the 12-pulse phase-controlled rectifier," KIEE Trans., vol. 39, pp.545-556, June 1990.

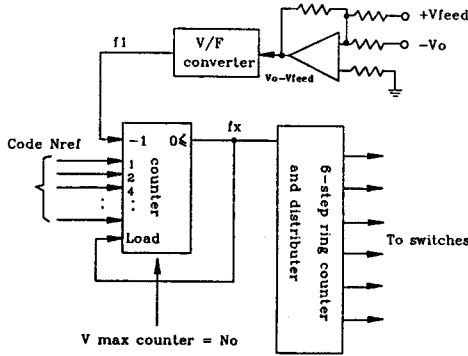


그림 3. 제 2 방식에 의한 전류원 제어

단. $f(V_0 - V_f) - A/F$ converter의 출력 주파수

$$N_0 - \text{const}$$

$$V_0 - \cos nt$$

$$N_{ref} - \text{command code}$$

Steady state 상태에서 counter에 발생하는 주파수는

$f_x = 6f_0$ 이다. 그러므로, $V_{feed} = 0$, $N_{ref} = 0$ 으로부터

$f_1(V_0) = 6f_0 \cdot N_0$ 이며 본 회로에는 $V_0 \geq V_{feed_{max}}$, $N_0 \geq N_{ref}$ 되어야

한다. 이상의 방식으로부터 식(6)을 사용하여 나타낸 $F_2(\alpha)$ 는 다음과 같이 나타내어진다.

$$F_2(\alpha_0) = \frac{\sin \alpha_0}{V_{feed_{max}} / V_0 - \cos \alpha_0} \dots \dots \dots (8)$$

3. 결론

이상에서 해석한 위상제어정류기 특성은 다음과 같다.

- 동기화 회로의 필요성이 없다. 점호펄스발생은 출력전압과 제어입력 정보의 오차에 따라서 발생되며 steady state 오차는 zero이다.
- 동적 특성을 나타내는 계수는 정류기의 비선형성을 사용함으로써 optimal 계수를 얻을 수 있다. 점호펄스를 발생시키는 함수로써 평균 \bar{V}_s 출력전압이 아니고 $V_s(t)$ 가 사용되므로 delay가 최소화 된다.
- 강인성과 동적특성은 loop 이득과는 관련없으며 계수 $I(\alpha_0)$ 와 관련되고 있다.
- 입력 3상전압의 불균형으로 발생하는 subharmonics 성분은 직접 본 논문에서 제시하는 방식으로 감소될 수 있다. 왜냐하면, 본 방식에서는 점호펄스(firing angle)의 발생이 정류기의 펄스주기 값과 제어입력정보에 따라서 결정되기 때문이다.
- $\{|F_2(\alpha_0)| - 1\}$ minimization 방식을 수용할 수 있다.