

전류 제한 능력을 갖는 전력용 MOSFET의 Mixed-Mode 시뮬레이션

°윤 중 만, °최 연 익, 한 민 구
서울 대학교 전기공학과, °아주 대학교 전자공학과

Mixed-Mode Simulation of the Power MOSFET with Current Limiting Capability

°Chong-Man Yun, °Yeorn-Ik Choi, Min-Koo Han
Dept. of Electrical Engineering, Seoul Nat' Univ.
*Dept. of Electronics Engineering, Ajou Univ.

ABSTRACT

A monolithic current limiting power MOSFET, which may be easily fabricated by the conventional DMOS process, is proposed. The proposed current limiting MOSFET consists of main power cells, sensing cells, and NPN lateral bipolar transistor so that users can adjust the current limiting levels with only one external resistor. The behaviors of the proposed device are numerically simulated and analyzed by 2-D device simulator MEDICI and mixed-mode simulator CA-AAM(Circuit Analysis Advanced Application Module).

I. 서론

스위칭 전원 공급 장치와 모터 구동장치등에서 전류 모드의 제어 기법이 발달함에 따라 전류의 검지(sensing)와 과전류의 방지를 위한 회로의 사용이 보편화되고 있다. 회로상에서 소자의 과전류를 방지하기 위한 전류의 검지 방법으로 전력 소자에 직렬로 저항을 연결하거나 전류 변환기(current transformer)를 사용하는 방법들이 사용되어 왔고 최근에 와서는 한개의 칩 내부에 전력부(power component)와 검지부(sensing component)의 셀이 함께 내장되어있는 SENSEFET[1], IGBT[2], 전계 효과 저항을 이용한 전류 검출 방식[4] 등이 제안 되기도 하였다. 이러한 방법들은 소자의 보호 회로를 외부에 설치해야하는 단점을 갖고있다. 한편 제어 기능과 보호 기능의 회로가 전력 소자와 단일칩화된 스마트 전력 스위치들이 있으나 이들은 바이폴라 공정, CMOS 공정, DMOS 공정등이 결합된 공정을 사용한 것이므로[3] 이의 제작이 어렵고 비싼 단점이 있다.

본 논문에서는 전력 소자의 과전류를 방지하기 위해서 전류가 이상 증가하였을때 이를 감지하여 자동적으로 소자에 흐르는 전류를 제한할 수 있는 MOSFET를 제안하였고 이의 동작을 소자 시뮬레이터인 MEDICI와 회로 해석 기능의 CA-AAM(Circuit Analysis Advance Application Modulc)[5]을 사용하는 혼합 모드의 새로운 시뮬레이션 기법으로 이의 보호 기능을 검증하였다.

II. 본론

1. 동작 설명

제안된 전류 제한 MOSFET(current limiting power MOSFET)를 그림 1에 나타내었다. 제안된 소자는 주 전력 셀(main power cell), 전류 검지 셀(current sensing cell), 수평형 NPN 트랜지스터(lateral npn transistor)로 구성되어있다.

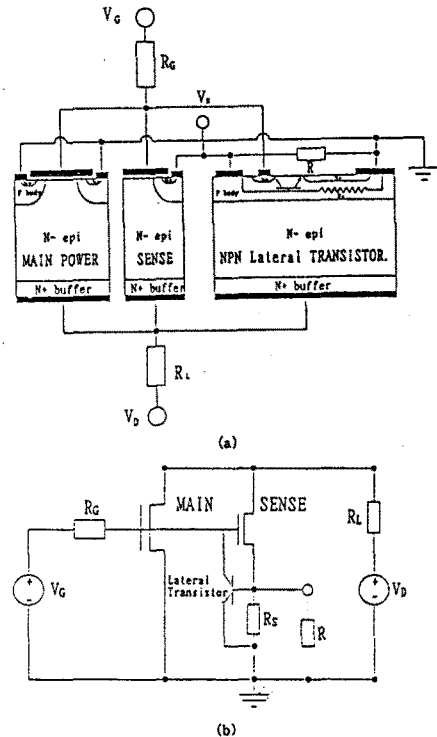


그림 1. 제안된 전류 제한 기능의 전력 MOSFET
(a) 회로의 구성 및 소자의 단면 구조 (b) 동가 회로
Fig. 1 The proposed power MOSFETs with current-limiting capability.
(a) Schematic diagram and cross sections
(b) Equivalent circuit

소자의 게이트에 문턱 전압 이상의 전압이 인가되었을 경우 소자는 동작 상태에 들어가고 드레인 전류는 센스부와 주 전력부의 저항비에 따라 분리되어 흐른다. 감지 셀을 통한 전류는 트랜지스터의 베이스에 주입되고 에미터 하단의 저항을 따라서 접지로 흐르게된다. 전류가 증가되면 에미터 하단의 저항에 의해 전위차가 식 1과 같이 발생하게된다.

$$V_s = R_s I_s \quad (\text{식 1})$$

이 전압이 증가되어 접지된 에미터와 약 0.7 V 이상의 전위차가 나게 되면 트랜지스터가 턴-온(turn-on)이 된다. 트랜지스터가 동작됨에 따라 컬렉터에 연결된 MOSFET의 게이트에 축적된 전하가 트랜지스터를 통하여 빠져나가게된다. 이에 의해 게이트 전압이 낮아지고 MOSFET의 드레인 전류도 작아지게된다. 드레인 전류가 증가하여 트랜지스터의 베이스 전류가 증가되면 컬렉터 전류가 증가되어 게이트 전압이 낮아진다. 게이트 전압이 낮아짐에 따라 드레인 전류는 감소하므로 MOSFET는 과전류 발생시 꺼지지 않고 일정한 전류 레벨 상태를 유지하게된다. 그림 2는 바이폴라 트랜지스터의 턴-온 전후의 소자 내부에서의 전류 흐름을 나타낸것이다.

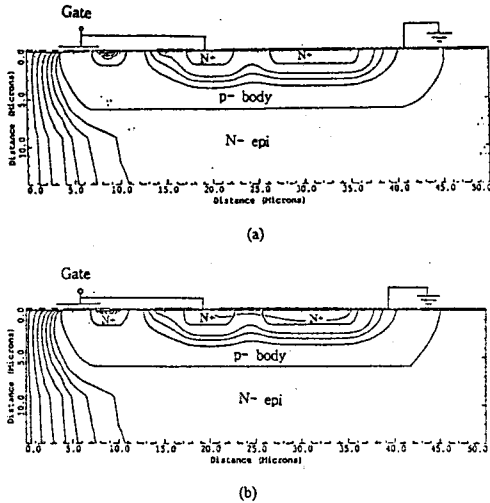


그림 2. 바이폴라 트랜지스터의 전류의 흐름
 (a) 전류 제한이 일어나지 않을때(트랜지스터 턴-온)
 (b) 전류 제한이 일어났을때 (트랜지스터 턴-온)
 Fig. 2 Current flows in the bipolar transistor
 (a) normal operating case (the transistor is turn-off)
 (b) current limiting case (the transistor is turn-on)

2. 소자의 구조

제안된 소자의 구조는 다음과 같다. MOSFET는 이중확산(double diffusion)을 이용한 구조이다. N+ 기판위에 농도가 $1 \times 10^{14} \text{cm}^{-3}$ 이고 두께가 14 μm 인 N- 층을 사용하였다. P+ 바디의 집합 깊이는 6 μm 이고 채널의 길이는 약 3 μm 이다. 게이트 산화막의 두께는 1000Å이고 다결정 실리콘(polysilicon) 게이트를 사용하였다. N+ 소오스의 집합 깊이는 1.5 μm 이고 최대 농도를 $1 \times 10^{20} \text{cm}^{-3}$ 로 하여 오믹성 집합(ohmic contact)이 되도록 하

였다. NPN 수평형 트랜지스터의 컬렉터 및 에미터는 MOSFET의 소오스와 같이 형성되었으며 에미터는 P 바디로 형성된 베이스와 금속으로 단락되었다. 전류 감지 셀의 소오스 금속에 연결된 트랜지스터의 베이스 금속은 P형 반도체와 연결되어 오믹성 집합(ohmic contact)을 형성한다.

3. 시뮬레이션

이 구조의 소자는 세가지 다른 셀로 구성되어있기 때문에 이들간의 셀 비에 따라 다른 동작 특성을 지니게된다. 또한 실제 회로의 구성시 게이트단의 저항과 드레인단에 부하(load)등이 삽입되기 때문에 이를 고려하기 위해서 회로 레벨의 시뮬레이션을 행해야한다.

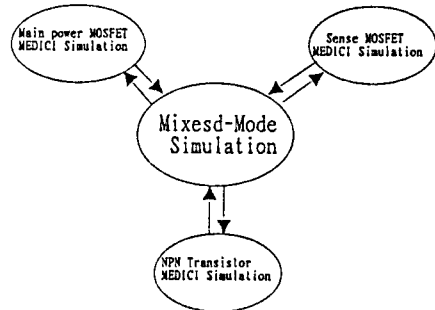


그림 3. 혼합 모드 시뮬레이션 기법의 구성도
 Fig. 3 Block diagram of the mixed-mode simulation scheme

CA-AAM은 SPICE와 같이 MEDICI로 설계된 전력 소자를 연결할 수 있고 각 전력 소자의 width를 조절할 수 있도록 되어있기때문에 각 소자의 셀 비와 회로 구성의 변화에 따른 소자의 동작 특성 변화의 시뮬레이션이 가능하다[6]. 주 전력부와 감지 셀의 비에 따라 온 저항(on-resistance)의 비가 변화하고 감지 셀로 흐르는 전류가 변화한다. 즉 주 전력부에 대한 감지 셀의 비가 작아질수록 감지 셀과 트랜지스터로 흐르는 전류가 증가하여 일찍 트랜지스터가 턴-온이 되게된다. 그림 4는 주 전력부의 크기를 일정하게하고 셀 비를 10:1, 25:1, 50:1, 100:1로 각각 변화시켰을때의 드레인 전류와 게이트 전압의 변화를 나타낸것이다.

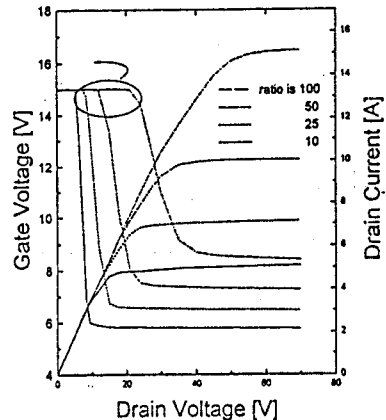


그림 4. 주전력/감지 셀의 비에 따른 제안된 MOSFET의 I-V 특성
 Fig. 4 I-V characteristics of the proposed MOSFET with variations of main/sense cell ratios

전류의 제한이 일어나기 전에는 주 전력부의 온 저항의 기울기를 따라서 전류가 흐르다가 트랜지스터가 턴-온이 되는 시점에서 게이트 전압이 급격히 하강하고 있음을 알 수 있다. 또한 셀 비가 커짐에 따라서 포화되는 전류의 레벨이 증가하고 게이트 전압의 하강 기울기가 작아짐을 알 수 있다.

전류의 제한 레벨의 조절은 소자 외부에 한개의 저항을 달아줌으로써 가능하도록 하였다. 즉 트랜지스터의 베이스 저항을 병렬 저항을 달아줌으로써 $R_s' = R_s/R$ 의 저항을 갖게하여 전류 증가시의 에미터 베이스간의 전압 상승을 억제 할 수 있었다. 그림 1 (b)의 V_s 단자에 저항을 달았을때의 전류 제한 레벨의 변화를 그림 5에 나타내었다.

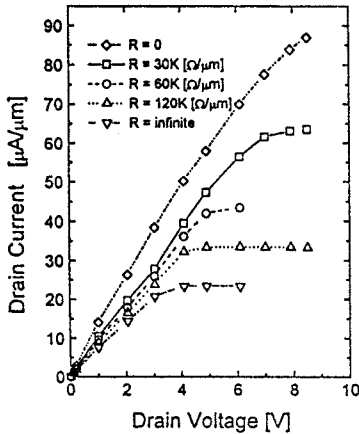


그림 5. 병렬 저항의 삽입에 의한 전류 제한 레벨의 조정
Fig. 5 Adjustment of the limiting current level by insertion of a simple resistor

그림에서 가장 하단에 나타난 곡선이 저항을 달아주지 않았을때의 전류-전압 곡선이다. 전류의 제한이 약 $23 \mu A/\mu m$ 에서 발생한것을 알 수 있다. 이때의 트랜지스터에서의 저항은 $60 K\Omega/\mu m$ 으로 계산되었는데 병렬 저항을 $30 K\Omega/\mu m$, $60 K\Omega/\mu m$, $120 K\Omega/\mu m$ 으로 각각 달아주었을때 전류 제한 레벨이 각각 $63 \mu A/\mu m$, $44 \mu A/\mu m$, $33 \mu A/\mu m$ 에서 변화하여 병렬 저항에 의한 조절이 가능함을 보였다. 그림에서 가장 상단에 나타난 곡선은 트랜지스터에 의한 전류 제한이 일어나지 않았을때의 순수한 MOSFET의 전류 전압 특성 곡선이다. 트랜지스터가 연결되어 있을 경우 기울기가 작게 나타나 이에 의한 전력 손실이 나타나는것을 볼 수 있는데 이에 의한 전력 손실은 MOSFET의 에피층의 두께가 두꺼워져 전압 레벨이 커질 경우 그 비중에 작아짐 것으로 예상된다.

제안된 소자의 시간 응답 특성(time response characteristics)을 그림 6에 나타내었다. 본 논문에서는 소자의 드레인 전압을 $10 V/nsec$ 로 증가시켰을때의 소자의 게이트 전압과 드레인 전류의 변화를 나타내었다. 처음 전류 제한 레벨이하일 경우 드레인 전압 증가에 따라 전류가 증가한다. 제한 레벨보다 전류가 증가하였을때 게이트 전압이 감소하기 시작하고 드레인 전류는 약 $15 nsec$ 이후 오버 슈트(overshoot)가 낮아지고 일정하게 유지되는 특성을 보였다.

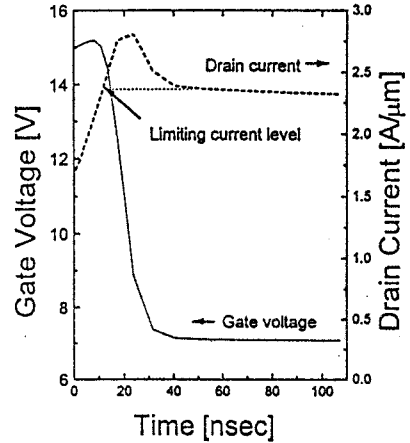


그림 6. 제안된 MOSFET의 시간 응답 특성
Fig. 6 Time response of the proposed MOSFET

III.결론

외부에 별도의 회로를 갖지 않고도 전류의 자기 제한 능력을 갖는 전력 MOSFET를 제안하였다. 제안된 MOSFET는 기존의 DMOS 공정을 사용하여 제작이 가능한 구조로서 주 전력용 셀, 전류 감지 셀과 수평형 NPN 트랜지스터로 구성되어있다. 이 MOSFET의 동작을 MEDICI와 CA-AAM을 사용하여 소자 레벨과 회로 레벨의 특성을 모두 검출할 수 있었다. 각 구성 요소의 면적비를 바꾸어 전류 제한 특성을 볼 수 있었으며 100:1의 주전력용 셀과 감지 셀의 비에서도 전류 제한 특성이 나타나는것을 확인하였다. 전류 제한 레벨의 조절은 사용자가 외부의 저항을 사용함으로써 가능하도록 설계되었다. 소자의 시간 응답은 수십 나노초의 우수한 특성을 나타내는것으로 시뮬레이션되었다. 본 논문에서 제안된 소자는 개별 소자로 쓰이는 전력용 MOSFET등에 적용 가능할 것으로 예상되며 사용된 혼합 모드의 시뮬레이션 기법은 스마트 전력 반도체의 해석에 유용할것으로 판단된다.

참고 문헌

- [1] B.J.Baliga, "An Overview of Smart Power Technology," IEEE, Electron Devices, vol.38, No.7, July 1991.
- [2] Philips Power Semiconductor Applications, pp125, 1992.
- [3] T.P.Chow, Z.Shen, D.N.Pattanayak, E.J.Wildi, M.S.Adler and B.J.Baliga, "Modeling and Analysis of Current Sensors for N-channel, Vertical IGBT's," IEDM Tech. Dig. pp.253-256, 1992.
- [4] N.Tokura, T.Yamamoto, K.Hara, "On-Chip New Current Sensing Method with High Accuracy Using Field Effect Resistance for Intelligent Power MOSFETs," 電學論 D, 112卷 9호, 1992.
- [5] TMA MEDICI manual, 1992.