

얇은 절연막에서의 단부효과에 관한 막두께 의존성

추 교섭\*, 조 태훈\*, 주 유진\*, 이 경운\*, 성영권\*

\*고려대학교 공과대학 전기공학과

The dependence of edge effect on film thickness  
in thin insulating films

K.S. Chu\*, T.H. Jo\*, Y.J. Joo\*, K.Y. Lee\*, Y.K. Sung\*

\* Dept. of Electrical Eng. Korea University

Abstract

This paper deals with the edge effect in thin insulating films, focusing on their dependence on film thickness, so we derived a simple mathematical form which depicts that reducing film thickness lowers the field at the electrode edge. we expect that this result may be suitable to problems with multi level insulating films.

1. 서론

오늘날 반도체 산업이 submicron화를 지향함에 따라, 소자의 집적도 증대, 동작 안정도 및 속도의 향상, 아울러 소비전력의 최소화가 요구되어지고 있다<sup>(1)</sup>. 그러한 요구조건을 만족시키기 위해서, 소자 제조 프로세스 중에서 미세 전극 형성 기술이나 다층배선 기술의 중요성이 급속히 고조되어 가는 실정이다. 그러나, 종래의 제조 기술은 물리적 한계에 직면하여, 차세대 프로세스에 적용되는 전극, 다층배선 프로세스 등에 새로운 전계 강도의 상승으로 말미암아 야기되는 여러 현상에 대한 재검토가 요구되고 있는 실정이다. 특히, MOS 구조를 비롯한 각종 capacitor 등, 박막화 되어 가는 얇은 절연층의 양단에 급속 박막을 대극 시킨 구조에서 야기되는 전계의 최대점은 전극 단부(電極 端部: electrode edge)에 생긴다. 따라서, 이에 따라 단부에서 생긴 고전계로 인하여 코로나 방전이나 절연파괴 현상이 일어나 막질의 열화(劣化)를 초래한다. 특히 오늘날 소자의 고집적화가 진행되는 과정에서 Si wafer 에서 절연막의 내압(耐壓)의 향상이 요구되고<sup>(2)(3)</sup>, 이러한 절연막 내압의 향상은 submicron화예의 필수 요구조건이므로 소자의 초소형화에 기인한 전계의 단부 효과(edge effect)의 고찰은 매우 중요한 항목이다. 따라서, 본 논문에서는 SiO<sub>2</sub> 양단에 Al 전극을 대극 시킨 간단한 capacitor 구조에 있어서, 전극 단부에서의 전계 강도(電界 強度)와 절연막 두께와의 상관 관계를 간단한 모델을 설정하여 이것을 바탕으로 그 관계식을 도출하여<sup>(4)(5)</sup>, 소자의 미세화 및 다층 박막 구조에 관계된 절연 내압의 향상을 위해, 각 층의 두께 비의 적정 수준에 대한 선정 가능성 대해 고찰하였다.

2. 전계 식의 도출

우선 전계식을 도출하기 위한 모델로서 그림 1에 나타난 바와 같이, capacitor를 두께가 c인 절연막의 양단에 급속 전극을 대극 시킨 구조로 단순화 시키고, 전극의 모양은 가로 길이가 a, 세로 길이가 b 인 직사각형 모양으로 하였다. 또, 전극간의 전위는 한쪽 전극이 반대쪽 전극보다 전위가 높다고 하고, 양극(陽

極)의 면전하 밀도를  $\sigma$ , 음극(陰極)의 면전하 밀도를  $-\sigma$ , SiO<sub>2</sub>의 유전율을  $\epsilon$  라 하면, 임의의 좌표  $(x, y, z)$ 에서의 전계는, 각 전극 위에서의 미소전하  $\sigma dx'dy'$ 에 의한 미소 전계를 각 좌표 성분 별로 적분하여 구하되, 각 전극의 영향을 중첩의 원리를 적용하여 전체 합성 전계식을 구했다.

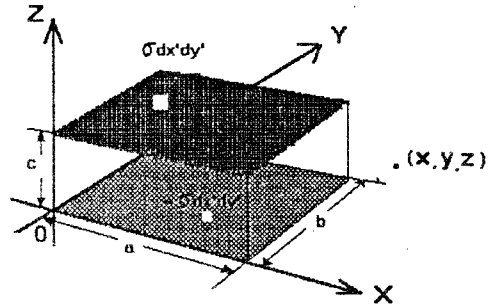


그림 1. 절연막의 양단을 대극시킨 capacitor의 구조모델

우선 전계의 기본 식은 범용적인 아래식과 같다.

$$dE(x, y, z) = \frac{\sigma dx'dy'}{4\pi\epsilon} \cdot \frac{(x-x')ax+(y-y')by+(z-z')az}{((x-x')^2+(y-y')^2+(z-z')^2)^{3/2}} \quad (1)$$

$$E(x, y, z) = \int dE(x, y, z) \quad (2)$$

각각의 좌표에 대한 전계 성분과 전체 전계의 세기는 다음과 같다. ( 단,  $\sigma$  와  $4\pi\epsilon$  에 의한 비례 상수는 생략하였다. )

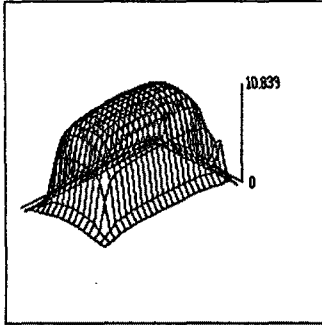
$$E_x(x, y, z) = \ln \left| \frac{(y-b)+\sqrt{x^2+(y-b)^2+(z-c)^2}}{(y-b)+\sqrt{(x-a)^2+(y-b)^2+(z-c)^2}} \right| - \ln \left| \frac{y+\sqrt{x^2+y^2+(z-c)^2}}{y+\sqrt{(x-a)^2+y^2+(z-c)^2}} \right| - \ln \left| \frac{(y-b)+\sqrt{x^2+(y-b)^2+z^2}}{(y-b)+\sqrt{(x-a)^2+(y-b)^2+z^2}} \right| + \ln \left| \frac{y+\sqrt{x^2+y^2+z^2}}{y+\sqrt{(x-a)^2+y^2+z^2}} \right|$$

$$E_y(x, y, z) = \ln \left| \frac{(x-a)+\sqrt{(x-a)^2+y^2+(z-c)^2}}{(x-a)+\sqrt{(x-a)^2+(y-b)^2+(z-c)^2}} \right| - \ln \left| \frac{(x-a)+\sqrt{(x-a)^2+y^2+z^2}}{(x-a)+\sqrt{(x-a)^2+(y-b)^2+z^2}} \right|$$

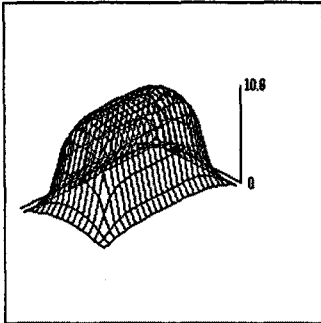
$$E_z(x, y, z) = \arctan \frac{x \cdot y}{(z-c) \cdot \sqrt{x^2+y^2+(z-c)^2}} + \arctan \frac{(x-a) \cdot (y-b)}{(z-c) \cdot \sqrt{(x-a)^2+(y-b)^2+(z-c)^2}} - \arctan \frac{x \cdot (y-b)}{(z-c) \cdot \sqrt{x^2+(y-b)^2+(z-c)^2}} - \arctan \frac{(x-a) \cdot y}{(z-c) \cdot \sqrt{(x-a)^2+y^2+(z-c)^2}} - \arctan \frac{x \cdot y}{z \cdot \sqrt{x^2+y^2+z^2}} - \arctan \frac{(x-a) \cdot (y-b)}{z \cdot \sqrt{(x-a)^2+(y-b)^2+z^2}} + \arctan \frac{x \cdot (y-b)}{z \cdot \sqrt{x^2+(y-b)^2+z^2}} + \arctan \frac{(x-a) \cdot y}{z \cdot \sqrt{(x-a)^2+y^2+z^2}}$$

$$E(x, y, z) = \sqrt{E_x^2 + E_y^2 + E_z^2} \quad (3)$$

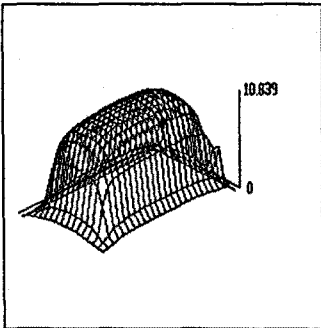
capacitor 내부에서 각기 다른 높이에서의 전계의 세기는 아래의 그림 2 와 같다. 이 경우  $a=10, b=5, c=1$  로 하여 전극 면적에 비해 막 두께가 얇은 조건을 선택하였다. 이 결과에 의하면, capacitor 내부 영역에서는 위치에 관계없이 전계의 세기가 같으므로 평등 전계임을 알 수 있다.



(a) 양극에 가까운 높이( $z=0.8a$ )인 경우



(b) 극간거리의 중간 높이( $z=0.5a$ )인 경우



(c) 음극에 가까운 높이( $z=0.1a$ )인 경우

그림 2. capacitor 내부와 외부에서의 전계세기

### 3. 단부에서의 전계 강도와 막 두께와의 관계식 도출

전극에 가해진 전압을  $V_0$  라고 하면, 전극면상에서는 등전위를 이루고 있으므로, 전극의 한쪽 끝 즉, 단부(端部)에서의 전압도  $V_0$  이다. 이제 전극 단부로부터 수평 연장선 상의 공간을 등가회로로 표현하면, 그림 3과 같이 표현할 수 있다.

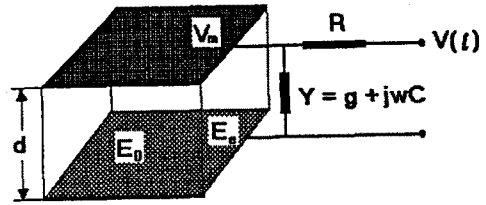


그림 3. 전극단부로부터의 수평 연장선상의 공간의 등가회로

그 단부로부터 거리  $l$  만큼 떨어진 연장선에서의 전압을  $V(l)$  이라고 할 때, 전극 단부로부터의 연장선 상의 공간이 충전회로라고 하면, 전압  $V(l)$  은 아랫식,

$$\frac{dV}{dl} = -RI \quad (4.1)$$

$$\frac{dI}{dl} = -YI \quad (4.2)$$

을 만족한다. 위 두 식을  $l$  로 미분하여 전압식만 추출하면,

$\frac{d^2V}{dl^2} = RYV$  가 얻어지며, 이 미분 방정식의 해는 경계조건  $V(0) = V_0, V(\infty) = 0$  을 만족해야 하므로, 그 결과 얻어지는 전압식은 아래와 같다.

$$V(l) = V_0 \exp(-al) \quad (5)$$

$$a = \sqrt{\frac{1}{2} * (R * \sqrt{g^2 + (wC)^2} + g)}$$

한편, capacitor 외부의 연장선에서의 전계  $E(l)$  는,  $E(l) = aV_0 \exp(-al)$  의 식으로 주어지나, 단부(端部)에서의 전계 강도는  $E_0 = (-\frac{dV}{dl})_{l=0} = aV_0$  이다. 이것은 식 (3)을 이용하여 전계 분포를 도시한 결과 그림 4와 같다.

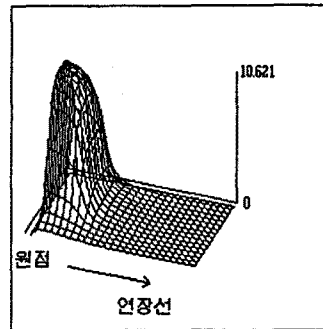


그림 4. capacitor 외부의 연장선에서의 전계 세기

이 결과에 의하면, capacitor 내부 영역에서는 평등 전계가 나타나는 반면, 외부 연장선 상에서는 전계의 세기가 거의 지수함수적으로 감소하는 양상을 보이고 있으므로, 등가회로 모델은 타당하다고 할 수 있다. 한편, capacitor 내부에서의 평등 전계를  $E_0$  라고 하면,  $V = E_0 d$  ( $d$  는 막 두께)이므로, edge 에서의 전계는  $E_0 = a E_0 d$  라고 할 수 있다. 따라서, 두께  $d_1, d_2$  ( $d_1 > d_2$ )인 각각의 capacitor에 대한 단부에서의 전계 강도의 비  $K$ 를 구하면,

$$K = (E_{e2}/E_{e1}) = (a_2 E_{02} d_2) / (a_1 E_{01} d_1) \quad (6)$$

$C$  와  $g$  는 산화막의 두께에만 의존하므로 ( $R$  은 두께에 무관한 상수)

$$C_1 d_1 = C_2 d_2 \quad (7.1)$$

$$g_1 d_1 = g_2 d_2 \quad (7.2)$$

의 관계가 성립하고,

$$n = d_2/d_1 \quad (0 < n < 1) \quad (8)$$

라고 하면, 식 6은,

$$K = \sqrt{n} \quad (0 < n < 1) \quad (9)$$

의 형태로 간단히 할 수 있다. 이 관계식을 그림 5에 보였다

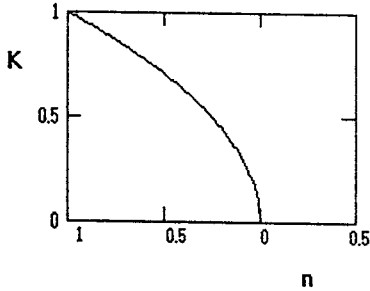


그림 5. 막 두께비에 따른 단부에서의 전계강도의 비

막 두께가 얇아짐에 따라서 단부에서의 전계 강도는 감소함을 알 수 있다. 따라서, 다층 절연막을 형성시킬 때, 각각의 막 두께에 따라, 전극의 단부에서의 전계 강도가 달라질 것이므로, 절연 내압을 항상 시키기 위한 막 두께 비의 최적 조건을 이 식으로부터 선정할 수 있을 것이 기대되는 바이다.

#### 4. 결 론

일반적으로 절연막의 두께가 얇아짐에 따라 절연막의 절연내압(絶緣耐壓)은 감소한다는 사실과 함께, capacitor 전계는 전극 단부에서 집중된다는 edge effect 및 그의 영향은 잘 알려져 있다. 하지만, 절연막의 두께가 얇아짐에 따른 전극 단부에서의 전계 강도의 변화는 크게 주목받지 못하고 있는 실정이다. 본 논문에서 수식적으로 유도한 바에 의하면 막 두께의 비에 대한, 단부에서의 전계 강도의 비는 두께 비의 제곱근의 함수관계에 있다. 이때, 두께의 비가 0에서 1 사이이므로, 막의 두께가 얇아짐에 따라 단부에서의 전계 강도는 감소함을 알 수 있었다. 이론적으로 도출된 이러한 상관성은 장차 다층 절연막 구조와 관련한 실측 자료와 비교 및 검토되어야 할 것이다.

#### 참고문헌

1. C.W. Ho, et al IBM J.R&D. Vol.26, NO.3, pp286, May 1982
2. C.M.Osburn and N.J.Chou J.Electrochem.Soc. Vol.119, No.5, pp597, May 1972
3. C.M.Osburn and N.J.Chou J.Electrochem.Soc. Vol.120, No.10, pp1377, Oct 1973
4. 전자기학. Munirh H. Nayeesh, Mortonk K. Brussel 共著, 교재편찬위원회 譯
5. 교류회로이론. 박 송배 著, p286-p290