

### 짧은 채널 길이의 다결정 실리콘 박막 트랜지스터의 전기적 스트레스에 대한 연구

최권영, 김용상, 한민구  
(서울대학교 공과대학 전기공학과)

Degradation of short channel poly-Si TFT's due to electrical stress

K.Y. Choi, Y.S. Kim, M.K. Han  
Dept. of Electrical Eng., Seoul National Univ.

#### Abstract

The short channel poly-Si TFT is important in aspect of transistor characteristics, packing density and aperture ratio. In this paper, we have reported the degradation phenomena of short channel poly-Si TFT's which had significantly degraded device parameters, such as threshold voltageshift and a great asymmetric degradation, due to gate and drain electrical stress. The reduced effective channel length and expanded depletion region may be the main reason of these significant device parameters.

Pressure Chemical Vapor Deposition)으로 480 °C 에서 1000 Å 두께로 증착시켰다.

자기 정렬 (self-alignment) 에 의하여 소오스, 드레인 및 게이트 영역을 이온 주입 방법으로 30KeV 에서  $5 \times 10^{13} \text{ cm}^{-2}$  농도로 인오로 도우핑하고 600 °C 의 질소 분위기에서 24 시간 동안 열처리하여 주입된 이온을 활성화시켰다. 상압 기상 증착으로 보호 산화막을 3500 Å로 증착한 후, 금속 공정을 한다.

수소화는 플라즈마 반응 챔버에서 300 °C, 500 mTorr에서 행해졌다. 이때 사용된 플라즈마의 전력 밀도는  $7 \times 10^{-2} \text{ W/cm}^2$ 이다.

#### 1. 서론

저온에서 제작된 다결정 실리콘 박막 트랜지스터는 값싼 유리 기판에서 제작되어질 수 있고, 액정 구동소자 뿐만아니라 주변회로에 까지 응용될 수 있는 장점을 가지고 있어 관심이 집중되고 있다.[1]

긴 채널의 박막 트랜지스터는 일정한 전류레벨을 위해 상대적으로 큰 스케일의 트랜지스터를 필요로하게 된다. 따라서 다결정 실리콘 박막 트랜지스터의 채널 길이를 줄이는 것은 소자의 특성 향상, 집적밀도 그리고 개구율과 같은 면에서 많은 장점이 기대된다. 그러나, 8 μm이하의 짧은 채널길이를 가지는 다결정 실리콘 박막 트랜지스터는 심각한 문턱 전압감소와 상당히 큰 누설전류 등과 같은 문제점을 가지고 있다고 발표되었다.[2][3] 또한, 다결정 실리콘 박막 트랜지스터의 전기적 스트레스에 대한 많은 연구가 진행되어 온 반면,[4][5] 짧은 채널길이를 가지는 박막 트랜지스터의 전기적 스트레스에 대한 연구는 거의 이루어지지 않은 실정이다.

본 논문에서는 짧은 채널길이를 가지는 다결정 실리콘 박막 트랜지스터의 전기적 스트레스에 대해 분석하고자 한다.

#### 3. 결과 및 분석

그림 1에서는 소자에 게이트와 드레인 전압을 동시에 인가했을 시 생기는 전달특성곡선의 변화를 나타내었다. 게이트와 드레인의 전압인가시 생기는 특성곡선의 기울기의 변화는 문턱전압의 증가를 가져오며, 이는 활성화 다결정 실리콘 박막이나 활성화 박막과 게이트 산화막사이에 생기는 트랩등이 가져올 수 있는 결과라고 분석되어질 수 있겠다.

그림 2에서는 게이트와 드레인 전압을 짧은 채널 길이의 박막 트랜지스터에 4 시간 인가했을 때 생기는 전달특성곡선의 변화를 전류의 지수함수그래프로 나타내었다. 스트레스 전압을 인가할 때의 소오스와 드레인의 방향과 인가후의 측정할 때의 방향이 같을 경우 (forward mode)와 인가후의 측정 방향이 바뀐 경우 (reverse mode)의 전달 특성곡선의 변화의 경향은 상당히 다르며, 방향이 같은 경우에는 전압인가후에 특성곡선이 원래의 특성곡선에 비해 누설전류는 상당히 많이 증가했으나, 문턱 전압이나 특성곡선의 기울기 (subthreshold slope)등은 비교적 미세하게 변했고, 이에 반해 측정 방향이 바뀐 경우에는 누설 전류의 변화는 원래의 소자특성에 비해 거의 차이가 없으나, 문턱전압과 곡선의 기울기는 같은 방향의 경우에 비해 상당히 심각하게 변화하였음을 볼 수 있다.

이는 스트레스 전압인가방향과 측정 방향이 같은 경우에는 드레인 근처에 트랩밀도가 높아져 있으므로 누설전류의 증가가 심각하고[6], 측정 방향이 바뀐 경우는 소오스근처의 트랩밀도가 높아져 있는 상황과 같으므로 문턱 전압과 기울기가 변화하게 된다고 해석된다.

#### 2. 소자제작

산화된 실리콘 웨이퍼위에 저압 화학 기상 증착(Low Pressure Chemical Vapor Deposition)으로 560 °C 에서 비정질 실리콘을 1500 Å의 두께로 증착하고 600 °C 에서 48시간동안 열처리하여 다결정 실리콘화하고, 여기에 게이트 절연층을 상압 기상 증착(Atmospheric

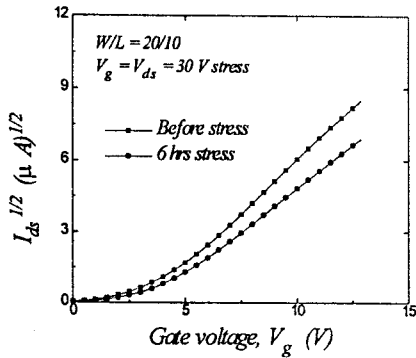


그림 1 게이트와 드레인 전압 스트레스의 인가시 생기는 전달 특성 곡선의 변화

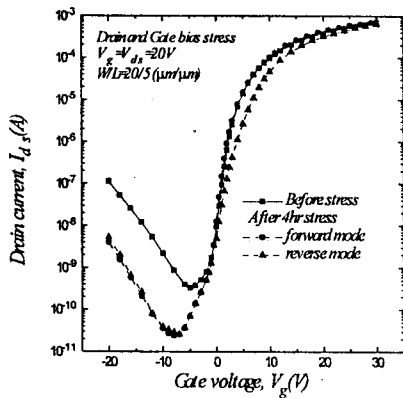


그림 2. 전압 스트레스후 측정 방향에 따른 전달 특성 곡선의 변화 (forward mode, reverse mode)

이러한 비대칭 특성곡선 현상을 분석하기 전에 먼저 채널 길이에 따라 스트레스 전압인가후의 특성변화를 살펴보면, 그림 3에서 알 수 있듯이 채널 길이가 짧아질 수록 변화의 정도가 심해짐을 알 수 있다. 위에서 보면 10  $\mu\text{m}$  이하의 채널 길이를 가지는 소자의 경우는 문턱전압의 증가가 채널 길이가 짧아질 수록 커지게 된다는 것을 알 수 있게 된다.

측정 방향에 대한 변동폭 차이를 채널 길이에 따라 나타낸 것이 그림 4이다. 그림 4에서 보면 5  $\mu\text{m}$ 까지는 채널 길이가 짧아질 수록 그 방향에 따른 변화의 차이는 커지나, 그 이하로는 차이가 줄어들게 된다. 이것은 다음의 그림 5에서 설명이 가능하다. 그림 5는 각각 다른 채널 길이를 가지는 박막 트랜지스터의  $I_d - V_d$  곡선을 측정한 것이다. 단결정 실리콘 전계효과 트랜지스터에서  $I_d - V_d$  곡선은 포화 영역에서는 전류의 크기가 증가하지 않고, 일정한 값을 가지지만 그림 5에서의 다결정 실리콘 박막 트랜지스터의 경우는 5  $\mu\text{m}$ 와 8  $\mu\text{m}$ 의 채널 길이를 가지는 소자의 포화 영역 (saturation region)에서는 전류가 일정하게 흐르지 않고 드레인 전압이 증가함에 따라 전류가 계속 증가하고 있다. 포화전류의 증가는 드레인 전압이 증가함에 따라 채

널의 길이가 점점 짧아지고 있다는 것을 의미한다.

8  $\mu\text{m}$  이하의 채널 길이를 가지는 소자의 경우 드레인 전압이 채널에 민감하게 영향을 미치고 있다는 것을 의미하므로 다른 논문에서 발표된 Short channel effect와 일치하는 의미를 가진다. 여기서 채널 길이가 짧아진다는 것은 드레인 영역 근처에 생기는 포화 공핍층 영역 (saturation depletion region)이 상대적으로 넓어진다는 것을 의미하며 이는 결함이 생기는 영역이 주로 드레인 근처의 공핍층이라는 것을 생각해 볼 때 드레인 전압이 증가할 수록 넓은 지역에서 결함이 생성될 것이라고 추정되어질 수 있다.

짧아진 채널 길이가 드레인 근처에 생기는 공핍층의 길이를 소스 쪽으로 점점 더 넓어지게 만드므로 이에 따라 결함이 생기는 영역이 넓어지게 되고 이는 트랩 밀도가 높은 드레인 영역이 넓어진다는 것을 의미하므로 소자의 특성곡선의 변화의 측정 방향에 따른 비대칭의 크기는 채널 길이가 짧아질 수록 점점 더 커지게 된다.

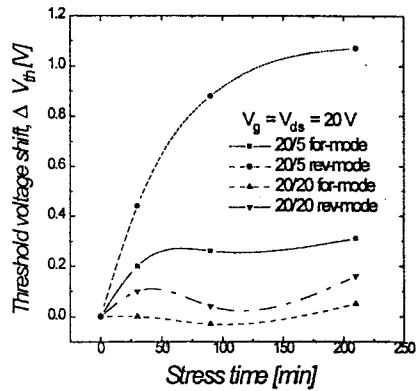


그림 3. 다양한 채널 길이를 가지는 소자의 전기적 스트레스에 의한 문턱전압 증가

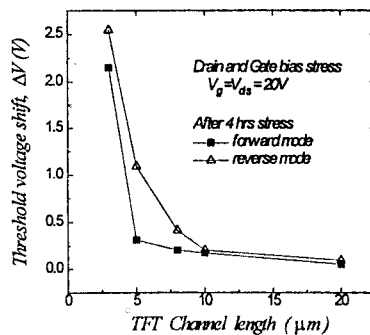


그림 4. 여러가지 채널 길이를 가지는 소자의 측정 방향에 따른 문턱전압 변동폭 차이

그림 5에서 채널 길이가  $5\mu\text{m}$ 이하 즉,  $3\mu\text{m}$ 인 경우에는 특성의 변화는 심각하지만 비대칭의 크기는 상대적으로 줄어들고 있다. 이는  $5\mu\text{m}$ 이하의 박막 트랜지스터에서는 도우핑되지 않은 채널영역의 공핍층의 길이가 전 채널길이에 비해 상당히 큰 편이므로 드레인 전압의 인가에 의해 더욱 늘어난 공핍층이 소오스까지 이르러 마침내 Punch-through 현상이 일어나게 된다는 가정을 적용시켜본다면 Punch-through에 의해 전 채널영역에서 결합이 생기므로 특성곡선의 변화폭은 증가하지만 비대칭 특성은 상대적으로 줄어들게 된다는 분석이 가능하다.

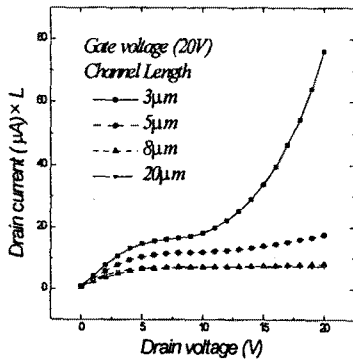


그림 5. 여러가지 채널 길이를 가지는 소자의  $I_d-V_d$  곡선

#### 4. 결론

위의 실험에서 우리는 짧은 채널 길이를 가지는 다결정 실리콘 박막 트랜지스터의 전압인가시 심각한 소자 특성감소가 있으며 측정 방향의 변화에 대해 상당한 비대칭 특성이 존재함을 보았다. 그리고 이러한 비대칭 특성은 드레인 전압에 의해 짧아진 채널길이와 상대적으로 늘어나게된 드레인 공핍층 영역이 그 원인임을 증명하였다. 이러한 짧은 채널 길이를 가지는 소자의 전기적 스트레스의 문제점의 해결을 위해선 드레인 전압의 영향을 줄일 수 있는 구조의 트랜지스터를 이용하는 것이 필요하다.

#### 참고문헌

[1] J.I. Ohwada, M. Takabatake, Y.A. Ono, A. Mimura, K. Ono and N. Konishi " Peripheral Circuit Integrated poly-Si TFT LCD with Gray Scale Representation " IEEE Trans. Electron Devices, vol. 36, No. 9 pp.1923-1928 Sep. 1989

[2] A.G. Lewis, I.W. Wu, T.Y. Huang, M. Koyanagi, A. Chiang and R.H. Bruce " Small Geometry Effects in N- and P- channel Polysilicon Thin Film Transistors " IEDM Technical Digest, pp.260-263 1988

[3] A.G. Lewis, T.Y. Huang, I.W. Wu, R.H. Bruce and A. Chiang " Physical Mechanism for short channel effects in Polysilicon Thin Film

Transistors " IEDM Technical Digest, pp.349-352 1989

[4] I.W. Wu, W.B. Jackson, T.Y. Huang, A.G. Lewis and A. Chiang " Mechanism of Device Degradation in n- and p- Channel Polysilicon TFT's by electrical stressing " IEEE Elec. Dev. Lett., vol. 11, No.4, April pp.167-170, 1990

[5] N. Kato, T. Yamada, S. Yamada, T. Nakamura and T. Hamano " Degradaion Mechanism of Polysilicon TFT's under D.C. Stress " IEDM Technical Digest, pp.677-681, 1992

[6] J.G. Fossum, A.O. Conde, H. Shichijo and S.K. Banerjee " Anomalous leakage current in LPCVD Polysilicon MOSFET's " IEEE Trans. Electron Devices, vol.32, No.9, pp.1878-1884, 1985