

Si 기판상의 SrTiO<sub>3</sub> 박막과 Barrier Layer 제조( Processing of SrTiO<sub>3</sub> Thin Film and Barrier Layer on Si Substrate )

아주대학교 재료공학과 : 김 병구, 최 승철, 백 동규  
기초과학연구 지원센터 : 손 봉규

## 1. 서 론

LSI 의 계속적인 고집적화와 고속화에 대응하여, 트랜지스터나 배선의 미세화와 함께 유전체의 극소화의 필요성이 절실히 요구되고 있다. 특히, DRAM에서 집적도가 보다 높은 64Mbits 나 256Mbits 로 증가함에 따라 capacitor는 부피가 작고 유전율이 높은 것이 요구된다<sup>1,2)</sup>.

최근에 Pb(Zr,Ti)O<sub>3</sub><sup>3)</sup> 나 (Pb,La)(Zr,Ti)O<sub>3</sub><sup>4)</sup> 혹은 PbTiO<sub>3</sub><sup>5)</sup> 와 같은 강유전재료가 불휘발성 메모리에의 응용을 목적으로 연구가 활발히 진행되고 있다. 박막 유전체로서는 SrTiO<sub>3</sub> 가 상대적으로 높은 유전상수값( $\epsilon=300$ )<sup>6)</sup>과 낮은 누설전류특성을 나타내며 제조가 비교적 쉽고, 구조적으로 안정한 특성을 갖고 있어 국외에서는 이에 대한 연구가 활발히 진행되고 있다<sup>7)</sup>. 국내에서도 연구가 진행되고 있으며 SrTiO<sub>3</sub> 박막의 유전특성은 열처리 조건에 따라 크게 향상되고 열처리 된 SrTiO<sub>3</sub> 박막의 유전상수가 75정도 된다고 보고하고 있다<sup>8)</sup>.

Si 기판상에 세라믹 유전체 박막을 형성할때 하부전극 형성은 매우 중요하다. 박막 형성시에 세라믹 박막과 Si 기판사이에 SiO<sub>2</sub>층이 형성되어 유전율의 심한 감소현상을 나타내기 때문이다<sup>9)</sup>. 국내에서는 SrTiO<sub>3</sub> 유전체 박막에 대한 연구가 시작단계이며 또한 하부전극에 대한 충분한 논의가 아직 이루어지지 않다고 생각되므로 본 연구에서는 보다 양질의 SrTiO<sub>3</sub> 유전체 박막을 제조하고, 박막제조시에 중요한 전극제조기술을 확립하기 위해 barrier 층의 효과있는 적층방법, 배열, 두께등을 연구하였다.

## 2. 실험 방법

SrTiO<sub>3</sub> 박막은 다음과 같은 과정으로 제작하였다. 기판은 저항이 1~30  $\Omega\text{cm}$  인 p-type Si wafer(100) 를 사용했으며, SrTiO<sub>3</sub> 박막을 증착시키기 전에 Si wafer를 H<sub>2</sub>SO<sub>4</sub>:H<sub>2</sub>O<sub>2</sub>=1:1 용액에 10분간 그리고 HF:H<sub>2</sub>O=1:50 용액에 30초간 dipping시킨 후 증류수로 수회 세척하여 자연 산화막을 제거하였다.

SrTiO<sub>3</sub> 박막은 진공 증착장치(LEYBOLD, L560)를 사용하였으며, RF magnetron sputtering 법으로 증착시켰다. sputtering target은 Cerac. Co 에서 제조한 지름이 90mm 인 SrTiO<sub>3</sub>(99.99%) target 을 사용했다. 이 system은 rotary 와 diffusion pump 등의 진공장치를 이용하여 기판압력을  $2 \times 10^{-6}$  mbar 이하로 유지했다. Sputtering gas 로는 100% Ar 혹은 Ar 과 O<sub>2</sub> 혼합 gas 를 사용했다. 그리고 전체 gas 압력은  $5 \times 10^{-3}$  mbar 로 유지하였다. 기판과 target 거리는 120mm 로 유지했으며, RF power 는 250 Watt로 유지했다. 또 기판온도도 420°C 로 올리고 평균 증착속도는 0.6~0.7 Å /sec(4nm/min) 정도였다.

박막 두께는 1000Å~3000Å 으로 증착시켰으며, 두께 2000Å 짜리는 Ar gas 에 O<sub>2</sub> gas 의 혼합비율을 0~20% 까지 변화시켰다. 또한 Bias 도 0~200V 까지 변화시키며 증착조건을 다양하게 하였다. 그리고 시편들을 O<sub>2</sub> gas 분위기에서 600°C, 2 시간 동안 annealing 시켜 결정화시켰다.

전기적·유전적특성을 측정하기 위해 하부전극으로서 Pt/Ti를 사용하였다. Si wafer 위에 Ti의 접착성을 좋게 하고 Pt와 Si의 화합물형성을 억제하기 위해, 열산화법으로 두께 3000Å의 SiO<sub>2</sub>층을 성장시켜 Pt/Ti/SiO<sub>2</sub>/Si 로 구성된 다층구조를 제작하였다. 박막의 두께는 Crystal Oscillators 법으로 측정하고 Ellipsometer 확인하였다. 박막의 결정구조 및 결정성은 XRD로, 미세구조는 SEM을 이용하여 분석하였다. 또한 AES 를 이용하여 박막의 표면과 계면을 관찰하였다.

그리고 C-V 특성은 4194A Impedence / Grain phase Analyzer로 측정하였으며, I-V 특성은 Keithley 237 electrometer/source로 측정하였다.

### 3. 결과 및 고찰

박막 두께가 1000Å~ 3000Å으로 증가함에 따라 SrTiO<sub>3</sub> 의 bulk 에 근접한 결정성을 나타냈으며, sputtering gas를 Ar gas에 O<sub>2</sub> gas를 20%로 증가시킴에 따라 좋은 결정성을 나타내었는데 이것은 산소의 공급이 원활함에 따라 stoichiometric한 SrTiO<sub>3</sub> 박막을 형성하였다고 생각된다. 또한 bias voltage 를 걸어주어 bias 에 따른 결정성을 관찰하였는데 150V에서 가장 결정성이 좋은 결과를 얻었다.

이러한 결과로부터 최적의 sputtering 조건을 선택하여 SrTiO<sub>3</sub> 박막을 제작하였다. 상부전극으로 Au 를 사용하여 Au/SrTiO<sub>3</sub>/Pt-Ti/SiO<sub>2</sub>/Si 의 다층구조를 제작하여 전기적·유전적 특성을 관찰하였다. 두께 3000Å의 시편을 600°C, 2시간 열처리하여 718pF/mm<sup>2</sup>의 유전율을 얻었다.

### 4. 참고문헌

- 1) L. H. Parker and A. F. Tash, IEEE Circuits and Devices Magazine Jan., 17 (1990)
- 2) D. Bondurant and F. Gnadinger, IEEE Spectrum July, 30 (1989)
- 3) J. F. Scott, L. Kammerdiner, M. Parris, S. Traynor, V. Ottenbacher, A. Shawabkeh, and W. F. Oliver, J. Appl. Phys. 64, 787 (1988)
- 4) J. F. Scott, C. A. Sakuma, K. Takemura and Y. Miyasaka, Jpn. J. Appl. Phys. 30 (1991) 2193
- 5) J. T. Evans and R. Womack, IEEE J. Solid-State Circuit 223 1171 (1988)
- 6) J. A. Linz, Phys. Rev., 91, 753 (1953)
- 7) S. Matsubara, T. Sakuma, S. Yamamichi, H. Yamaguchi, and Y. Miyasaka, Mat. Res. Soc. Symp. Proc., Vol. 200 (1990) 243
- 8) S. H. Nam, N. H. Cho and H. G. Kim, Proc. Japan-Korea Seminar on Ceramics, 8, 65 (1991)
- 9) T. Sakuma, S. Yamamichi, S. Matsubara, H. Yamaguchi and Y. Miyasaka, Appl. Phys. Lett., 57, (1990) 2431