

Si-MBE로 증착시킨 다결정 SiGe의 SiO<sub>2</sub> 위에서의  
성장거동및 미세구조  
(The Growth and Microstructure of Polycrystalline SiGe  
Alloys on SiO<sub>2</sub> by Si-MBE)

김홍승, 이정용  
한국과학기술원 전자재료과  
이승창, 강상원  
한국전자통신연구소 반도체단 단위공정연구실

### 1. 서론

다결정 Si<sub>x</sub>Ge<sub>1-x</sub>은 ULSI(ultra large scaled integration)에 있어서 다결정 실리콘을 대체할 수 있는 물질로 여겨지고 있다. 다결정 실리콘은 다결정 Si<sub>x</sub>Ge<sub>1-x</sub>의 중요 특성들은 다음과 같다. 1) Ge의 첨가에 따라 일함수가 변화한다. [1] 2) 다결정 실리콘 보다 낮은 온도에서도 B, As등 첨가 물질의 활성화 온도가 낮다. 3) 부분적인 증착과 제거가 가능하다. 이와같은 특성은 1) 문턱 전압의 조절이 가능 2) 열적 손실을 줄임 3) p-n 접합의 확산 원천으로 사용을 가능하게 한다. [2] 문턱전압 조절의 이점은 gate 전극을 대체하여 surface channel MOS 소자를 제조할 수 있다. 또한 소자 규모 축소의 가장 큰 문제점인 열적 손실을 줄일 수 있다. 이러한 장점들은 다결정 실리콘을 대체하여 초미세소자 MOS 소자 제조를 가능하게 한다. MOS transistor의 gate 전극으로 사용하기 위해서는 전기적 특성과 함께 비정질 SiO<sub>2</sub> 위에서 안정한 상을 유지해야 한다. 본 연구에서는 SiO<sub>2</sub> 위에서 증착온도및 Ge 몰분율에 따른 상(phase)및 결정성의 변화와 다결정 Si<sub>1-x</sub>Ge<sub>x</sub> 합금과 SiO<sub>2</sub>의 계면을 관찰하였다.

### 2. 실험 방법

본 연구에서는 Si-MBE를 이용하여 SiGe 박막을 증착하였다. 5 인치 p형 (100) 실리콘 기판을 thermal oxidation 시켜 SiO<sub>2</sub> 층을 900 Å 형성시켜 그 위에 SiGe 합금을 증착하였다. Ge 몰분율을 0.3으로 놓고 증착온도를 300, 400, 500, 600, 700 °C로 변화시키며 증착하였고, 증착온도를 500 °C로 놓고 Ge 몰분율을 0.1, 0.2, 0.3, 0.5로 변화시키며 증착하였다. 전체 증착속도는 1 Å/sec로 놓았다. 박막의 결정성은 XRD 및 평면및 단면 TEM으로 관찰하였다.

### 3. 결과 및 토의

Ge 몰분율을 0.3으로 놓고 증착온도를 300, 400, 500, 600, 700 °C로 변화시키며 증착한 박막은 XRD 분석 결과 300 °C에서는 박막에 의한 peak이 없었고 400 °C 이상에서 부터 박막에 의한 peak이 나타났다. 이로 보아 300 °C에서는 비정질 상만이 형성되고 400 °C 이상에서 결정상들이 형성됨을 알수 있었다. 400 °C 이상에서 나타나는 XRD 결과는 다이아몬드 구조를 가진 실리콘에 의한 XRD 결과와 비교하여  $2\theta$  값이 작은 쪽으로 이동하였다. 평면 TEM의 이미지와 회절상 관찰 결과 300 °C에서는 결정상들이 존재하지 않고 비정질로만 이루어져 있음을 확인하였다. 그러나 400 °C에서는 결정질상과 비정질상이 공존하고 있었다. 500 °C 이상에서는 결정질상만이 존재하고 있었고 또한 회절상에서 다이아몬드 구조를 가진 다결정상을 확인 할수 있었다. 단면 TEM 관찰 결과 500°C에서는 얇은 비정질층이 존재하고 있었으며 600 °C와 700 °C에서는 SiO<sub>2</sub>에서 바로 columnar 한 성장을 하였다. 평균적인 결정립 크기는 증착 온도에 크게 의존 하지 않았으나 결정립 크기치는 증착온도에 따라 증가하였다. 다결정 SiGe과 SiO<sub>2</sub> 계면은 증착 온도에 관계없이 평탄하였고 SiO<sub>2</sub> 두께가 900 Å로 처음 증착된 SiO<sub>2</sub> 두께와 같은 것으로 보아 다결정 SiGe 증착시 SiO<sub>2</sub>와 반응하지 않는 것으로 보인다. 표면의 굴곡은 증착 온도가 증가할수록 그 진폭이 커졌다.

Ge 몰분율이 0.1 이나 0.2 경우는 크기가 100 Å 정도의 결정립들이 균일하게 분포되어 있었으나 Ge 몰분율이 0.5일 경우 결정립 크기가 1000 Å 까지 성장해 있었다. 이는 Ge 몰분율 증가가 결정성장을 보다 활성화시키는 것으로 보인다.

### 4. 참고문헌

- 1) C. A. King, J. L. Hoyt and J. F. Gibbons, "Bandgap and Transport Properties of Si<sub>1-x</sub>Ge<sub>x</sub> by Analysis of Neaely Ideal Si/Si<sub>1-x</sub>Ge<sub>x</sub>/Si Heterojunction Bipolar Transistors," IEEE Trans. Electron Devices., vol. 36, p. 2093, 1989.
- 2) D. T. Grider, M. C. Ozturk and J. J. Wortman, "Ultra-Shallow Junction Formation by Diffusion From Polycrystalline Si<sub>1-x</sub>Ge<sub>x</sub> Alloys," Proc. SPIE Symp. on Rapid Termal and Related Processing Techniques, vol. 1393, p. 260, 1990.