

Bipolar Transistor 집적회로에 Trench Isolation 공정의 응용
 (Application of Trench Isolation Process to Bipolar
 Integrated Circuit Fabrication)

성균관대학교 재료공학과 염근영

1. 서론

집적회로 제조에서 집적회로내 transistor 등의 component 각각을 서로 전기적으로 고립시키기 위한 방법으로 junction isolation, LOCOS(LOCcal Oxidation of Silicon), SOI (Silicon On Insulator), SIMOX (Seperation by Implanted Oxygen) 등의 많은 방법이 시도되고 있고 device의 크기가 점점 작아짐에따라 이의 중요성도 계속적으로 증가되고 있다. 이들 device isolation법의 한 가지로서, trench를 만들어 각 component를 고립시키는 trench isolation법이 연구되어 왔고 실제 bipolar 집적회로의 생산에 응용단계에 있다. 본 연구에서는 이 trench isolation의 공정과정, 특히 건식식각에관한 공정에 관해 논하고자 한다.

2. 실험방법

Trench isolation을 위해서는 LOCOS process와 같이 실리콘위에 300Å thermal oxide 성장 및 1200Å Si₃N₄ 층을 LPCVD로 입히고 이를 pattern하여야 한다. 이 후에 약 4 μ m이상의 trench(고랑)를 device주위에 형성하고 이 trench를 LPCVD polysilicon으로 채우는 등의 여러 공정단계를 거친다. 이 trench isolation 공정에서 중요한 공정단계는 trench를 파는 단계와 메꾼 polysilicon을 다시 평평하게(planarization)하여, 다른 박막층이 후에 입혀지고 식각되는 과정에서 채워진 trench가 평평하게되지 못하므로서 생기는 집적회로의 단락의 가능성을 배제시키는 단계이다. 본 연구에서는 trench를 형성하는 건식식각공정단계와 polysilicon을 평평하게하는 polysilicon etchback 공정단계를 상업적으로 구입이 가능한 Applied Materials사의 Precision 5000 MERIE 장비를 사용하여 실험하였다. Trench Isolation의 효율은 HP semiconductor analyzer 4145A를 사용하여 측정하였다. 실리콘내에 생긴 결함과 공정때 따른 trench 모양의 변화, polysilicon etchback후의 평평도는 SEM을 통하여 관찰하였다.

3. 결과

Trench etch공정은 주입개스의 조합, 개스압력, power등의 공정조건에따라 trench 식각속도, trench 모양등이 크게 변화 하였고 이에따라 다음에 채워지는 polysilicon refill 공정의 난이도가 크게 영향을 받았다. 또한 polysilicon ethback process는 loading effect 및 식각균일도가 가장 중요한 인자로서 이를 HBr, Cl₂, 그리고 SF₆의 조합비를 변화시켜 loading이 적고 식각 균일도가 큰 etchback 공정을 얻을 수 있었다. 이들 공정단계를 최적화 함으로써 bipolar 집적회로에 알맞는 평평하고 균일한 trench isolation 공정을 얻을 수 있었다.