

# 채널크기에 따른 비휘발성 SNOSFET EEPROM의 제작과 특성에 관한 연구

## ( A Study on Fabrication and Characteristics of Nonvolatile SNOSFET EEPROM with Channel Sizes )

강 창 수*	유한전문대학 전자과
이 형 옥	오산전문대학 전자과
이 상 배	광운대학교 대학원 전자재료공학과
서 광 열	광운대학교 대학원 전자재료공학과

Kang, Chang soo	Yuhan Technical College Electron. Eng.
Lee, Hyung ok	Osan Technical College Electron. Eng.
Lee, Sang Bae	Dept. of Electron. Materials Eng. Kwangwoon Univ.
Seo, kwang Yell	Dept. of Electron. Materials Eng. Kwangwoon Univ.

### Abstract

The nonvolatile SNOSFET EEPROM memory devices with the channel width and length of  $15[\mu\text{m}] \times 15[\mu\text{m}]$ ,  $15[\mu\text{m}] \times 1.5[\mu\text{m}]$  and  $1.9[\mu\text{m}] \times 1.7[\mu\text{m}]$  were fabricated by using the actual CMOS 1 [Mbit] process technology. The characteristics of  $I_D-V_D$ ,  $I_D-V_G$  were investigated and compared with the channel width and length.

From the result of measuring the  $I_D-V_D$  characteristics after writing and erasing the charges into the nitride layer by applying the gate voltage, these devices were found to have a low conductance state with little drain current and a high conductance state with much drain current. It was shown that the devices of  $15[\mu\text{m}] \times 15[\mu\text{m}]$  represented the long channel characteristics and the devices of  $15[\mu\text{m}] \times 1.5[\mu\text{m}]$  and  $1.9[\mu\text{m}] \times 1.7[\mu\text{m}]$  represented the short channel characteristics. In the characteristics of  $I_D-V_G$ , the critical threshold voltages of the devices were  $V_w = +34[\text{V}]$  at  $t_w = 50[\text{sec}]$  in the low conductance state and  $V_E = -34[\text{V}]$  at  $t_E = 50[\text{sec}]$  in the high conductance state, and the memory window sizes were 6.4[V], 7.4[V] and 3.4[V] at the channel width and length of  $15[\mu\text{m}] \times 15[\mu\text{m}]$ ,  $15[\mu\text{m}] \times 1.5[\mu\text{m}]$ ,  $1.9[\mu\text{m}] \times 1.7[\mu\text{m}]$ , respectively. The positive logic conductive

characteristics are suitable to the logic circuit designing.

### 1. 서 론

디지털 컴퓨터 시스템에서 데이터를 저장하기 위해서 자기 기억소자를 반도체 기억소자로 사용한 이래, H.A.R.Wegener 등은 이중절연막 MNOS 구조의 질화막 전하 트래핑 성질 때문에 비휘발성 기억소자로 이용될 수 있다는 것을 처음으로 제안하였다. 비휘발성 반도체 기억소자로서 가장 주목되고 있는 것은 이중절연막 구조의 터널 주입형  $M_{11}I_2$ SFET 소자이다. 이러한 비휘발성 기억소자의 열화 특성, 기억유지 특성, 캐리어의 종류, 터널링 메카니즘, 질화막 전도과정, 주입조건에 대한 많은 연구가 진행되고 있다. 반도체 공정기술의 급속한 발전에 따라 반도체 기억소자의 scaling down<sup>1,2)</sup>은 상당한 진전을 보이고 있다. 차세대 ULSI 설계에 필요한 submicron<sup>3,4)</sup>에 대한 관심이 증대되고 있다.

본 연구에서는 폴리실리콘으로한 SNOSFET를 CMOS 1 [Mbit]( $1.2[\mu\text{m}]$  design rule)에 따라 제작하고 그 동작특성을 조사하므로써 기존 공정기술의 이용 가능성 및 실제 회로 설계시 필요한 계 특성을 조사하였다. 제작한 소자는 채널폭과 길이를 각각  $15[\mu\text{m}] \times 15[\mu\text{m}]$ ,  $15[\mu\text{m}] \times 1.5[\mu\text{m}]$ ,  $1.9[\mu\text{m}] \times 1.7[\mu\text{m}]$ 로 하여 채널의 크기를 다르게 하였다. 그리고  $I_D-V_D$ ,  $I_D-V_G$  특성을 조사 비교하였다.

## 2. SNOSFET 기억소자의 제작

본 실험을 위하여 제작한 비휘발성 n-channel SNOSFET

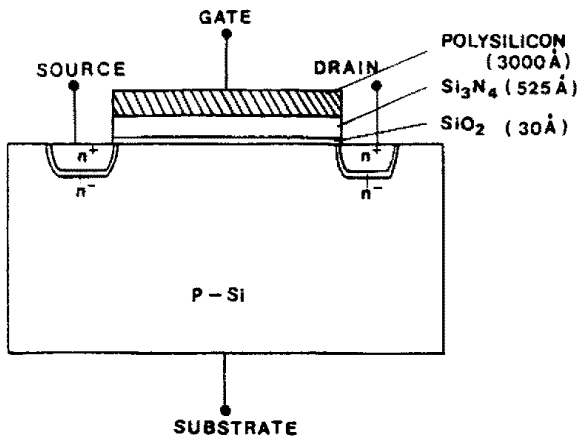


그림 1 SNOSFET의 단면도

Fig. 1 Cross section of the SNOSFET.

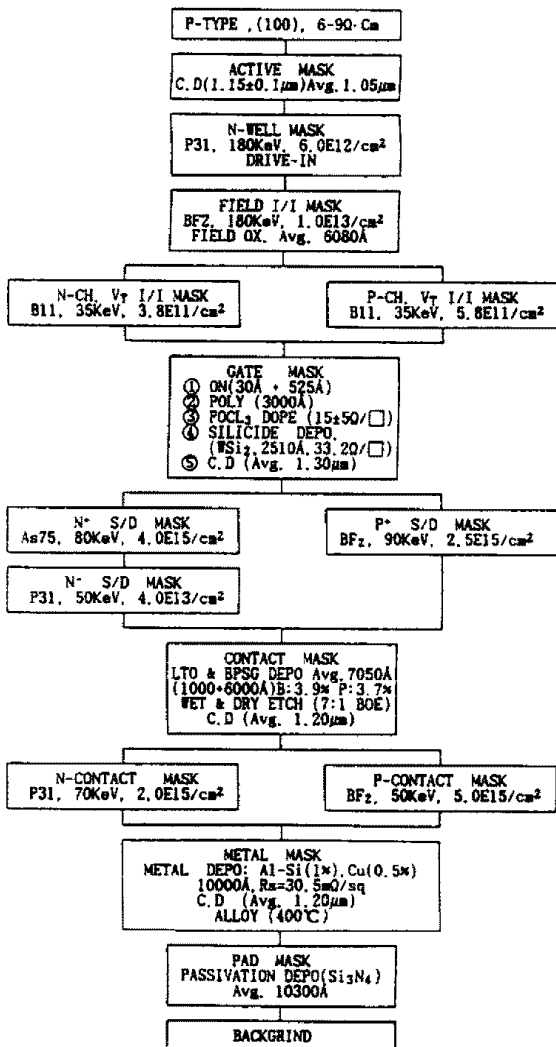


그림 2 SNOSFET 제작공정 흐름도

Fig. 2 SNOSFET process flowchart.

의 사용 기판은 비저항이 6~9 [Ω-cm]인 P형 실리콘 <100> 웨이퍼이다. 제작공정은 실리콘 게이트 CMOS 1 [Mbit] 공정(1.2[μm] 설계규칙)에 Si<sub>3</sub>N<sub>4</sub>막의 증착공정을 삽입하여 사용하였으며 그림 1은 소자의 단면도이다.

터널링 산화막은 건식산화법(dry oxidation method)으로 775[°C]의 확산로(Thermco, resistance heated furnace)에서 16분 간 열적으로 성장시켰으며 두께는 30[Å]이다. 질화막은 저압화학증착로(Thermco, LPCVD hot wall furnace)에서 10:1의 NH<sub>3</sub>:SiH<sub>2</sub>Cl<sub>2</sub> 혼합기체를 반응시켜 산화막 위에 증착시켰으며 두께는 525[Å]이다. 소오스와 드레인 은 hot carrier 문제를 해결하기 위하여 DDD(Double Doped Drain) 구조로 형성하였다. 인(P)을 50K[eV], 4·10<sup>13</sup>[/cm<sup>2</sup>]로 이온주입하여 n<sup>-</sup> 영역을 형성하고, 같은 영역에 비소(As)를 80K[eV], 4·10<sup>15</sup>[/cm<sup>2</sup>]로 이온주입하여 n<sup>+</sup> 영역을 형성한 다음 섭씨 950[°C]에서 30

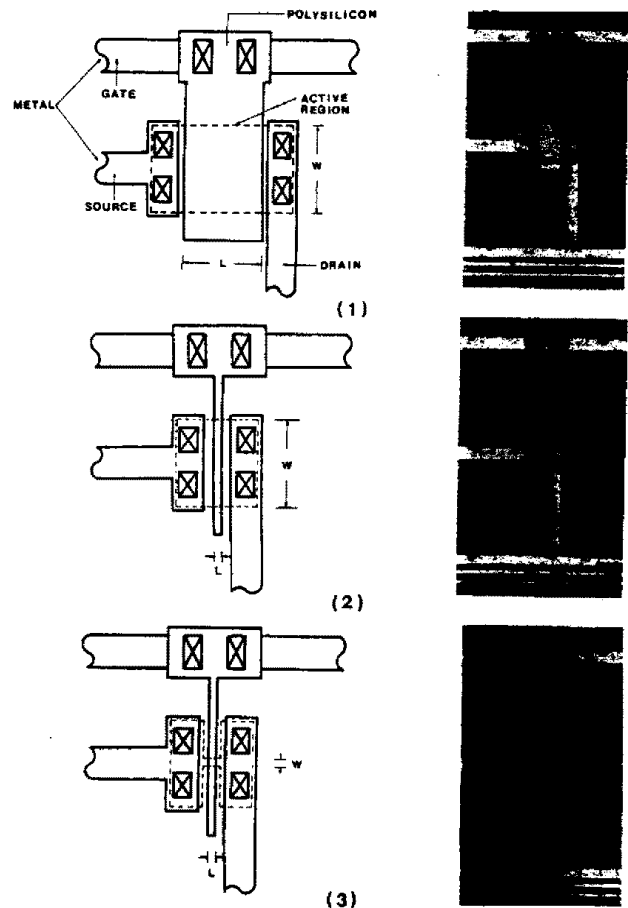


그림 3 채널크기에 따른 SNOSFET의 설계도와 사진.

- (1) 15[μm] × 15[μm] (2) 15[μm] × 1.5[μm]
- (3) 1.9[μm] × 1.7[μm]

Fig. 3 Layout and photograph of SNOSFET with channel sizes.

- (1) 15[μm] × 15[μm] (2) 15[μm] × 1.5[μm]
- (3) 1.9[μm] × 1.7[μm]

분 동안 주입하였다. 이렇게하여 접합깊이가  $0.25\mu\text{m}$ 인  $n^+$  영역과 이 영역주위를  $0.1\sim 0.15\mu\text{m}$ 로 둘러싸고 있는  $n^-$  영역으로 이루어진 소오스와 드레인을 얻었다. 그림 2는 제작공정 흐름도이다.

채널폭과 길이는 패턴상으로 각각  $15[\mu\text{m}] \times 15[\mu\text{m}]$ ,  $15[\mu\text{m}] \times 1.5[\mu\text{m}]$ ,  $1.9[\mu\text{m}] \times 1.7[\mu\text{m}]$ 였으며 이에 대한 SNOSFET의 설계도는 그림 3과 같다.

### 3. 결과 및 고찰

#### 3.1 게이트전압과 드레인전류 특성

채널폭과 길이가  $15[\mu\text{m}] \times 15[\mu\text{m}]$ 인 SNOSFET의 드레인 전압  $V_D$ 를 5[V]로 인가하고  $I_D$ - $V_G$  특성곡선을 구한 결과는 그림 4와 같다.

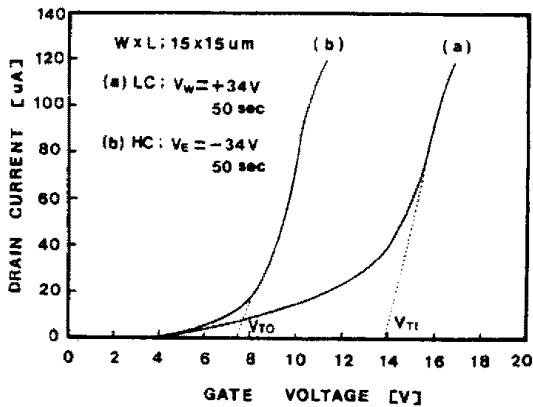


그림 4  $15[\mu\text{m}] \times 15[\mu\text{m}]$  소자의  $I_D$ - $V_G$  특성곡선  
Fig. 4  $I_D$ - $V_G$  characteristic curves of  $15[\mu\text{m}] \times 15[\mu\text{m}]$  device.

그림 4의 곡선 (a)는 기록전압  $V_w = +34[\text{V}]$ 의 전압을  $t_w = 50[\text{sec}]$ 간 게이트에 인가하여 질화막에 전자를 기억시킨 후 측정된  $I_D$ - $V_G$  특성곡선이다. 소자는 저전도상태가 된다. 그림 4의 곡선 (b)는 곡선 (a)를 측정된 후 소거전압  $V_e = -34[\text{V}]$ 의 전압을  $t_e = 50[\text{sec}]$ 간 게이트에 인가하여 질화막에 트래핑된 전자를 소거한 후 측정된  $I_D$ - $V_G$  특성곡선이다. 소자는 고전도상태이다. 그림 4의 곡선 (a)와 (b)에서 기울기가 다른 두 부분으로 구분된다. 하단부의 완만한 부분은 side walk effect<sup>3,4)</sup>에 의한 기생누설전류 현상이다.

그림 4에서  $V_{T1}$ 은 저전도상태에서의 문턱전압이며  $V_{T0}$ 는 고전도상태에서의 문턱전압을 나타낸다. 그림에서 알 수 있는 바와 같이 저전도상태와 고전도상태의 문턱전압차는 메모리 윈도우로서  $6.4[\text{V}]$ 로 나타났다.

$15[\mu\text{m}] \times 1.5[\mu\text{m}]$ 인 소자의  $I_D$ - $V_G$  특성곡선은 그림 5와 같다.

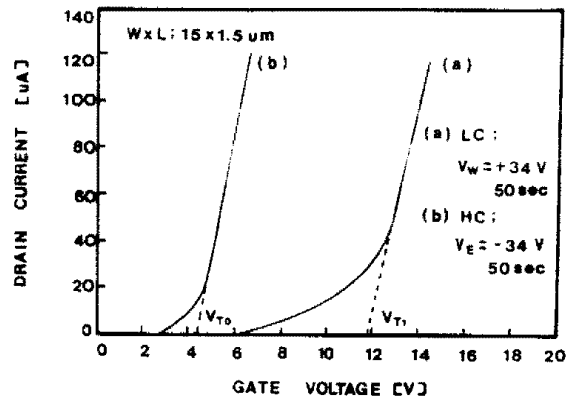


그림 5  $15[\mu\text{m}] \times 1.5[\mu\text{m}]$  소자의  $I_D$ - $V_G$  특성곡선  
Fig. 5  $I_D$ - $V_G$  characteristic curves of  $15[\mu\text{m}] \times 1.5[\mu\text{m}]$  device.

그림 5의 곡선 (a)는  $V_w = +34[\text{V}]$ ,  $t_w = 50[\text{sec}]$ 를 인가한 후 측정된 저전도상태의 곡선이다. 그림 5의 곡선 (b)는  $V_e = -34[\text{V}]$ ,  $t_e = 50[\text{sec}]$ 를 인가한 후 측정된 고전도상태의 곡선이다.

그림 5에서 알 수 있는 바와 같이 저전도상태와 고전도상태와의 문턱전압 차인 메모리 윈도우는  $7.4[\text{V}]$ 로 나타났다.

$1.9[\mu\text{m}] \times 1.7[\mu\text{m}]$ 인 소자의  $I_D$ - $V_G$  특성곡선은 그림 6과 같다.

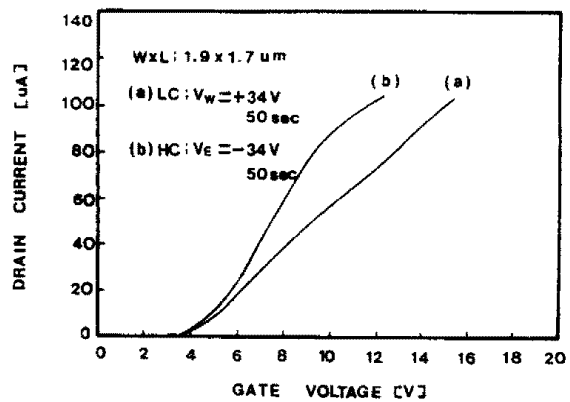


그림 6  $1.9[\mu\text{m}] \times 1.7[\mu\text{m}]$  소자의  $I_D$ - $V_G$  특성곡선  
Fig. 6  $I_D$ - $V_G$  characteristic curves of  $1.9[\mu\text{m}] \times 1.7[\mu\text{m}]$  device.

그림 6의 (a)는  $V_w = +34[\text{V}]$ ,  $t_w = 50[\text{sec}]$ 를 인가한 후 측정된 저전도상태의 곡선이다. 곡선 (b)는  $V_e = -34[\text{V}]$ ,  $t_e = 50[\text{sec}]$ 를 인가한 후 측정된 고전도상태의 곡선이다. 메모리 윈도우 폭은  $3.4[\text{V}]$ 이다.

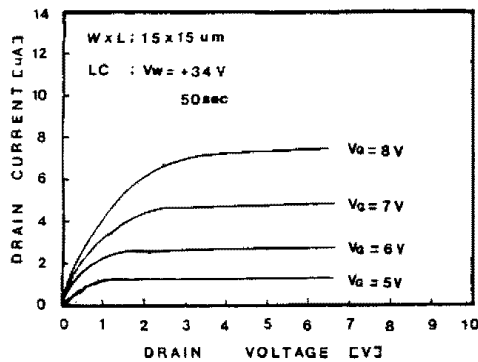
그림 4, 5, 6에서와 같이 SNOSFET 기억소자는 게이트 인가전압의 극성, 크기, 그리고 시간에 따라 전송특성 (transfer characteristics)이 변화됨을 알 수 있다. 논리레벨의 설정은 저전도상태와 고전도상태를 "high" 상태와 "low" 상태 또는 "1" 상태와 "0" 상태로 정한다. 그림에서 알 수 있는 바와 같이 이들 두개의 논리레벨에 대

한  $I_D-V_D$  특성곡선은 정의 게이트 전압에 위치한다. 이는 정론리 게이트회로 설계를 위한 적절한 특성이다. 각 소자의 저전도상태인 그림 4, 5, 6의 (a)에서 나타난 하단부는 side walk effect 때문이다. 기생누설전류 (parasitic leakage current)는 최적의 논리swing 및 임의의 구동전류 설계시 고려되어야 한다.

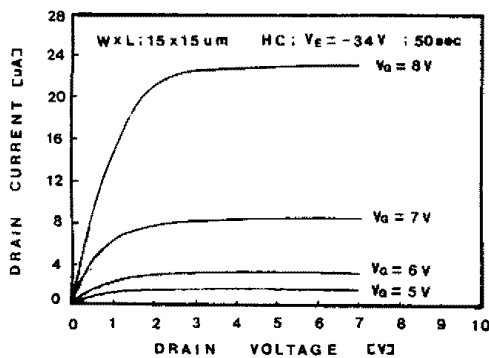
이상의 결과로부터 채널폭과 길이에 따라 비교하면, 채널폭을 일정하고 채널길이가 짧을수록 메모리 윈도우 폭이 커짐을 보여주고 채널폭이 좁아지면 메모리 윈도우 폭이 작아지는 현상이 나타남을 알 수 있다.

### 3.2 드레인 전압과 드레인 전류 특성

15[ $\mu\text{m}$ ] 15[ $\mu\text{m}$ ]인 기억소자를 그림 4의 곡선 (a) 및 (b)의 기억과 소거상태로 한 후 게이트 전압  $V_G$ 을 파라미터로 하여 드레인전압  $V_D$ 에 대한 드레인전류  $I_D$ 를 측정할 결과 그림 7의 실선과 같다.



(1)



(2)

그림 7 15[ $\mu\text{m}$ ]  $\times$  15[ $\mu\text{m}$ ] 소자의  $I_D-V_D$  특성 곡선  
(1) 저전도상태 (2) 고전도상태

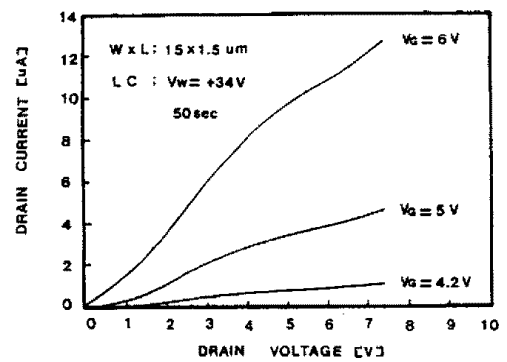
Fig. 7  $I_D-V_D$  characteristic curves of 15[ $\mu\text{m}$ ]  $\times$  15[ $\mu\text{m}$ ] device.

- (1) Low conductance state
- (2) High conductance state

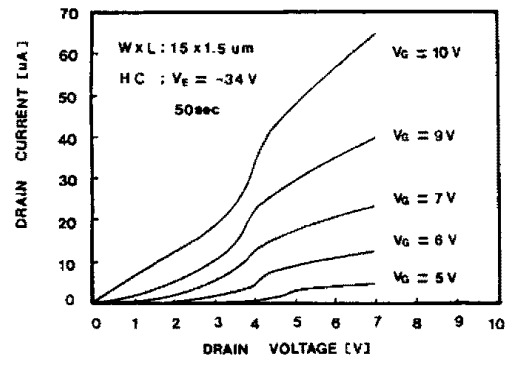
그림 4의 곡선(a)와 같은 기억상태에서 얻은  $I_D-V_D$  특성곡선은 그림 7의 (1)과 같다. 그림 4의 곡선 (b)와 같은 소거시킨 상태에서 얻은  $I_D-V_D$  특성곡선은 그림 7의 (2)와 같다. 그림에서 알 수 있는 바와같이 게이트전압이 같을 경우 기록상태와 소거상태에서 드레인 전류 값은 큰 차이가 났다. 이는 기억상태와 소거상태에 따라 SNOSFET 기억소자의 전도특성이 급격히 변화했기 때문이다. 드레인 전류값은 기록과 소거를 위한 인가 펄스전압의 조건을 달리함으로써 조절 가능하므로 회로 설계시 필요한 전류값을 임의로 선택할 수 있다.

이상의 결과로부터 채널폭과 길이가 비교적 큰 비휘발성 기억소자는 long channel MOSFET 소자의 전형적인  $I_D-V_D$  특성 나타냈다. 절연막 전하 축적에 의한 기록과 소거시 큰 드레인전류를 얻기 위해서는 기록상태가 소거상태보다 큰 게이트전압이 요구됨을 알 수 있다.

15[ $\mu\text{m}$ ] 1.5[ $\mu\text{m}$ ]인 소자에서  $I_D-V_D$  특성곡선은 그림 8과 같다.



(1)



(2)

그림 8 15[ $\mu\text{m}$ ]  $\times$  1.5[ $\mu\text{m}$ ] 소자의  $I_D-V_D$  특성곡선  
(1) 저전도상태 (2) 고전도상태

Fig. 8  $I_D-V_D$  characteristic curves of 15[ $\mu\text{m}$ ]  $\times$  1.5[ $\mu\text{m}$ ] device.

- (1) Low conductance state
- (2) High conductance state

그림 5의 곡선 (a)와 같은 기억상태에서 얻은  $I_D-V_D$  특성곡선은 그림 8의 (1)과 같다. 그림 5의 곡선 (b)와 같은 소거상태에서 얻은  $I_D-V_D$  특성곡선은 그림 8의 (2)와 같다. 그림으로부터 알 수 있는 바와같이 드레인전류가 포화되지 않고 계속 증가하며 전형적인 short 채널 특성을 보이고 있다. 게이트전압이 같을 경우 기록상태와 소거상태에서의 드레인 전류값은 큰 차이가 났다. 이러한 차는 질화막의 전하 기억상태에 따라서 SNOSFET 기억소자의 전도특성이 급격히 변화했기 때문이다. 따라서 드레인전류는 기록과 소거를 위한 인가 게이트전압의 조건을 달리함에 따라 조절이 가능하므로 회로 설계시 필요한 전류값은 임의로 선택할 수 있음을 보여 준다.

채널폭과 길이가  $1.9[\mu m] \times 1.7[\mu m]$ 인 SNOSFET 기억소자에서  $I_D-V_D$  특성곡선은 그림 9와 같다.

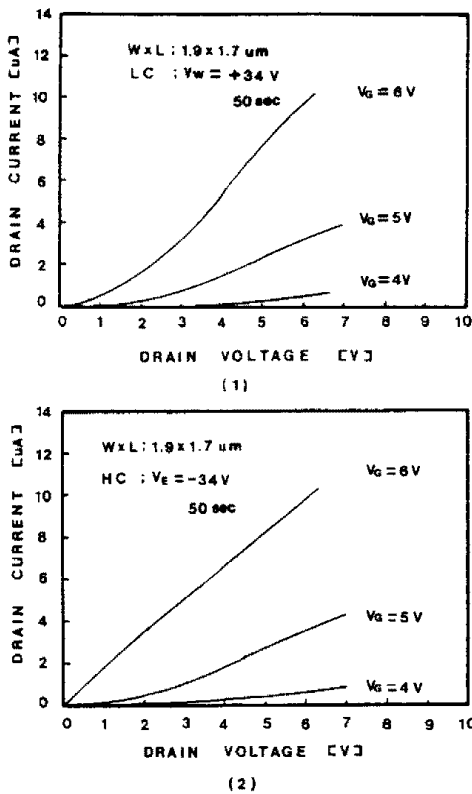


그림 9  $1.9[\mu m] \times 1.7[\mu m]$  소자의  $I_D-V_D$  특성곡선  
(1) 저전도상태 (2) 고전도상태

Fig. 9  $I_D-V_D$  characteristic curves of  $1.9[\mu m] \times 1.7[\mu m]$  device.

- (1) Low conductance state
- (2) High conductance state

그림 6의 곡선 (a)와 같은 기억상태에서 얻은  $I_D-V_D$  특성곡선은 그림 9의 (1)과 같다. 그림 6의 곡선 (b)와 같은 소거상태에서 얻은  $I_D-V_D$  특성곡선은 그림 9의 (2)와 같다. 그림에서 알 수 있는 바와같이 narrow 채널폭, short 채널길이를 갖는 비휘발성 SNOSFET 기억소자는 드

레인전압  $V_D = 3[V]$  부근에서 기대했던 값보다 급속하게 증가하는 kink effect 현상과 드레인전압이 증가하면 드레인전류가 포화되지 않고 계속 증가하는 현상을 보여 주고 있다.

그림 7, 8, 9의 결과로부터 같은 게이트전압의 경우 저전도상태보다 고전도상태에서 드레인전류가 많이 흐름을 보여 주고 있다. 채널폭과 길이에 따라 비교하면 채널폭은 일정하고 채널길이가 짧을수록 기록과 소거시의 게이트전압에 대한 전류값의 변화가 커짐을 알 수 있다. 채널길이가 짧아질수록 드레인전류가 short 채널 MOSFET인 전형적인 특성과 같이 포화되지 않고 계속 증가함을 보여 주고 있다.

## 4. 결 론

Short channel 비휘발성 SNOSFET EEPROM 기억소자를 CMOS 1 [Mbit] 설계규칙( $1.2[\mu m]$  design rule)에 의하여 제작하였다. 이 소자의 채널폭과 길이는 각각  $15[\mu m] \times 15[\mu m]$ ,  $15[\mu m] \times 1.5[\mu m]$ ,  $1.9[\mu m] \times 1.7[\mu m]$  이었다. 이 기억소자의  $I_D-V_D$  특성,  $I_D-V_G$  특성을 조사한 결과 다음과 같은 결론을 얻었다.

1. 전도특성은 게이트 인가전압의 극성, 크기 그리고 시간에 따라 변화시킬 수 있으며 논리회로에서 두개의 논리 레벨인 저전도상태와 고전도상태 특성을 나타내고  $I_D-V_G$  특성곡선이 모두 정(+)의 게이트전압에 위치하여 논리회로 설계시에 적절함을 알 수 있었다.

2. 드레인전압에 대한 드레인전류 특성에서 채널폭과 길이가  $15[\mu m] \times 15[\mu m]$ 의 소자는 long 채널 특성을 나타냈으며,  $15[\mu m] \times 1.5[\mu m]$ 와  $1.9[\mu m] \times 1.7[\mu m]$ 의 소자는 short 채널 특성이 나타났다. 그리고  $15[\mu m] \times 1.5[\mu m]$ ,  $1.9[\mu m] \times 1.7[\mu m]$ 의 소자는 드레인전압이 증가해도 포화 현상이 나타나지 않음을 알았다.

3. 채널폭과 길이가 각각  $15[\mu m] \times 15[\mu m]$ ,  $15[\mu m] \times 1.5[\mu m]$ ,  $1.9[\mu m] \times 1.7[\mu m]$ 인 소자에서 드레인전압과 드레인전류를  $V_D = 5[V]$ ,  $I_D = 100[\mu A]$ 로 하면  $I_D-V_D$  특성곡선이 포화되고 기생누설전류를 무시할 수 있다. 메모리 윈도우는 각각  $6.4[V]$ ,  $7.4[V]$ ,  $3.4[V]$ 까지 크게 할 수 있음을 알았다.

## 5. 참 고 문 헌

- 1) S.Aritomes, et al., IEDM 90, pp.111-114, 1990.
- 2) M.Aminzadeh, et al., IEEE Trans. on Elect.Dev., Vol.35, pp.459-467, 1988.

39. E.P.Jacobs, Solid State Elect., Vol.24, pp.470-483, 1981.
40. E.P.Jacobs, et al., Solid State Elect., Vol.24, pp.5-7-322, 1981.
50. L.G.Larstedt, et al., IEEE.J.of Solid State Circuits, Vol.SC-7, pp.382-388, 1972.
60. M.Hefia, IEEE Trans.on Elect.Dev., Vol.ED-25, pp.1071-1075, 1978.
70. E.J.Krick, IEEE Trans.on Elect.Dev., Vol.ED-22, pp.67-69, 1975.
80. S.Kitazawa, et al., IEICE Trans., Vol.F-74, pp.885-889, 1991.
90. A.A.M.Amin, ESSDFRC 90, pp.177-180, 1990.