

Microwave GaAs MESFET의 특성해석 Modeling에 관한 연구

•李賢碩, 林 敬文, 趙 立烈, 金 英植, 成 萬永

A Study on the Modeling of Microwave GaAs MESFETs

Hyun Seok Lee, Kyoung Moon Lim, Ho Yeol Cho, Young Sic Kim, Man Young Sung
Dept. of Electrical Eng. Korea University, Seoul, Korea

Abstracts

This paper describes an improved analytic model for a gallium-arsenide MESFET computer simulation and deals with application to microwave performance. The current-voltage characteristics, the dependence of the capacitances, transconductances and drainconductances on bias conditions and the dependences of s-parameters on various frequencies are calculated. The model is based on a physical picture revealed through two-dimensional numerical analysis, and takes into account transition region and diffusion process under gate but it requires a very small computer time. Simulation results agree well with the experimental data found earlier by other author. The proposed model can be used for a computer-aided design of GaAs MESFET devices and for a study of application to microwave performance.

I. 序論

GaAs MESFET의 동작에 대하여 Hauser[1]는 채널에서 캐리어 속도飽和의 중요성을指摘했고, Kennedy와 O'Brien는 캐리어 속도飽和에서電界依存移動度(Field Dependent Mobility)의 중요성을 보였으며 채널에서 캐리어 蓄積의 존재를 證明했다. 이러한 주요한 概念을 바탕으로 GaAs MESFET에 대한 많은 解析이 시도되어 왔는데, 보다 精密한 解析을 위한 方法으로서 使用되는 것으로 2次元 數值解析이 있다. 2次元 數值解析[2,3]은 比較的 實驗值에 近似的인 電流-電壓特性(Current-Voltage Characteristics)등의 結果를 얻을 수 있는 반면 大型 컴퓨터의 必要와 오랜 計算時間의 消耗을 伴하기 때문에 素子 最適化(Optimization) 및 設計(Design)에의 利用 측면에서는 適當하지 않다는 指摘을 받고있다. 따라서 簡單하면서도 精確할 수 있는 모델에 의한 시뮬레이션을 위해 많은 研究가 要求되고 있는 實情이다. 본 論文에서는 2次元 數值解析의 結果를 土臺로 보다 計算時間이 짧은 解析方法을 摸索하며, GaAs MESFET素子の 設計 및 마이크로파에의 應用(Microwave Application)을 위한 效果적인 시뮬레이션에 관한 研究를 目標로 하였다. 이러한 모델에 基礎하여 프로그램을 작성 GaAs MESFET의 電流-電壓 特性, 캐패시턴스, 트랜스 컨덕턴스, 드레인 컨덕턴스 등을 抽出하였고 이를 利用하여 S-파라미터를 計算하여 마이크로 웨이브 周波數範圍의 應用까지 GaAs MESFET의 設計에 利用할 수 있도록 하였으며, 시뮬레이션의 結果들을 實驗值과 比較하여 그 妥當성을 보였다.

II. GaAs MESFET의 모델링 理論의 提示

2.1 2次元 解析 및 傳導 電流

이 모델의 基本이 되는 GaAs MESFET의 斷面構造를 그림 2.1에서 보이고있다. MESFET의 2次元 解析은 결국 포아송方程式과 連續의 方程式을 푸는 問題인데, 그 基本方程式은 다음과 같다.

$$\nabla^2 \phi = - \frac{q}{\epsilon_0 \epsilon_R} (N_D - n(x,y)) \quad (2-1)$$

$$\nabla \cdot J = 0 \quad (2-2)$$

$$J = -qnv + qD_n \nabla n \quad (2-3)$$

$$J_{tot} = J + \epsilon_0 \epsilon_R \frac{\partial E}{\partial t} \quad (2-4)$$

여기서 N_D 는 도우너 密度, q 는 電子의 電荷量, ϵ_0 는 自由空間의 유전율, ϵ_R 는 GaAs의 비유전율, J 는 傳導電流 密度, E 는 電界, v 는 캐리어 平均速度, D_n 은 電子의 擴散係數, ϕ 는 停電포텐셜, n 은 活性領域에서의 電子分布이고, $|J_{tot}|_x$ 는 J_{tot} 의 x-成分을 意味한다. GaAs MESFET은 基本的으로 多數캐리어 素子이다. 따라서 본 論文에서 少數캐리어의 影響은 無視한다고 假定하였다.

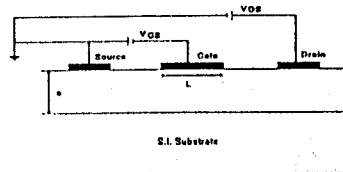


그림 2.1 이 모델에서 사용된 GaAs MESFET의 단면도

본 모델에서는 2次元 數值解析의 結果[3,4]를 토대로한 電子密度의 函數의 形態 즉, 電子密度가 空乏領域 尙方자리(Boundary)의 제로(Zero)로 부터 中性채널領域의 N_D 까지 변하고 있음을 포함하고 있다. 轉移領域($d_1(x) \leq y < d_1(x) + d$)의 캐리어 分布 形態를 다음과 같이 둔다[5].

$$n(x,y) = N_D(1-\alpha(x-\gamma)) \frac{1 + \cos \frac{\pi}{d} (y - d_1(x))}{2} \quad (2-5)$$

$$d = 6 \lambda_D, \lambda_D = \sqrt{\frac{\epsilon_0 \epsilon_r k T}{q^2 N_D}} \quad \alpha \begin{cases} = 0 & (x < \gamma) \\ \neq 0 & (x > \gamma) \end{cases}$$

이다. 여기서 λ_D 는 드바이길이이고, 채널領域의 폭 $d_1(x)$ 는 中性 채널領域의 y 방향길이인데, 주어진 바이어스하에서 x 의 函數이며, d 는 完全空乏領域과 中性채널領域 사이 轉移領域의 폭으로 드바이 길이의 6배 정도이다. α 는 空乏率을, γ 는 핀치-오프位置를 나타낸다. 이때 α , γ 는 $x = 0$ 과 $x = L$ 에서 電流의 連續條件을 滿足함으로써 얻어지고, 핀치-오프점은 中性채널領域이 소멸되는 점으로 정의한다. 즉, $d_1(x=\gamma) = 0$ 인 곳이다. GaAs MESFET의 動作은 $d_1(x)$ 의 값과 파라미터 γ 에 따라 핀치-오프 以前(Before pinch-off: $\gamma > L, d_1(x) > 0$), 핀치-오프 以後(After pinch-off: $0 < \gamma < L, d_1(x=\gamma) = 0$), 全體 핀치-오프(Total pinch-off: $\gamma < 0, d_1(x) < 0$)와 같은 動作모우드로 區分될 수 있으며 이러한 각 動作모우드는 게이트電壓과 드레인電壓에 의해 決定된다.

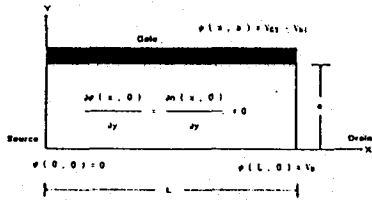


그림 2.2 2차원 해석을 위한 경계조건

그림 2.2는 GaAs MESFET의 2次元 解析을 위한 intrinsic FET의 單純化形態 및 境界條件을 보이고있다. 活性領域 아래 位置하는 기판을 完全한 絶緣體로 간주하기 때문에 $y=0$ 바깥 쪽으로는 電流의 흐름이 없음을 나타내고 있으며, 소스쪽을 떠난 多數캐리어가 드레인쪽에 도달한 것과 같아야 한다. 여기서 V_{DS} 는 드레인-소스 오스간 바이어스, V_{GS} 는 게이트-소스간 바이어스, V_{bi} 는 쇼트키 障壁높이를 의미한다. 앞에서의 境界條件과 電子密度하에서 포아손方程式의 解를 구할 수 있는데 Yamaguchi와 Kodera[5]에 의하면 포텐셜은 라플라스 方程式을 滿足하는 解와 포아손方程式을 滿足하는 解의 두 성분으로 나누어 풀 수 있는데 모든 파라미터들은 드레인 포인트(0, L)의 포텐셜 V_L 의 函數로서 表示 되어질 수 있다. 따라서 V_L 을 알게되면 포텐셜을 구할 수 있게 되는데, V_L 의 精確한 解는 傳導電流 連續의 條件인 $I_D = I_S$ 의 適用으로써 決定된다. 電界는 포텐셜과 $E = -\nabla\phi$ 의 關係에 있고, 電界는 앞에서의 포텐셜을 각 動作모우드에서 소스와 드레인쪽에 대해 微分함으로써 구해질 수 있다[6]. 그리고 주어진 電界下에서의 캐리어 速度는 GaAs에 대한 速度-電界의 關係[7,8]로부터 얻을 수 있는데 간단히 하기위해 移動度 減少領域(Negative Differential Mobility Region)을 無視하여 線形近似[6]한 것을 使用하였다. 그리고 傳導電流는 電流密度式을 y 축을 따라 $y=0$ 에서 $y=a$ 까지 積分함으로써 計算될 수 있는데, 速度의 x -成分만이 電流에 寄與하므로 먼저 近似된 速度 電界의 關係로부터 다음을 適用한다.

$$v_x = \frac{E_x}{|E|} v(|E|) \quad v(|E|) = \begin{cases} \mu E & \text{if } E \leq E_c \\ v_s & \text{if } E > E_c \end{cases} \quad (2-6)$$

이고 여기서

$$|E| = \sqrt{E_x^2 + E_y^2} \quad (2-7)$$

전체전류 I 는 바이어스에 의해 결정되는 채널단면적 S 를 따라 적분함으로써 얻을 수 있다.

$$I = \int_S J_{tot} ds = \int_S |J_{tot}| dx dy \quad (2-8)$$

결국 이렇게 계산된 소스소스의 傳導電流와 드레인쪽의 傳導電流는 같아야 하므로 V_L 을 구하기위해 數值解析적으로 이 條件이 滿足될 때까지 反復計算해 나간다. 그림 2.3은 주어진 바이어스條件에서 電流를 구하기위한 흐름도를 說明하고있다. 이때의 電流, 電壓으로부터 I - V 特性을 抽出하고 이로부터 小信號 파라미터를 計算하고 나아가 이들 小信號 파라미터를 使用하여 小信號 等價回路에 대한 S -파라미터를 알 수 있다.

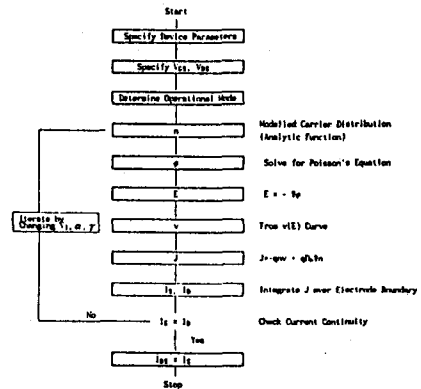


그림 2.3 프로그래밍을 위한 흐름도

2.2 小信號 파라미터와 S-파라미터

트랜스컨덕턴스와 드레인 컨덕턴스는 시뮬레이션의 電流-電壓特性의 結果로부터 直接 얻어진다. 또한 게이트-소스간 캐패시턴스와 게이트-드레인간의 캐패시턴스는 각 모우드에서의 全體 電荷量을 구함으로써 얻을 수 있는데, 全體電荷量은 完全空乏領域 電荷量과 轉移領域의 電荷量, 두 成分을 모두 包含한다. 바이어스 條件에 따라 計算된 小信號 파라미터들과 이의 寄生要素들로서 S -파라미터를 計算할 수 있는데 그림 2.4는 이 GaAs MESFET의 小信號 等價回路를 보이고있다. FET는 小信號素子로 使用될 때 線形素子로서 다루어질 수 있으므로 S -파라미터를 구하기 위해 그림 2.4에 대한 一般式들을 풀어야만 한다.

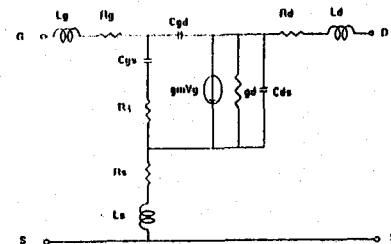


그림 2.4 GaAs MESFET의 동가회로

S-파라미터를 구하기 위해 먼저 Intrinsic 등가회로에서의 Y-파라미터를 구하면 다음과 같다

$$\begin{bmatrix} I_g \\ I_d \end{bmatrix} = \begin{bmatrix} Y_{GG} & Y_{GD} \\ Y_{DG} & Y_{DD} \end{bmatrix} \begin{bmatrix} V_{gin} \\ V_{din} \end{bmatrix} \quad (2-10)$$

$$Y_{GG} = \frac{j\omega C_{gs}}{1 + j\omega C_{gs} R_i} + j\omega C_{gd} \quad Y_{GD} = -j\omega C_{gd}$$

$$Y_{DG} = \frac{g_m}{1 + j\omega C_{gs} R_i} - j\omega C_{gd} \quad Y_{DD} = g_d + j\omega (C_{ds} + C_{gd})$$

이때 트랜스컨덕턴스는 어떤 시간 만큼(τ_{gm})의 Delay가 나타나는데, 이는 전류소스(the current generator) $g_m V_g$ 에 의한 phase Delay를 의미한다. 즉, 게이트 전압이 변화될 때 드레인 전류의 새로운 값은 커패시터가 충전될 때까지 완전히 확립되지 못하기 때문에 이 성분이 마이크로초의 동작시 고려되어야 한다. 이러한 Delay를 회로의 관점에서 다음과 같이 표현할 수 있다.

$$g_m(\omega) = g_{m0} \exp(-j\omega \tau_{gm}) \quad (2-11)$$

다음단계로 FET의寄生成分들을 포함시켜 주기 위해 앞서 계산된 Y-파라미터를 Z-파라미터로 변환한다. 변환된 Z-파라미터에 외부의 저항成分(R_G, R_S, R_D)과 인덕턴스成分(L_G, L_S, L_D)을 포함하는 extrinsic Z-파라미터를 계산한다. 여기에 패키징 등에 의한寄生成分을 포함시켜 줄 경우 앞단계에서 계산된 Z-파라미터를 다시 Y-파라미터로 변환한다. 변환된 Y-파라미터를 특성 임피던스(Characteristic Impedance) $Z_0 (Y_0=1/Z_0)$ 에 의해 Normalization 하여 마지막 단계로 이 Normalization된 Y-파라미터로서 S-파라미터와의 관계식에代入하여 S-파라미터를 계산한다.

Ⅱ. 컴퓨터 시뮬레이션 결과 및 考察

그림 2.3의 흐름도에 의해 프로그램을 작성, 각 바이어스條件에서 線形近似된 速度-電界關係를 사용하여 電流를 計算한 結果가 그림 3.1이다. 이 結果를 살펴보면 그림 3.2의 測定值[9]와 잘 일치하고 있음을 볼 수 있다.

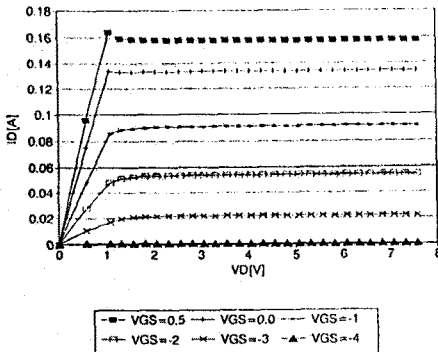


그림 3.1 시뮬레이션된 I-V 특성곡선
($N_D=7.5 \times 10^{22} \text{ m}^{-3}$, $a=0.32 \mu\text{m}$, $Z=600 \mu\text{m}$, $L=1.7 \mu\text{m}$,
 $\mu_n=0.425 \text{ m}^2/(\text{V} \cdot \text{sec})$, $v_s=1.36 \times 10^6 \text{ m/V}$, $E_c=3.2 \times 10^5 \text{ m/V}$,
 $V_{b1}=0.7 \text{ V}$)

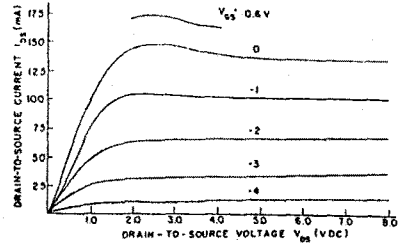


그림 3.2 측정된 I-V 특성곡선[9]

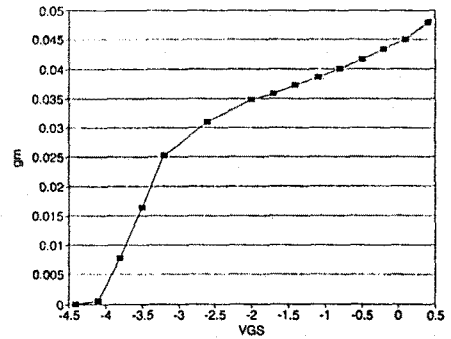


그림 3.3 I-V 특성곡선으로부터 계산된 $g_m (V_{DS}=6V)$

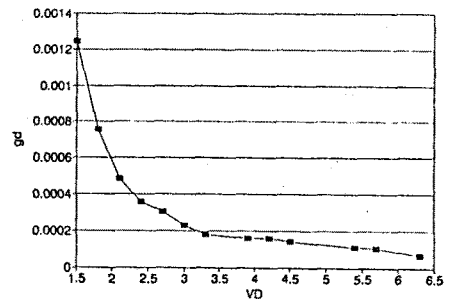


그림 3.4 I-V 특성곡선으로부터 계산된 $g_d (V_{GS}=-2V)$

小信號 파라미터 및 S-파라미터는 시뮬레이션된 電流-電壓特性의 結果로부터 直接 抽出해낼 수 있었으며 큰 V_D 일때도 g_d 값이 有限한 값을 갖는것은 이 시뮬레이션에 앞서 說明된 것과 같이, 臨界電界以上에서 電子 速度의 飽和를 야기하게되지만 속도의 x-方向成分은 바이어스의 增加에따라 커지게된다. 이 v_x 의 增加는 電流의 작은 上昇을 불러일으키게 되어 결국 有限한 g_d 의 原因이 되는 것이다.

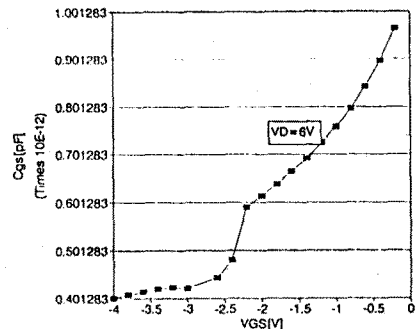


그림 3.5 I-V 특성곡선으로부터 계산된 $C_{gs} (V_{DS}=6V)$

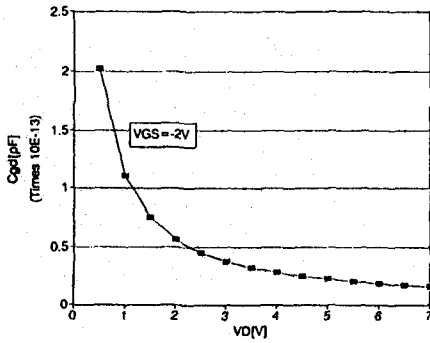


그림 3.6 I-V 특성곡선으로 부터 계산된 $C_{out}(V_{GS}=-2V)$

GaAs MESFET가 마이크로파 範圍에서 小信號 素子로서 使用될때 이 Two-port network를 特性化 하기위한 S-파라미터는 모델식의 線形化에 의해 얻어질 수 있다. 본 論文의 시뮬레이션에서는 提示된 모델의 精確도를 보기위해 $V_{GS} = -2V$, $V_{DS} = 6V$ 의 바이어스에서 計算된 것(이때, 시뮬레이션 결과로 얻어진 소신호 파라미터값 $C_{GS}=0.61473pF$, $C_{GD}=0.01863pF$, $g_{m0}=34.771mS$, $g_{d0}=0.387mS$ 를 사용했으며 기타 파라미터는 [9]참고)과 測定된 S-파라미터를 比較하였다. 이때 動作 周波數는 2 GHz 부터 10 GHz로 하였다. 結果를 보면 實測値와 비슷한 傾向을 보임을 알 수 있다. 그러나 그 크기 및 位相의 差異는 본 論文에서의 시뮬레이션에 包含 되지않은 다른 여러 等價回路 파라미터가 갖고 있는 誤差와 패키징 등에 의한 여러 寄生成分의 무시 등에 起因하는 것으로 생각되어 진다.

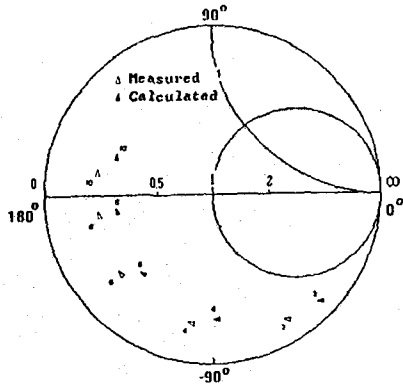


그림 3.7 소신호 파라미터로 부터 계산된 $S_{11}(2GHz \sim 10GHz)$

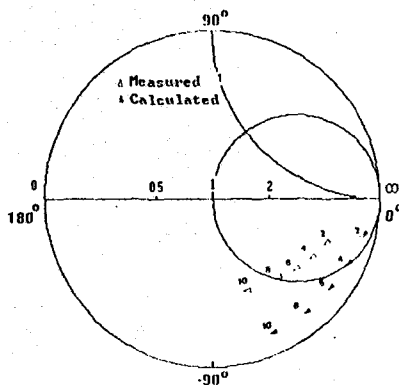


그림 3.8 $S_{22}(2GHz \sim 10GHz)$

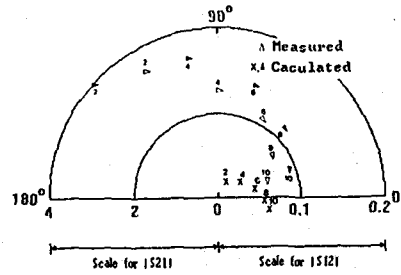


그림 3.9 $S_{12}, S_{21}(2GHz \sim 10GHz)$

V. 結論

본 論文에서는 Microwave GaAs MESFET의 設計를 위한 2次元 解析 및 시뮬레이션을 시도하였으며, 시뮬레이션結果 짧은 計算時間이 소요되더라도 比較的 測定値와 近似한 電流-電壓特性을 抽出할 수 있었다. 시뮬레이션된 電流-電壓特性 結果는 測定結果와 잘 一致함을 確認할 수 있었고, 附加하여 트랜스컨덕턴스, 드레인컨덕턴스 및 각 커패시턴스등 小信號파라미터들을 抽出 하였으며 또한 이들을 使用하여 GaAs MESFET의 小信號回路에 대한 S-파라미터를 計算하여 實測値와 比較하여 그 妥當性을 보여, 앞으로 繼續 研究될 Microwave GaAs MESFET 및 이를 使用한 IC의 最適設計와 開發에 一翼을 擔當하고자했다.

V. 參考 論文

- [1] J.R. Hauser, Solid State Electron. , 10, 577 (1967).
- [2] S. Sze, Physics of Semiconductor Devices. , (1981).
- [3] B. Himsforth, Solid State Electron. , Vol. 15, 1353 (1972).
- [4] K. Yamaguchi, et. al. , IEEE Trans. Electron Devices. , Vol. ED - 23, 1283 (1976).
- [5] K. Yamaguchi, et. al. , IEEE Trans. Electron Devices. , Vol. ED - 23, 545 (1976).
- [6] M. Y. Sung, et. al. , Research Report. , DMR 86 - 860
- [7] C. Jacoboni, et. al. , Solid State Electron. , 20, 77 (1977).
- [8] P. Smith, et. al. , Appl. Phys. Lett. , 37, 797 (1980)
- [9] H. A. Willing, et. al. , IEEE Trans. Microwave Theory and Technology. , MIT - 26. , 1017 (1978)