

얇은 박막 SOI (Silicon-On-Insulator) MOSFET 에서의 소자 변수 추출 방법

°박 성계, 김 충기

한국 과학 기술원, 전기및 전자과

A Device Parameter Extraction Method for Thin Film SOI MOSFETs

Sung-Kye Park, Choong-Ki Kim

Dept. of Elec. Eng., KAIST

Abstract - An accurate method for extracting both Si film doping concentration and front or back silicon-to-oxide fixed charge density of fully depleted SOI devices is proposed. The method utilizes the current-to-voltage and capacitance-to-voltage characteristics of both SOI NMOSFET and PMOSFET which have the same doping concentration. The Si film doping concentration and the front or back silicon-to-oxide fixed charge density are extracted by manipulating the respective threshold voltages of the SOI NMOSFET and PMOSFET according to the back surface condition (accumulation or inversion) and the capacitance-to-voltage characteristics of the SOI PMOSFET. Device simulations show that the proposed method has less than 10% errors for wide variations of the film doping concentration and the front or the back silicon-to-oxide fixed charge density.

1. 서론

SOI 소자는 내 방사성, subthreshold 특성의 향상, 기생 용량의 감소, latch-up의 부재, 회로의 고속 동작 등의 뛰어난 장점으로 인해 [1-4], 미래의 VLSI의 응용에 강력한 후보로 대두되고 있다. SIMOX 나 ZMR 등의 기술에 의해 양질의 SOI 웨이퍼가 유용됨과 더불어 SOI 소자의 독특한 특성들을 설명하기 위한 해석적이고 물리적인 모델들이 보고 되어 왔지만, 이러한 고성능 SOI 소자의 올바른 응용을 위해서는 실리콘 박막내의 농도, 실리콘 박막의 두께, 앞면 및 뒷면 게이트 산화막의 두께와 고정전하 밀도와 같은 물리적 소자 변수들을 제작된 소자로부터 직접적으로 추출할 수 있어야 한다.

최근들어 소자 변수를 추출하기 위한 몇가지 방법이 보고되어 있으나[5-8], 실제로는 실리콘 박막이 완전히 공핍되어 있고 앞면과 뒷면 게이트 사이의 용량 결합때문에 소자 변수의 추출이 매우 어려우며, 따라서 C-V 특성을 이용하여 추출할 수 있는 변수들은 앞면과 뒷면의 게이트 산화막 두께 및 실리콘 박막 두께 정도이다.

실리콘 박막의 도핑 농도와 앞면 및 뒷면의 실리콘 산화막 경계면에서의 고정전하 밀도의 정확한 측정은 SOI 소자의 문턱 전압 조절 및 모델링의 측면에서 매우 중요하다. W. R. Henderson 등에게 공핍형 SOI NMOSFET (문턱 전압 < 0) 에서 박막 도핑 농도와 앞면 게이트 flat 밴드 전압을 추출할 수 있는 방법이 제안 되었지만, 이 방법은 증가형 SOI NMOSFET (문턱 전압 > 0) 에는 적용될 수 없으며 더우기 뒷면 게이트 flat 밴드 전압을 구할 수 없다는 단점을 가진다.

본 논문에서는 SOI NMOSFET 와 PMOSFET 의 I-V 특성과 C-V 특성을 이용하여 얇은 실리콘 박막내의 도핑 농도와 앞면 및 뒷면 게이트 실리콘-산화막 경계면에서의 고정전하 밀도를 측정할 수 있는 방법을 제안한다.

2. 소자 변수 추출 방법

완전 공핍된 SOI NMOSFET와 PMOSFET 의 단면도는 그림 1(a)와 (b)에 나타나 있다. NMOSFET와 PMOSFET 모두 p-type 실리콘 박막을 가짐으로써, NMOSFET는 증가형 모드 (enhancement mode)로 PMOSFET은 축적형 모드 (accumulation mode)로 동작한다.

완전 공핍된 SOI 소자의 앞면 및 뒷면의 게이트 전압은 앞면과 뒷면 사이의 용량 결합을 고려하여 다음과 같이 표현할 수 있다[10,11].

$$V_{FR} = \Phi_{Msf} - \frac{Q_{ff}}{C_{fox}} + \left(1 + \frac{C_{Si}}{C_{fox}}\right) \phi_{sf} - \frac{C_{Si}}{C_{fox}} \phi_{sb} + \frac{\frac{1}{2}qN_A t_{Si} + Q_{fx}}{C_{fox}} \quad (1)$$

$$V_{BR} = \Phi_{Msb} - \frac{Q_{bf}}{C_{box}} - \frac{C_{Si}}{C_{box}} \phi_{sf} + \left(1 + \frac{C_{Si}}{C_{box}}\right) \phi_{sb} + \frac{\frac{1}{2}qN_A t_{Si} + Q_{bx}}{C_{box}} \quad (2)$$

여기에서 V_g 와 V_n 는 앞면 및 뒷면 게이트 전압, Φ_{Msf} 와 Φ_{Msb} 는 앞면 및 뒷면 게이트 물질과 실리콘 박막 사이의 일함수 차이, Q_f 와 Q_b 는 앞면과 뒷면의 실리콘-산화막 경계면에서의 고정전하 밀도, C_{fox} , C_{ms} , C_{si} 는 앞면 게이트 산화막과 뒷면 게이트 산화막 및 실리콘 박막의 용량, ϕ_s 와 ϕ_b 는 실리콘 박막의 앞표면 및 뒷표면의 전위, Q_f 와 Q_b 는 실리콘 박막의 앞면과 뒷면에서의 캐리어 전하밀도를 나타내며, N_A 는 실리콘 박막의 도핑 농도를, t_s 는 실리콘 박막의 두께를 나타낸다.

SOI NMOSFET과 PMOSFET 의 문턱 전압은 실리콘 박막의 뒷 표면 상태 (축적 또는 반전)에 따라 다음과 같이 주어진다.

i) NMOSFET에서 실리콘 박막의 뒷표면 상태가 반전 상태에 있을때 ($\phi_b \approx 2\phi_f$), 앞면 게이트의 문턱 전압은 다음과 같다.

$$V_{fthn,invb} = \Phi_{Msf} - \frac{Q_{ff}}{C_{fox}} + \left(1 + \frac{C_{Si}}{C_{fox}}\right) 2\phi_f - \frac{C_{Si}}{C_{fox}} 2\phi_f + \frac{\frac{1}{2}qN_A t_s i}{C_{fox}} \quad (3)$$

그리고

$$\phi_f = \frac{kT}{q} \ln \frac{N_A}{n_i}$$

여기에서, 실리콘 박막의 앞면에서의 캐리어 전하밀도 Q_b 는 공핍된 실리콘 박막의 전하밀도 Q_{si} ($=qN_A t_{si}$) 보다 매우 적으므로 무시 되었다.

ii) NMOSFET에서 실리콘 박막의 뒷표면 상태가 축적 상태에 있을때 ($\phi_b \approx 0$), 앞면 게이트의 문턱 전압은 다음과 같다.

$$V_{fthn,accb} = \Phi_{Msf} - \frac{Q_{ff}}{C_{fox}} + \left(1 + \frac{C_{Si}}{C_{fox}}\right) 2\phi_f + \frac{\frac{1}{2}qN_A t_s i}{C_{fox}} \quad (4)$$

iii) PMOSFET에서 실리콘 박막의 뒷표면 상태가 반전 상태에 있을때 ($\phi_b \approx 2\phi_f$), 앞면 게이트의 문턱 전압은 다음과 같다.

$$V_{fthp,invb} = \Phi_{Msf} - \frac{Q_{ff}}{C_{fox}} - \frac{C_{Si}}{C_{fox}} 2\phi_f + \frac{\frac{1}{2}qN_A t_s i}{C_{fox}} \quad (5)$$

iv) PMOSFET에서 실리콘 박막의 뒷표면 상태가 축적 상태에 있을때 ($\phi_b \approx 0$), 앞면 게이트의 문턱 전압은 다음과 같다.

$$V_{fthp,accb} = \Phi_{Msf} - \frac{Q_{ff}}{C_{fox}} \quad (6)$$

여기에서, PMOSFET의 경우 실리콘 박막은 뒷표면에서 부터 증산화 되어서 앞 표면이 축적되기 때문에 공핍된 실리콘 전하 밀도 Q_{si} ($=qN_A t_{si}$) 는 영(0) 이 된다.

위의 식(3)-(6)으로부터 NMOSFET와 PMOSFET의 박막 도핑 농도가 같다면 다음과 같은 식을 얻을수 있다.

$$V_{fthn,invb} - V_{fthn,accb} - V_{fthp,invb} + V_{fthp,accb} = -\frac{qN_A t_s i}{2C_{fox}} = -\frac{qN_A t_s i f_{fox}}{2\epsilon_{ox}} \quad (7)$$

식 (7)로부터 실리콘 박막의 두께 및 앞면 게이트 산화막의 두께는 C-V 방법[7] 에의해 측정 가능 하므로 PMOSFET와 NMOSFET의 문턱전압만 정확히 알수 있다면 N_A 의 값을 구할수 있다. 식 (7)의 왼쪽 3개항은 뒷면 게이트에 적당한 전압을 가한 상태에서 (실리콘 박막의 뒷 표면이 반전 또는 축적 상태가 되도록) SOI NMOSFET 및 PMOSFET의 드레인 전류에 대한 앞면 게이트 전압 특성 (I_D - V_{fg} 특성) 으로부터 알아 낼 수 있다. 즉, 낮은 드레인 전압에서 앞면 게이트 전압에 대한 드레인 전류의 2차 미분이 최대가되는 앞면 게이트 전압을 문턱 전압으로 정의하여 쉽게 측정 가능하다[12,13]. 그러나, (7)식의 4번째항, 즉, 앞면 게이트와 실리콘 박막사이의 flat 밴드 전압을 나타내는 식 (6)의 문턱전압 은 직접 측정 되지 않는다.

그러므로, $V_{fthp,accb}$ 전압을 구하기위해 SOI PMOSFET의 앞면 게이트에서 용량-전압특성, 즉 C_{fg} - V_{fg} 특성을 이용하고자 한다. C_{fg} - V_{fg} 특성은 SOI PMOSFET의 소오스와 드레인을 함께 묶어 MOS 캐패시터로 사용함으로써 별도의 C-V 테스트 패턴이 없이 측정 가능하다.

만약 C_{fg} - V_{fg} 곡선으로부터 앞면 게이트 flat 밴드 용량 C_{FB} 를 알수 있다면 이에 해당하는 앞면 게이트 flat 밴드 전압 V_{FB} ($=V_{fthp,accb}$) 을 쉽게 구할수 있고 $V_{fthp,accb}$ 값을 식 (7)에 대입함으로써 실리콘 박막의 도핑 농도 N_A 를 구할수 있다.

먼저, C_{fg} - V_{fg} 곡선에서 C_{FB} 의 값을 정확하게 알아내기 위해서 실리콘 박막의 뒷표면이 축적 ($\phi_b \approx 0$) 상태가 되도록 적당한 전압을 뒷면 게이트에 가한 상태에서 SOI PMOSFET의 C_{fg} - V_{fg} 특성을 측정한 다음, 측정된 (C_{fg} , V_{fg}) 쌍의 값이 앞면 게이트의 flat 밴드 상태에서의 캐패시턴스 및 게이트 전압이라고 가정하여 아래의 식에 의해 가상의 농도와 게이트 전압의 값인 (N_A^* , $V_{fb,accb}$) 쌍으로 변환시킨다.

$$C_{FB} = C_{FB} = \frac{C_{fox} C_{DL}}{C_{fox} + C_{DL}} = \frac{\epsilon_{ox}}{t_{fox} + \frac{\epsilon_{ox}}{\epsilon_{Si}} \sqrt{\frac{kT\epsilon_{Si}}{q^2 N_A}}} \quad (8)$$

$$C_{DL} = \frac{\epsilon_{Si}}{L_D} = \frac{\epsilon_{Si}}{\sqrt{\frac{\epsilon_{Si} kT}{q^2 N_A}}} \quad (9)$$

여기서 L_D 는 Debye 길이이다[14].

이렇게 변환하여 얻어진 $(N_A, V_{th,accb})$ 집합 중에는 식 (8)을 만족시킬 수 있는 참값의 N_A 와 $V_{th,accb}$ 의 한쌍이 존재할 것이다. 이러한 진정한 실리콘 박막 도핑 농도 N_A 와 앞면 게이트 flat 밴드 전압 $V_{th,accb}$ ($=V_{FB}$) 을 구하기 위해 앞에서 얻어진 $(N_A, V_{th,accb})$ 집합에 대한 각각의 쌍에 대해 $V_{th,accb} = V_{th,accb}$ 이고 $N_A = N_A$ 라고 가정하여 (7)식에 대입한다. 이때, (7)식을 만족시키는 한쌍의 $(N_A, V_{th,accb})$ 값이 존재하며, 이값은 (7)식과 (8)식을 동시에 만족시키게 되므로 우리가 추출하고자 하는 진정한 실리콘 박막의 도핑농도 N_A 와 앞면 게이트 flat 밴드 전압 $V_{th,accb}$ 에 해당한다. 이러한 과정은 SOI NMOSFET와 PMOSFET에 적당한 뒷면 게이트 전압을 가한 상태에서 얻어진 I_D-V_{th} 와 C-V 특성으로부터 $V_{th,invb}, V_{th,accb}, V_{th,invb}, I_{Si}, I_{ox}, I_{box}$ 값을 구한 후, 식(7)과 (8)에 의해 손으로 계산되어진 $(N_A, V_{th,accb})$ 과 $(N_A, V_{th,accb})$ 집합을 curve-fitting 방법에 의해 도식적으로 쉽게 수행할 수 있다. 이때의 앞면 실리콘-산화막 고정전하 밀도 Q_f 값은 앞에서 얻어진 $V_{th,accb}$ ($=V_{FB}$) 값으로부터 (6)식을 사용하여 쉽게 계산 가능하다.

또한, 이러한 방식은 뒷면 실리콘-산화막 경계면에서의 고정전하 밀도 Q_b 를 구하는 데도 역시 적용가능하다. 앞면 실리콘 표면을 축적시키기 위한 적당한 전압을 앞면 게이트에 가한 상태에서 뒷면 게이트와 소오스/드레인 사이에 $C_{gs}-V_{gs}$ 특성을 측정할 수 있고, 앞에서 구한 실리콘 박막의 도핑 농도 N_A 와 뒷면 게이트 산화막 두께 t_{ox} 를 사용하여 (8)식의해 C_{FB} 를 계산할 수 있으므로 이 용량에 해당하는 뒷면 게이트 전압이 바로 뒷면 게이트 flat 밴드 전압 V_{FB} 이므로 앞의 방식과 동일하게 Q_b 를 구할수 있다.

3. 시뮬레이션 및 토의

제안한 방법의 타당성을 입증하기 위하여 PISCES II-B를 이용한 2차원적 소자 시뮬레이션을 수행하였고 시뮬레이션에 사용된 소자의 구조가 그림 1에 나타나 있다.

실리콘 박막의 도핑농도 N_A 와 앞면 및 뒷면 실리콘-산화막 고정전하 밀도 Q_f 및 Q_b 를 제외한 다른 소자변수들, 즉, t_{ox}, t_{Si}, t_{box} 은 보고되어진 기존의 C-V 방법에 의해 쉽게 구할 수 있다는 가정하에 앞면 게이트 산화막의 두께와 실리콘의 박막 두께 및 뒷면 게이트 산화막의 두께같은 일반적으로 많이 사용하는 30, 100, 425 nm로 각각 고정하였다.

먼저, $N_A = 1 \times 10^{17}/\text{cm}^3$, $Q_f = 1 \times 10^{11}/\text{cm}^2$, and $Q_b = 1 \times 10^{11}/\text{cm}^2$ 의 소자변수들을 가지는 시편에 대해 제안한 방법을 적용하여 앞에서 서술한 방법에 따라 N_A, Q_f, Q_b 값을 추출할 것이며 시뮬레이션에 사용한 원래의 값과 비교해 봄으로써

제안한 소자 변수 추출 방법의 유용성을 검증할 것이다.

식(3)-(5)에 해당하는 문턱전압, 즉, $V_{th,invb}, V_{th,accb}, V_{th,invb}$ 값은 SOI NMOSFET와 PMOSFET을 시뮬레이션한 I_D-V_{th} 특성으로부터 구할 수 있으며 그 결과가 그림 2에 나타나 있다. 구한 문턱전압은 V_{th} 에 대한 I_D 의 2차 미분이 최대가 되는 앞면 게이트 전압으로 정의 하였으며 $V_{th,invb} = 0.4 \text{ V}$, $V_{th,accb} = 1.165 \text{ V}$, $V_{th,invb} = -1.14 \text{ V}$ 로 얻어졌다. 이때의 뒷면 게이트 전압은 실리콘 박막의 뒷표면 상태를 반전시키거나 축적시킬 수 있는 적당한 게이트 전압이 가해진 상태이다. 식 (6)에 나타난 문턱전압을 얻기위해 PMOSFET의 앞면 게이트와 소오스/드레인 사이의 고주파 (10kHz) 용량-전압 특성이 시뮬레이션되고 그림 3에 나타나 있다. 앞질의 방식에 따라 식 (8)을 사용하여 PMOSFET의 $C_{gs}-V_{gs}$ 곡선을 $N_A-V_{th,accb}$ 곡선으로 변환시킬 수 있으며 변환된 $N_A-V_{th,accb}$ 곡선은 그림 4에 실선으로 나타나 있으며, 추출된 문턱전압들 ($V_{th,invb}, V_{th,accb}, V_{th,invb}$)을 (7)식에 대입하여 얻어진 $N_A-V_{th,accb}$ 곡선은 그림 4에 점선으로 나타나 있다. 그림 4에 나타난 바와 같이 두 곡선이 오직 한점에서만 교차됨을 알수있고, 이점에서의 x축및 y축의 값이 실제 실리콘 박막의 도핑 농도(N_A) 및 실제 앞면 게이트의 flat 밴드 전압 V_{FB} ($=V_{th,accb}$)에 해당하며 각각 $1.02 \times 10^{17}/\text{cm}^3$ and -1.09 V 로 나타남을 볼 수 있다. 이때 얻어진 V_{FB} 전압을 (6)식에 대입하여 앞면 실리콘-산화막 경계면에서의 고정전하 밀도 (Q_f)를 구할수 있고 $9.5 \times 10^{10}/\text{cm}^2$ 로 계산된다.

같은 방법으로 뒷면 게이트와 소오스/드레인 사이의 고주파(10kHz) 용량-전압, $C_{gs}-V_{gs}$, 특성이 시뮬레이션되고 그림 5에 그 결과가 나타나 있다. 여기서 뒷면 게이트의 flat 밴드 캐패시턴스 C_{FB} 는 앞에서 얻어진 실리콘 박막 도핑농도 N_A ($= 1.02 \times 10^{17}/\text{cm}^3$)와 뒷면 게이트 산화막 두께 t_{ox} ($= 425 \text{ nm}$)로부터 식 (8)에 의해 $1.609 \times 10^{-16} \text{ F}$ 로 계산되므로 $C_{gs}-V_{gs}$ 특성곡선으로부터 해당하는 뒷면 게이트 flat 밴드 전압 V_{FB} 값은 -2.8 V 임을 알수 있다. 이때의 뒷면 실리콘-산화막 경계면에서의 고정전하 밀도 Q_b 값을 구할 때와 같은 방식으로 구해지며 $9.4 \times 10^{10}/\text{cm}^2$ 로 얻어졌다.

이러한 소자 변수 추출방법은 여러가지 실리콘 박막 도핑 농도값과 앞면 및 뒷면 실리콘-산화막 경계면에서의 고정 전하 밀도값들에 대해 적용시켜보았고 시뮬레이션 결과들이 표1에 요약 되어있으며 제안한 소자 추출 방법의 최대 오차는 N_A 에 대해 6%, Q_f 와 Q_b 에 대해서는 10%로 나타났다.

4. 결론

완전 공핍된 SOI 소자에서 실리콘 박막내의 도핑 농도와 앞면 및 뒷면 실리콘-산화막 경계면에서의 고정전하 밀도를 추출하기 위한 방법이 제안되었다. 이 방법은 같은 실리콘 박막 도핑 농도를 가지는 SOI NMOSFET와 PMOSFET의 전류-전압과 용량-전압 특성을 이용함으로써 제작된 소자로부터 직접적으로 소자 변수를 추출할 수 있다는 장점을 가지며, 다양한 범위의

소자 변수에 대하여 제안한 방법에 따라 2-D 소자 시뮬레이션을 이용하여 추출한 실리콘 박막의 도핑 농도 및 앞면과 뒷면의 실리콘-산화막 경계면에서의 고정전하 밀도의 오차는 모두 10% 이내임을 입증할 수 있었다.

참고 문헌

1. J. P. Colinge et al., *IEEE Electron Device Lett.*, EDL-7, 279 (1986).
2. M. Yoshimi, T. Wada, K. Kato, and H. Tango, *IEDM Tech. Dig.*, 640 (1987).
3. J. P. Colinge, *IEEE Electron Device Lett.*, EDL-7, 244 (1986).
4. M. Yoshimi, H. Hazama, M. Takahashi, S. Kambayashi, T. Wada, K. Kato, and H. Tango, *IEEE Trans. Electron Devices*, ED-36, 493 (1989).
5. J. H. Lee and S. Cristoloveanu, *IEEE Electron Device Lett.*, EDL-7, 537 (1986).
6. L. J. Mcdaid, S. Hall, W. Eccleston, and J. C. Alderman, *Solid-State Electronics*, 32, 65 (1989).
7. J. Chen, R. Solomon, T. Y. Chan, P. K. Ko, and C. Hu, *IEEE Electron Device Lett.*, EDL-12, 453 (1991).
8. D. P. Vu, P. M. Zavracky, M. J. Boden, and N. K. Cheong, *IEEE Electron Device Lett.*, EDL-12, 427 (1991).
9. W. R. Henderson, L. Pourcin, G. Chibaudou, and D. P. Vu, *IEEE Electron Devices Lett.*, EDL-11, 552 (1990).
10. H. K. Lim and J. G. Fossum, *IEEE Trans. Electron Device*, ED-30, 1244 (1983).
11. J. H. Choi, H. J. Song, K. D. Suh, J. W. Park and C. K. Kim, *Solid-State Electronics*, 34, 1421 (1991).
12. Y. H. Byun, K. Lee and M. Shur, *IEEE Electron Device Lett.*, EDL-11, 50 (1990).
13. C. K. Park, K. Lee, B. J. Moon and M. Shur, *IEEE Trans. Electron Devices*, ED-38, 399 (1991).
14. R. S. Muller and T. I. Kamins, *Device Electronics for Integrated Circuits*, 2nd Ed., p.185, Wiley, New York, 1986.

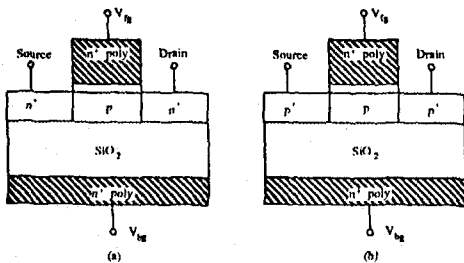
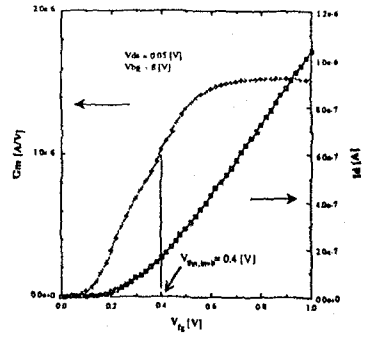
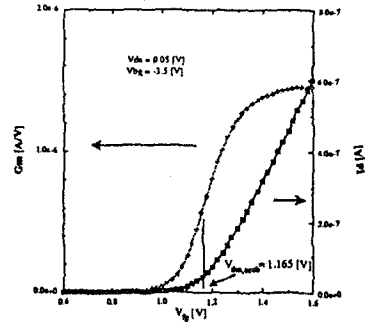


그림 1. SOI 소자의 단면도

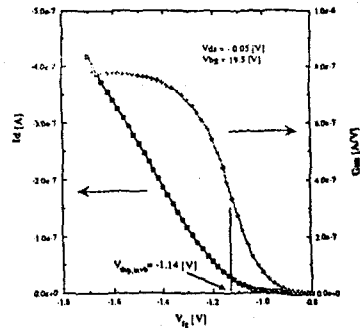
(a) NMOSFET (b) PMOSFET



(a)



(b)



(c)

그림 2. 시뮬레이션된 I_D - V_{fg} 특성.

- (a) 실리콘의 뒷 표면이 반전된 NMOSFET
- (b) 실리콘의 뒷 표면이 축적된 NMOSFET
- (c) 실리콘의 뒷 표면이 반전된 PMOSFET

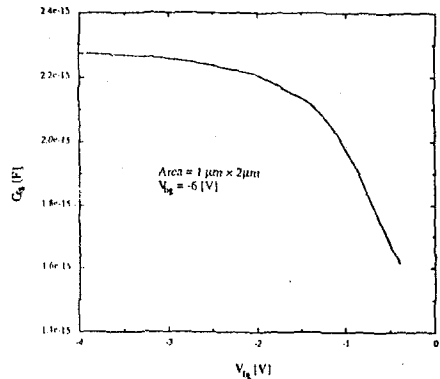


그림 3. 시뮬레이션된 C_{fg} - V_{fg} 특성.

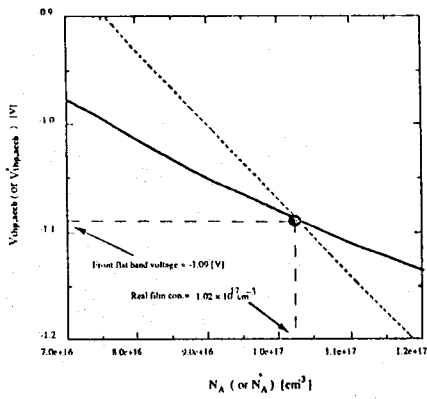


그림 4. 계산되어진 N_A - $V_{th,accb}$ 와 N_A $V_{th,accb}$ 특성.

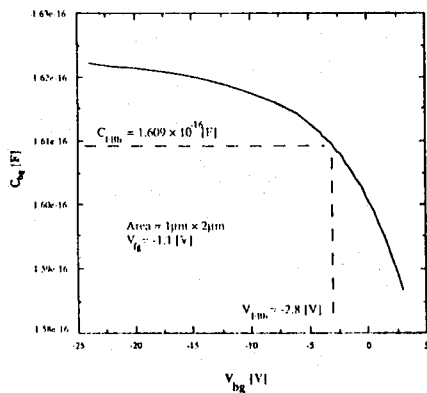


그림 5. 시뮬레이션된 C_{bg} - V_{bg} 특성

Parameter Sample	Original value			Extracted value		
	N_A [cm^{-3}]	Q_{ff} [cm^{-2}]	Q_{fb} [cm^{-2}]	N_A [cm^{-3}]	Q_{ff} [cm^{-2}]	Q_{fb} [cm^{-2}]
A	5×10^{16}	1×10^{11}	1×10^{11}	5.3×10^{16}	1.02×10^{11}	1.05×10^{11}
B	5×10^{16}	5×10^{10}	1×10^{11}	5.3×10^{16}	5.2×10^{10}	1.05×10^{11}
C	5×10^{16}	1×10^{11}	5×10^{10}	5.3×10^{16}	1.02×10^{11}	5.4×10^{10}
D	7×10^{16}	1×10^{11}	1×10^{11}	7.35×10^{16}	9.7×10^{10}	1.03×10^{11}
E	7×10^{16}	5×10^{10}	1×10^{11}	7.35×10^{16}	4.7×10^{10}	1.03×10^{11}
F	7×10^{16}	1×10^{11}	5×10^{10}	7.35×10^{16}	9.7×10^{10}	5.3×10^{10}
G	1×10^{17}	1×10^{11}	1×10^{11}	1.02×10^{17}	9.5×10^{10}	9.4×10^{10}
H	1×10^{17}	5×10^{10}	1×10^{11}	1.02×10^{17}	4.5×10^{10}	9.4×10^{10}
I	1×10^{17}	1×10^{11}	5×10^{10}	1.02×10^{17}	9.5×10^{10}	4.5×10^{10}

표 1. 시뮬레이션에 사용한 소자 변수의 추출한 소자 변수와의 비교.