

다결정 실리콘 박막트랜지스터의 누설전류 해석

이 인 찬*, 마 대 영*, 김 상 현*

* : 경상대학교 전기공학과

Analysis of the Leakage Current in Poly Si TFTs

In-Chan Lee*, Tae-Young Ma* and Sang-Hyun Kim*

* : Dept. of Electrical Eng., Gyeongsang Nat'l Univ.

Abstract

Poly Si TFTs have been fabricated from low temperature annealed a-Si films. I-V and C-V characteristics in the off-state region were measured. Analytical model for the leakage current in the off-state was suggested. In the measurement, capacitance increased abruptly with increasing gate and drain voltage. This phenomena is attributed to the leakage current.

1. 서 론

대형 평면 표시기에 대한 관심이 높아짐에 따라 다결정 실리콘 박막트랜지스터에 대한 연구가 활발히 이루어지고 있다. (1-3) 다결정실리콘 박막트랜지스터는 비정질실리콘 박막트랜지스터에 비해 높은 이동도를 갖고 있으나 공정은 도가 높고 누설전류가 크다. 본 논문에서는 600°C 이하의 저온에서 n 채널 다결정실리콘 박막트랜지스터를 제조하고 그 특성을 측정하였다. 특히 off state에서의 누설전류와 C-V특성 해석에 주안점을 두었다. 누설전류는 드레인영역에서의 트랩에 의한 field emission으로 해석하였으며 누설전류와 연계된 커패시턴스 모델을 제시하였다.

2. 다결정실리콘 박막트랜지스터의 제조

LPCVD로 비정질실리콘 박막을 545 °C에서 150 nm 두께로 증착하였다. 게이트 절연막으로 사용하기 위해 600 °C에서 100 nm 두께의 SiO₂ 박막을 증착하였으며, SiO₂ 박막의 특성을 개선하기 위하여 600 °C에서 24 시간 습식산화 하였다. As를 이온주입 하여 소스와 드레인영역을 형성하였으며 Al 전극 증착 후 플라즈마 증착 장비로 수소 passivation을 하였다. 측정된 박막트랜지스터의 이동도와 문턱전압은 각각 20 cm²/V sec, 8.3 V 였다.

3. 측정결과 및 해석

그림1 은 다결정실리콘 박막트랜지스터의 off state 누설전류를 측정한 것이다. 단결정실리콘 MOSFET에 비해 많은 누설전류가 측정되었다. J. G. Fossum등 (4)은 이 누설전류를 드레인영역에 존재하는 트랩 의 field emission에

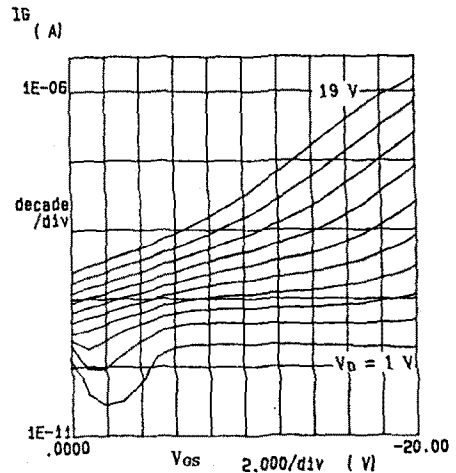


Fig.1. Leakage current of the poly Si TFTs

기인한 것으로 보고한 바 있다. 본 논문에서도 트랩의 field emission으로 측정결과를 해석 하고자 한다. 그림2 는 드레인과 채널 사이의 에너지 밴드 다이어그램을 나타낸 것이다. 트랩은 에너지갭의 가운데만 존재하는 것으로 가정 하였으며 이때 tunneling에 의한 dIrv(트랩에서 가전대로) dIrc(트랩에서 전도대로)의 합이 단위길이당 누설전류가 된다.

$$dIrv = (q(1-f_t) N_t X_j / t_v) dy \quad (1)$$

$$dIrc = (q f_t N_t X_j) dy \quad (2)$$

여기서 f_t는 트랩에 전자가 존재할 확률, N_t는 트랩의 밀도, X_j는 채널길이 그리고 t_v 와 t_c는 정공과 전자의 현일링 시간 상수이다. 식 (1)과 식 (2)를 전 공간 전하 영역에 걸쳐 적분하면

$$I_L = X_j N_t (V_D^2 / 2 t_c W) \quad (3)$$

의 총 누설전류가 된다. 여기서 V_D는 드레인 전압이며 W는 공간 전하영역의 폭을 나타낸다.

$$W = (2 \epsilon V_0 / q (1/N_c + 1/N_0))^{1/2} \quad (4)$$

여기서 V_0 는 전위장벽, N_c 는 채널의 반송자 밀도, N_D 는 드레인 영역의 도핑 밀도를 나타낸다. 그림3은 다결정실리콘 박막트랜지스터의 off state영역 C-V특성을 측정할 것이다. 드레인 전압과 게이트 전압이 증가함에 따라 커패시턴스가 급격히 증가함을 보였다. 이것은 off state에서 나타나는 누설전류 때문이라고 사료된다. 그림4에 off state에서의 동가회로를 나타내었다. 여기서

$$C_{gs} = ((\omega C_g C_s)^2 + (C_g G_s)^2) / (G_s^2 C_g + \omega^2 C_g C_s (C_g + C_s))$$

(5)

$$C_{gd} = C_d, \quad \text{if } G_d \ll 1/\omega C_d$$

(6)

$$C_{gs} = C_g, \quad \text{if } G_s \gg 1/\omega C_s$$

(7)

$$G_s = (q/KT) I_L$$

(8)

Off state에서 소스와 채널은 순방향 바이어스된 다이오드와 같고 드레인과 채널은 역방향 바이어스된 다이오드와 같으므로 식 (6)과 (7)의 조건은 만족된다고 볼 수 있다. 위의 모델을 이용하면 다결정실리콘 박막트랜지스터의 off state C-V특성을 해석할 수 있을 것으로 보며 이 모델은 spice등에 적용 가능하리라고 사료된다.

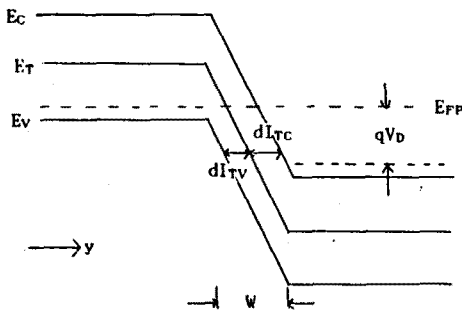


Fig.2. Energy-band diagram between accumulation and region

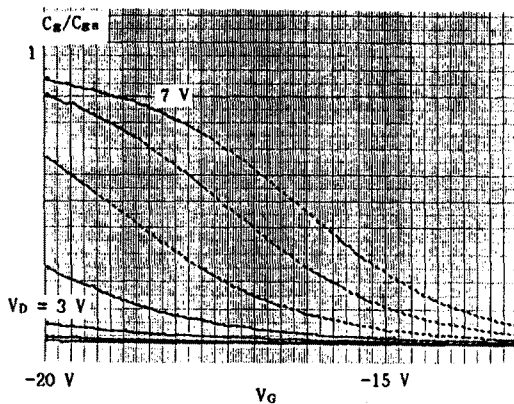


Fig.3. C-V characteristics of the poly Si TFTs in the off state

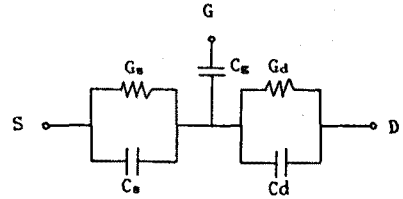


Fig.4. Equivalent circuit of the poly Si TFTs in the off state

4. 결론

600 °C 이하의 공정온도도 다결정실리콘 박막트랜지스터를 제조하여 이동도 20 cm²/V sec의 좋은 특성을 얻었다. Off state에서의 I-V(누설전류), C-V 특성을 측정하고 트랩에 의한 field emission으로 누설전류를 해석하였다. 누설전류와 연계한 C-V 특성에 관한 모델을 제시하였다.

REFERENCE

1. R.E. Proano, R.S. Miasge, and D.G. Act: IEEE Trans. on Electron Devices, vol. ED-36, p. 1915, 1989.
2. I.W. Wu, W.B. Jackson, T.Y. Huang, A.G. Lewis, and A. Chiang: IEEE Electron Device Lett., vol. EDL-11, p. 167, 1990.
3. S. Batra, K. Park, S. Banerjee, D. Kwong, A. Tasch, M. Rodder and R. Sundaresan: IEEE Electron Device Lett., vol. EDL-11, p. 194, 1990.
4. J.G. Fossum, A. Ortiz-Conde, Hisashi Shichijo, and Sanjay K. Banerjee: IEEE Trans. on Electron Devices, vol. ED-32, p. 1878, 1985.