

평면형 GaInAs/InP PIN Photodiode 제작 및 특성
(Fabrication of planar type GaInAs PIN photodiode and its characteristics)

박찬용*, 김정수, 박경현, 이용락, 김호영

한국전자통신연구소 광전자연구실

문태훈, 한승업, 김상배

아주대학교 전자공학과

ABSTRACT

A planar type PIN photodiode has been fabricated and discussed. We used OMVPE systems to grow the structure of u-InP/u-InP/n-InP. P-n junction was formed by Zn-diffusion method at 500°C, for 5 minutes. The device characteristics at -5V were as follows: Dark currents were distributed around 1nA. Capacitance was 1.6pF and responsivity was above 0.85 mA/mW for 1.3μm wavelength. Measured cut-off frequency(-3dB) at -5V was 1.1GHz.

I. 서 론

GaInAs/InP 결정은 장파장(1-1.6μm)대의 광통신에 적합한 물질로 수광소자 재료로 많은 연구가 진행되어 왔다[1]. 수광소자(또는 Photodiode, Photodetector, PD)는 Low Bit Rate는 물론 High Bit Rate를 갖는 광통신에 응용되기 위해서 궁극적으로 다음과 같은 조건을 만족하여야 한다.

- 정전용량(Capacitance)이 작을 것.
- 누설전류(Dark or Leakage Current)가 작을 것.
- 양자효율(Quantum Efficiency)이 클 것.

이러한 변수들이 PD가 광수신기에 응용되었을 때 수신감도에 어느 정도 영향을 줄 것인가에 관해서는

이미 논의하였으며, mesa형으로 PD를 제작하여 그 결과를 보고한 바 있다[2].

평면형 PIN PD는 GaInAs 위에 InP를 성장하여 표면에 노출되는 pn 접합부가 밴드갭이 큰 InP에 놓이도록 할 수 있어 mesa형에 비해 암전류가 작고, mesa형이 암전류의 감소를 위해 복잡한 표면처리를 하여야 하는데 비해 평면형은 표면처리가 복잡하지 않다는 장점이 있다. 그러나 GaInAs 위에 InP의 성장이 LPE의 방법으로는 매우 어렵고, 따라서 OMVPE의 도움이 있어야 하는 결정성장상의 어려움이 있다.

본 연구에서는 OMVPE로 성장한 InP/GaInAs/InP 결정구조에 Zn 확산 기법으로 pn 접합부를 형성하고, Si₃N₄로 무반사막을 형성한 평면형 PIN PD의 제작 방법 및 그 결과에 관해서 논의한다.

II. 구조 및 결정성장

평면형 PIN PD의 전형적인 형태를 그림 1에 나타내었다. 이 구조는 Zn-diffusion으로 pn 접합 구조를 결정하기 때문에 그림 1의 A 부분이 표면에 노출되게 된다. 따라서 InGaAs보다 밴드갭이 큰 InP가 맨 윗층에 있을 경우에는 누설전류가 적으나 맨 윗층이 InGaAs일 경우는 표면누설전류가 크게 되어 맨 윗층을 InGaAs로 하는 평면형 구조는 없다. 맨 윗층을 InP로 하는 이유중 다른 하나는 p-층에서의

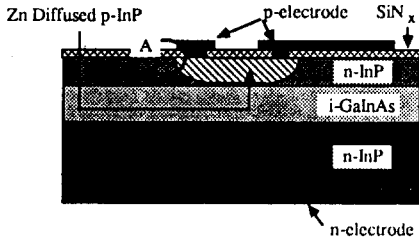


그림 1. 평면형 GaInAs/InP PIN PD 구조

빛의 흡수가 없어지게 되므로 양자효율이 높아지는 데 있다. 그러나 이 구조의 단점은 InGaAs 위에 InP의 성장이 LPE 방법으로는 매우 어렵다는 데 있다[3].

본 연구에서 제작한 평면형 PIN PD는 GaInAs는 LPE로, InP는 OMVPE 방법으로 성장하였다. 성장 온도는 LPE의 경우 646°C에서 90초간 성장하였으며, 성장된 GaInAs의 두께는 약 3μm였다. 불순물 농도를 낮추기 위해 670°C의 수소분위기에서 20시간 인품 용액을 baking하였다. (100)GaInAs 위에 LPE로 InP를 성장하기는 매우 어려우므로 OMVPE 방법으로 InP를 성장하였다. 이때 기판온도는 600°C였으며 압력은 76torr로 하였다. TMI(Trimethyl Indium)로 인품을, PH₃로 인(P)을 각각 공급하였으며 성장된 InP의 두께는 0.6μm였다. X-선 회절로 측정된 GaInAs의 격자부정합도는 -0.06% 이내였으며 LPE로 성장한 InGaAs 위에 OMVPE로 InP를 성장시킨 경우 전후의 격자부정합도의 변화는 없었다. OMVPE법의 결정성장에 관한 상세한 설명은 이 후 다른 문헌에서 언급할 예정이며[4] 액상 결정성장법은 다른 문헌에서 이미 언급한 바 있다[5].

III. 제작공정

성장된 웨이퍼를 세척한 후 lithography를 하여 align key를 위해 표면 에칭을 한다. 표면에칭은 황산계 용액을 이용하였으며 에칭 마스크로 PR을 이용하였다. Align key가 웨이퍼 표면에 형성되면

PR을 제거하고 SiO₂를 표면에 입힌 다음 lithography를 하여 SiO₂를 마스크로 Zn-diffusion을 실시한다. Zn-diffusion은 ampoule에 Zn₃P₂ powder와 InP poly-crystal을 넣고 그 위에 시료를 넣은 다음 torch 작업으로 입구를 봉합한 후 ampoule을 500°C로 가열된 furnace 내에 넣어 5분간 Zn를 시료내로 확산시켰다. 실험 결과 확산깊이는 약 0.5μm였다.

Zn-확산이 끝난 시료는 고온에 노출된 InP와 SiO₂와의 경계면 특성이 좋지 않을 것으로 예상되므로 BOE(Buffered Oxide Etchant)로 표면을 깨끗이 에칭한 다음 LPCVD로 SiN_x를 증착하였다. SiN_x는 무반사막을 위하여 1750Å의 두께로 증착하였으며 굴절률이 1.85이므로 1.3μm의 파장에 대해 표면반사가 최소화 되도록 설계되었다. 전극 집속을 위하여 가락지(ring) 모양으로 SiN_x를 에칭하고 그 위에 p-면 전극을 형성하였다. p-면 전극의 형태는 본딩이 쉽도록 설계하였으며 lithography와 E-beam을 이용한 Ti(200Å)/Pt(300Å)/Au(2000Å)의 증착을 거친 후 아세톤에 soak하는 metal lift-off 방법으로 하였다. p-면 전극이 형성된 소자는 425°C에서 10초간 열처리하고 벽개가 용이하도록 150μm의 두께로 꺾은 면을 연마하였다. n-면은 Cr(300Å)/Au(2000Å)를 증착하였다. 제작된 PD의 모습을 그림 2에 보였다.

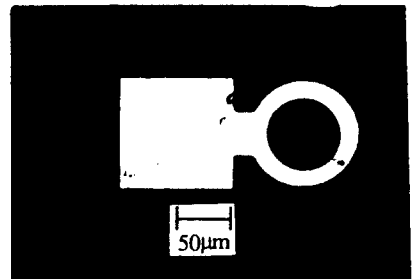


그림 2. 제작된 PIN PD 사진

IV. 제작된 PD의 특성 측정

(1) 암전류

그림 3은 제작된 다이오드의 암전류 특성으로 동작전압인 -5V에서는 1nA 이하의 값을 보였으며 -60V에서도 1uA를 넘지 않고 있다. 암전류가 매우 작은 값을 보이는 이유는 표면에 노출된 InP의 밴드갭이 크므로 표면누설전류가 거의 없기 때문이다. 또한 breakdown voltage가 크게 나타난 것은 LPE에 의해 성장된 GaInAs의 잔류불순물 농도가 매우 감소하였음을 뜻한다. 즉, avalanche breakdown은

$$V_B = 60(E_f/1.1)^{3/2}(N_f/10^{16})^{-3/4} \quad (1)$$

으로 주어지므로[6] breakdown이 -60V라 가정하더라도 GaInAs층의 도핑농도는 $5 \times 10^{15}/\text{cm}^3$ 이하이다. 따라서 LPE에 의한 결정성장은 용액의 baking 효과에 의해 불순물이 상당히 감소하였음을 알 수 있다.

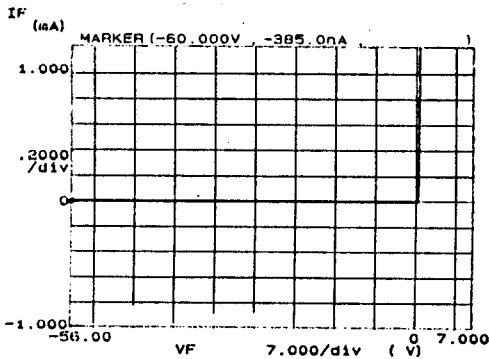


그림 3. 제작된 PIN PD의 암전류 특성

(2) 양자효율

그림 4는 18uW의 input power에 대한 광전류를 플 바이어스에 따라 그린 것으로 responsivity는 0.85 A/W이다. 따라서 양자효율은 80%가 조금 넘는 것으로 이는 mesa형에서 무반사막을 형성하지 않은 PIN PD의 60% 보다 20% 가량 개선된 값이다 [2]. 이는 무반사막이 잘 형성되었음을 보여 주고 있다.

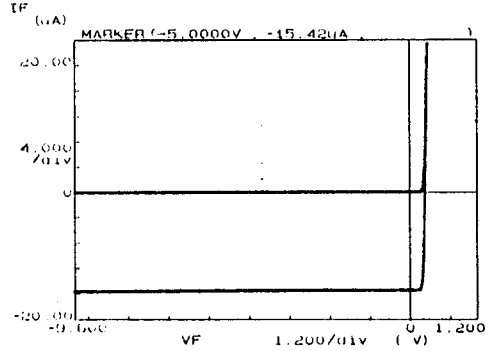


그림 4. 18uW의 입사광에 대한 광전류 특성

(3) 정전용량 및 차단주파수(f_{3dB})

그림 5 및 그림 6은 각각 정전용량 및 차단주파수를 측정한 것으로 -5V에서 1.6pF과 1.1GHz의 값을 보여 주고 있다. 정전용량이 크게 나타난 이유는 전극패드에 의한 기생정전용량이 크게 발생하였기 때문이며 전극패드의 크기는 본딩 및 패키징과 관련이 깊다. 따라서 고속으로 동작하는 PD를 제작하기 위해서는 패키징 기술 및 이와 관련되는 전극 형성 기술이 선행되어야 한다. 본 연구에서 제작된 PIN PD는 큰 기생정전용량에도 불구하고 전체적으로 정전용량값이 그리 크지 않아 1.1GHz의 큰 차단주파수를 보여 155Mbps는 물론 565Mbps 광통신에 충분히 사용될 수 있음을 보여 주고 있다.

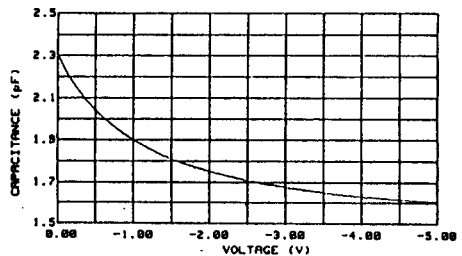


그림 5. 제작된 PD의 역바이어스에 대한 C-V 특성

V. 결론 및 논의

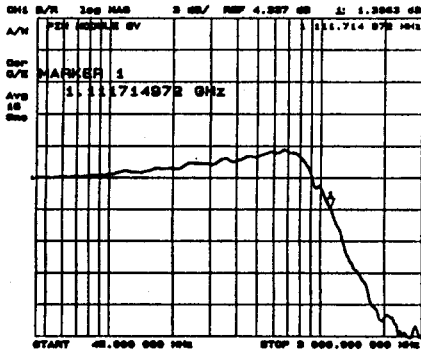


그림 6. 제작된 PD의 차단주파수 (f_{-3dB}) 특성

본 연구에서는 평면형 PIN PD를 제작하고 그 결과에 관하여 간단히 기술하였다. 평면형 PD는 InP window층을 가짐을 특징으로 하며 이는 OMVPE로 성장하였다. 제작된 PD는 암전류가 1nA 이하, 정전용량은 1.6pF, 양자효율은 80% 이상, 차단주파수 ($-3dB$)는 1.1GHz 이상을 각각 보였다. 평면형 PD는 제작공정이 mesa형에 비해 간단하고 예측을 빗나갈 수 있는 소지가 작기 때문에 대량생산에 유리할 것으로 판단되었으며 제작된 결과도 mesa형에 비해 우수하였다. 단지 본딩패드에 의한 기생정전용량만 줄이면 10GHz 정도의 고속 수광소자의 제작도 충분히 가능하리라 예상되며 현재 이 문제해결을 위해 연구중에 있다.

Reference

1. T.P.Pearsall et al., *chapt. 2 in Semiconductors and Semimetals*, vol. 22-D, Academic Press, 1985.
2. 박찬용 외, "전자공학회 논문지", 27권 5호, 737 (1990)
3. S.Yamajaki et al., *Fujitsu Sci. Tech. J.*, 54, 64(1981)
4. J.S.Kim et al., *J. Electron. Mater.*, to be

published in 1991.

5. 이 용락, 신소재 심포지움'90 반도체 재료의 결정성장 기술, June,(1990)
6. S.M.Sze, *Physics of Semiconductor Devices*, 2nd ed., New York:Wiley, 1981.