

GaAs 논리회로를 이용한 고속 4:1 MUX 설계에 관한 연구

김학선 * 윤몽한 * 조희철 ** 이진구 ** 이형재 *

* 한국항공대학 항공전자공학과
** 동국대학교 전자공학과

A design of high-speed 4:1 Multiplexer using GaAs Logic Gates

H.S KIM, M.H YUN, H.C CHO, J.K RHEE, H.J LEE

* Dept. of Avionics Eng., Hankuk Aviation College
** Dept. of Electronics Eng., Dongkuk University

Abstract: In this paper, A 4:1 time division multiplexer for future optical communication system is designed, which can be operated up to 11 Gbit/s at a supply voltage 5V. It was composed of three 2:1 MUX using source coupled FET logic.

1. 서론

미래의 디지털 통신시스템에 이용될 고 전송율 단일 모드 광파이버는 Gbit/sec bit rates로 동작하는 시분할 멀티플렉서(MUX)를 필요로 한다. 최근 발표된 4:1MUX IC는 SBT(standard bipolar technology)를 이용하여 6 G/sec bit rates에서 동작하며, Non-Self-Aligned GaAs MESFET를 사용하여 3 G/sec bit rates로 동작한다. [1]에서 설계된 4:1MUX에서는 레이저 다이오드를 구동시키기 위한 buffer단이 부가되므로 회로가 복잡하고 온도 특성 및 잡음 여유등의 제약이 많았으며, [2]에서는 Depletion mode MESFET만으로 구성하여 공정상의 잇점은 얻었으나 속도는 느린 단점이 있다.

본 논문은 기존의 제시된 여러가지 논리회로를 분석하여 고속이며 소비전력이 적은 편에 속하며 특히

Threshold Voltage의 적용범위와 낮은 SCFL(source coupled FET Logic)을 택하여 제작과의 연계성을 도모하였다. 선택된 SCFL을 이용하여 inverter, MUX의 주변 회로인 2:1 주파수 분할기 그리고 인버터, OR, NOR Gate를 이용하여 2단 MUX회로를 구성하였다. 그리고나서 SPICE를 사용하여 SIM(simulation)결과를 분석 검토하여 고속인 MUX의 구성에 최적화를 기하였다.

2. SCFL INVERTER 설계

2.1 SCFL 특성

SCFL 특성을 다음과 같이 요약할수가 있다.

(1) 온도특성이 20-200K에서 양호하다.

(2) Wafer dislocation density effect로 인해 threshold voltage 분산이 존재하여도 동작점과 출력전압 폭은 V_{ref} 와 V_{cs} 를 조절하여 최적화 할수있다 [4].

(3) Source follower buffer 구조를 가졌기 때문에 f_{aout} 이 크다 [5].

(4) Fan in의 증가는 전달 특성상대 (transition region)을 감소시켜 $t_{fall} : t_{rise}$ 을 증가시킨다.

(5) Discharging Current가 FET의 Saturation region의 전류에 의하므로 discharging time이 비교적 짧다.

(6) ON상태의 Drain전압이 낮은 logic회로 보다 더 높은 게 설계되기때문에 드레인-게이트용량(C_{gd})이 작다 [6].

(7) ECL을 GaAs에 적용할 수 있다 [7].

GaAs논리회를 비교하여 표로 나타내었다 [8][9].

특성	BFL	SDFL	DCFL	UFL	LPFL	SCFL
Fan-out 특성	FO ≥ 3	FO < 3	FO ≤ 3	FO ≤ 2	FO ≤ 3	FO ≥ 3
속도	High	Medium	Low	High	Medium	Medium
전력소비	Large	Medium	Low	BFL의 1/2	Low	Low
논리진폭	Large	Medium	Low	Large	Low	Medium
Noise Margin	Good	Medium	Poor	Good	Poor	Medium
이득	Medium	Low	Low	Medium	Low	Medium
Packing 밀도	> 10000 $\mu m^2/gate$	> 500 $\mu m^2/gate$	200 $\mu m^2/gate$	-	-	-
Fan-in 특성	Poor	Good	Poor	Poor	Poor	Good
공급선횟수	2	2	1	2	1	2
공정난이도	Medium	Medium	Stringent	Medium	Medium	Medium
용 용	SSI-MSI	LSI	VLSI	MSI	LSI	MSI
	Preselector	MUX	AND/OR	LSI	LSI	LSI
	MUX	ALU	Memory	VLSI	VLSI	VLSI
	DEMUX	K-bit	gate	array		
	Fast-ratch	memory				

표 1. 고속 GaAs논리회로의 특성 비교

Table 1. Comparison of the characteristics for the High speed GaAs logic gates.

특성	BFL	UFL	SDFL	LPFL	DCFL	SCFL
전력소비 (mW/gate)	1	0.5	0.2	0.1	0.001	0.05
Time Delay (PS/gate)	1	0.8	2	1.3	4	2
Punch-off 전압 (V)	$V_p = -2.5V$			$V_p = 0.0$	$V_p = 0.1$	$V_p = 0.6$ (0.1)

표 2. GaAs 논리회로의 전력소비 및 속도 비교

Table 2. Comparison of the propagation delay and power dissipation on the GaAs logic circuits.

2.2 SCFL inverter 설계

SCFL inverter 구조는 그림 1과 같고 동작원리는 Emitter couple logic과 같다.

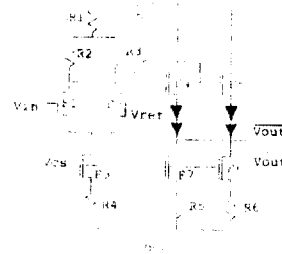
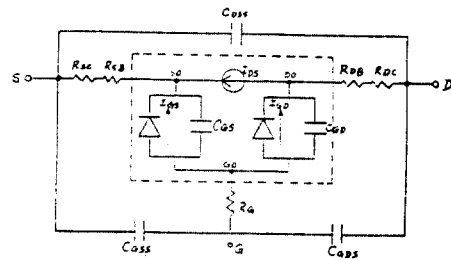
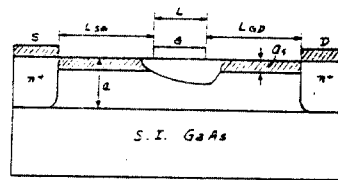


그림 1. 기본 SCFL 인버터 회로
Fig. 1. circuits diagram of a basic SCFL inverter.

고속으로 동작하는 SCFL inverter(그림 1)를 설계함에 있어서 각 inverter 와 diode의 파라미터는 다음식에 의하여 산출되며 시뮬이션을 통하여 최적화된다. 디지털용 GaAs MESFET의 등가 회로는 그림 2 와 같다 [10].



a) 등가회로



b) Surface depression를 포함한 단면도

그림 2. GaAs MESFET 등가 회로
Fig. 2. Equivalent Circuits of a GaAs MESFET.

$$(1) \quad I_{GS} = I_S \left[\exp\left(\frac{V_{GS} - V_{SO}}{V_T}\right) - 1 \right]$$

$$\text{단 } V_T = \frac{kT}{q}$$

$$(2) \quad I_{GD} = I_S \left[\exp\left(\frac{V_{GD} - V_{DO}}{V_T}\right) - 1 \right]$$

$$(3) \quad C_{gs} = \frac{2 \epsilon_s LW}{a(x+y)} \quad (L \text{은 gate 길이, } W \text{는 gate 폭})$$

여기서 x 와 y 는

$$x = \frac{V_{bi} - (V_{co} - V_{so})}{V_p} \quad y = \frac{V_{bi} - (V_{co} - V_{oo})}{V_p}$$

$$(4) \quad C_{gd} = \frac{\pi \epsilon_s W}{2} \quad y \leq 1 \text{인 경우}$$

$$C_{gd} = \frac{\pi}{2} \epsilon_s W \left(1 - \frac{2 \tan^{-1} \sqrt{y^2 - 1}}{\pi} \right) \quad y > 1$$

$$(5) \quad R_{th} = \frac{K_c}{n^+ a W} + \frac{L_{oc}}{q \mu_n n (a - a_s) W}$$

$$a_s = \sqrt{\frac{2 \epsilon_s V_{FS}}{qn}}$$

$$(6) \quad R_c = \frac{1}{3} \rho_m \frac{W}{L t_m}$$

(ρ_m : 금속의 저항률, t_m : 금속의 두께)

$$(7) \quad \beta = \mu c W / 2aL$$

μ : Low-field mobility
 c : Permittivity

$$(8) \quad V_{po} = q_n N_d / 2\epsilon$$

V_{po} : Pinch-off voltage
 N_d : Doping density

$$(9) \quad V_{th} = V_{bi} - V_{po}$$

V_{bi} : Built-in voltage

그림 1에서 전체 FET의 low field mobility μ 는 $4500 \text{ cm}^2/\text{V}\cdot\text{s}$, $V_{bi} 0.74 \text{ V}$, $E_r 12.5$, $L 1 \mu\text{m}$ 로 하였다.

F1, F2 FET에서 $N_d 4.83 \times 10^{16} \text{ cm}^{-3}$, $a 0.318 \mu\text{m}$, $W 10 \mu\text{m}$ 로 하여 $\beta 1.8 \times 10^{-3} \text{ A/V}^2$, $V_{th} 0.15 \text{ V}$ 가 되도록 설계하였으며 F4, F5 FET에서는 $N_d 5.14 \times 10^{16} \text{ cm}^{-3}$, $a 0.192 \mu\text{m}$, $W 18 \mu\text{m}$ 로 하여 $\beta 2.33 \times 10^{-3} \text{ A/V}^2$, $V_{po} 1.34 \text{ V}$, $V_{th} 0.6$ 이 되도록 설계하였다. 또한 F3, F6, F7 FET에서도 $N_d 4.75 \times 10^{16} \text{ cm}^{-3}$, $a 0.191 \mu\text{m}$, $W 10 \mu\text{m}$ 로 하여 $\beta 1.3 \times 10^{-3} \text{ A/V}^2$, $V_{po} 1.24 \text{ V}$, $V_{th} 0.5 \text{ V}$ 를 산출하였다. SCFL 인버터의 저항값, FET, 다이오드의 파라미터는 주어진 식과 참고문헌[11]를 분석하여 SPICE SIM으로 최적화하여 얻었으며 표2에 정리하였다.

설계된 인버터를 SPICE SIM한 결과를 그림3과 표3에 나타내었다.

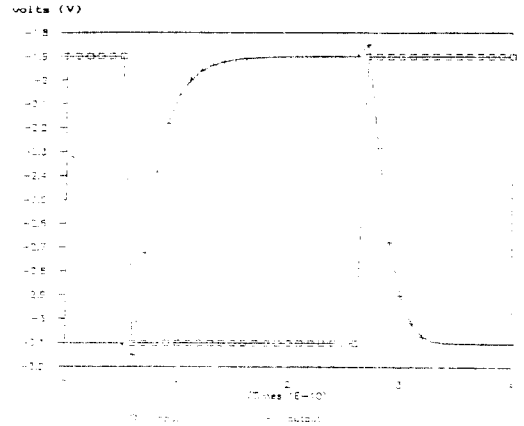


그림3. 설계된 SCFL 인버터의 입-출력 특성
Fig.3 Input to Output characteristic of the designed SCFL inverter

FET Number	Gate Width	Gate Length	Beta	Rs(Rd)	Cgs	Cgd
1	10 μm	1 μm	$1.8 \times 10^{-3} \text{ A/V}^2$	200 ohm	14fF	2fF
2	10 μm	1 μm	$1.8 \times 10^{-3} \text{ A/V}^2$	200 ohm	14fF	2fF
3	10 μm	1 μm	$1.3 \times 10^{-3} \text{ A/V}^2$	150 ohm	14fF	2fF
4	18 μm	1 μm	$2.33 \times 10^{-3} \text{ A/V}^2$	115 ohm	21fF	3fF
5	18 μm	1 μm	$2.33 \times 10^{-3} \text{ A/V}^2$	115 ohm	21fF	3fF
6	10 μm	1 μm	$1.3 \times 10^{-3} \text{ A/V}^2$	150 ohm	14fF	2fF
7	10 μm	1 μm	$1.3 \times 10^{-3} \text{ A/V}^2$	150 ohm	14fF	2fF

Resistor	Magnitude	Diode Parameters
1	2.5K ohm	Saturation Current
2	3.85K ohm	Current 1.75E-13 A
3	3.85K ohm	Barrier height = 0.77eV
4	1K ohm	Series resistance R = 50 ohm
5	1K ohm	$V_{sa} = -5 \text{ V}$ $V_{cm} = -4.5 \text{ V}$
6	1K ohm	$V_{ref} = -2.5 \text{ V}$

표3 SCFL 인버터 회로의 재원
Table3. parameter in a SCFL inverter circuits

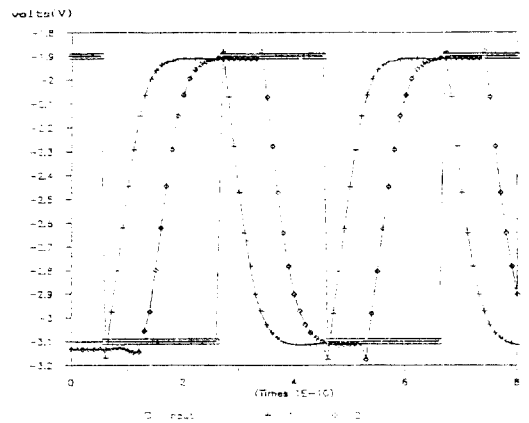


그림4. SCFL에 의한 고속 펄스 응답.
Fig.4 High speed pulse responses for a SCFL

power dissipation	3.9 mW
rise time	64 ps
fall time	46 ps
propagation delay time per gate	41 ps / gate

표4. 설계된 SCFL 인버터의 특성
Table4. Characteristics of the designed SCFL Inverter

3 주파수 분할기 설계

시분할 MUX에 필수적인 주파수분할기는 최근에 이르러 최대 loggle 주파수가 급격히 증가하고 있어 SCFL을 사용하여 11GHz [2], Si으로 구성된 분주기는 9.1GHz [3] 에 이르고 있다. 특히 Air Bridge와 SAINT공법을 사용하여 20여GHz [4] 에까지 발전하는 추세이다. 그러나 기존에 발표된 분주기는 출력수준이 작아 버퍼단을 사용해야 다음단으로 연결이 가능하므로 분주본에 의한 출력수준이 크며 속도의 잇점이 있는 분주기를 설계하였다. 그림4와 같이 Enhancement Mode MESFETs (E-MESFET), Depletion mode MESFETs(D-MESFET), load 저항과 level shift 다이오드로 구성된 마스터 슬레이브 D Flip Flop의 분주기의 기본회로이다.

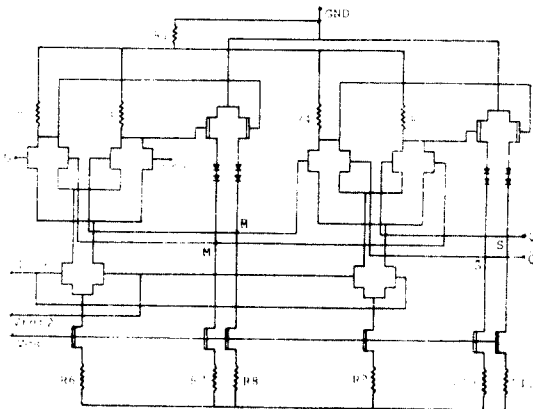


그림5. SCFL을 사용한 마스터 슬레이브 D플립 플롭
Fig.5 Clocked master slave D flip flop circuit using SCFL

E-MESFETs는 drive FETs로 사용되고 D-MESFET는 Current sources와 source follower FETs로 사용된다. Drive FETs, Current Source의 gate폭은 10 μm이고 source

follower의 gate폭은 20 μm이며 전체 MESFETs의 gate 길이는 1μm이다. 기타 parameter값은 다음과 같다. R1=2.5Kohm, R2=R3=R4=R5=4Kohm, R6=R7=R8=R9=R10=R11=1Kohm이며 Vss, Vcs, Vfer1, 다이오드, E-MESFET의 파라미터는 SCFL 인버터와 같고 Vref2=3.3V, Clock은 바이어스 전압이 3.3V이고 진폭이 1V, 주파수가 5.5GHz 인 사인파이며 Source follower D-MESFETs는 $\beta = 2.6E-3 A/V^3$ 이며 나머지는 SCFL 인버터의 Source follower D-MESFET와 동일하다. 이 회로에서는 입력에서 래치 전압(D to M, 그림7)까지의 신호가 단 하나뿐인 Gate의 delay path로만 통과하기 때문에 최대 Clocking rate가 높다. 그로므로 최대 loggle rate $fc=1/(2T_p)$ 이다. 그림6은 D flip flop이 5.5GHz 정현파 클럭으로 2:1 주파수 분할기로서 동작할 때 계산한 것을 출력파형으로 나타낸 것이다. 출력파형의 rise time과 fall time이 (15)에서의 80ps보다 빠른 64ps임을 알 수 있다.

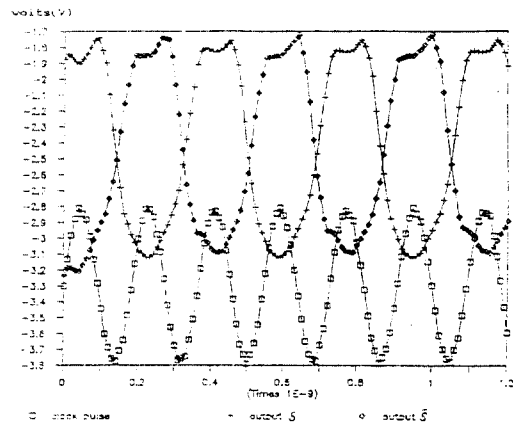


그림6. 2:1 주파수분할기의 출력파형(5.5GHz)
Fig.6 Output Waveform of a 2:1 frequency divider(5.5GHz)

4 4:1 MUX의 구성과 내부회로

4.1 MUX의 구조와 동작원리

그림5에 보이는 바와 같이 2:1 MUX 3개로 구성된 4:1 MUX를 설계하였다 [1]. 2단 MUX의 속도상 1단 4:1 MUX [2] 보다 우수하다는 것이 증명되었다. 첫단의 2:1 MUX는 4개의 데이터공을 2개의 공으로 줄여주며 두번 계산하는 더욱 빠른 속도의 단일 데이터공으로 변환한

다. 선택신호 S1, S2, S3는 단일 사인클럭에서 제공되며 이때 클럭주파수는 출력 bit rate의 반이며 1단의 MUX는 2단 MUX의 1/2주파수에서 동작한다.

그림8에서 데이터 선택도를 나타내었으며 이때 ΔT 는 MS D FF에 의하여 선택되므로 최대 toggle rate는 주파수 분할기에 의해 결정된다.

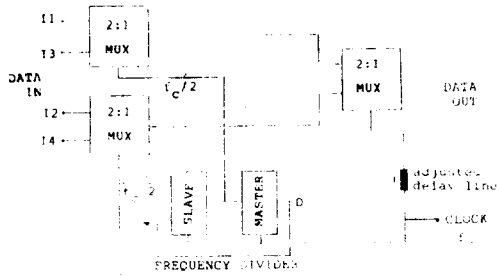


그림7. 2단 4:1 MUX의 블록도
Fig.7 Block diagram of the two stage 4:1 MUX

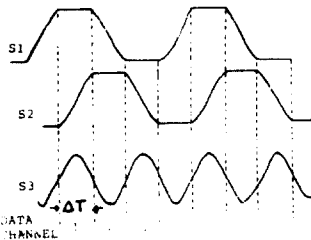


그림8. 파형에 따른 4개의 채널선택
Fig.8 Schematic waveform of the three select signal for cyclical selection of four data channels.

4.2 내부회로 설계

그림9와 같이 MUX의 회로는 SCFL을 이용한 NOR과 OR 그리고 inverter회로로 구성했다. 입력단 AND Gate[2]를 인버터와 NOR게이트로 대체하였고 MUX의 출력단에 부하저항 50 ohm을 연결하여 출력을 얻었다. 회로에서의 인가전압 Vss, Vcs, Vref, 저항값, 다이오드 및 FET의 파라미터는 그림1의 경우와 같으며 또한 NOE게이트에 있는 E-MESFETs는 표1의 F1, F2와 같은 특성을 갖는 소자이다.

5 Simulation 결과 및 검토

설계한 인버터는 그림 1과 표 4에 표시되어 있는 마와 같이 SCFL로 구성된 다른 인버터^[6]에 비하여 전력 소비가 적고 출력전압 폭이 큼을 알수있다. 그림 3에서 띄어쓰는 입력의 갑작스런 변화에 따른 임펄스 응답으로 생긴것이다.

본 논문에서는 NON SAINT 공정으로 설계된 분주기의 최대 toggle rate는 5.5 GHz였다. 그림 6에서 High 상태에서의 리플은 감속 이유쪽 안에 있으므로 논리 관점에는 영향이 없다. SPICE 내의 JFET 모델을 사용하여 4:1 MUX의 시뮬레이션 시뮬레이션 한 결과를 그림 10에 나타내었다. 입력으로서는 High 상태일때 1.9V, Low 상태일때 3.1V로 하였다. 이상의 결과로 얻은 4:1 MUX의 특징은 표 5와 같다. 표 5에서의 같이 Rise time과 Fall time은 기존의 논문의 거의 같으나 최대 bit rate는 분주기의 최대 Toggle rate의 두 배인 11Gbit/sec가 되므로 속도의 증가는 물론 출력 전압폭의 증가가 있다.

	본 논문	[1]
Maximum bit rate	11 Gbit/s	6 Gbit/s
Rise time	84 ps	70 ps
Fall time	60 ps	70 ps
Output voltage swing	1.2 V	0.9 V
Supply voltage	-5 V	5 V

표 5 4:1 MUX의 데이터
Table 5 Data of the 4:1 MUX

6 결론

SCFL을 이용한 고속 4:1 MUX 시분할 회로를 설계하였으며 SPICE 시뮬레이션 결과는 다음과 같다.

- 1) 41psec/Gate의 전파지연시간을 갖는 SCFL 인버터를 설계하여 MUX의 기본 논리로 이용하였다.
 - 2) 2:1 주파수 분할기를 설계하여 최대 Toggle rate 5.5 GHz를 얻었다.
 - 3) 회로 구성을 2단으로 하여 최대 11 Gbit/sec의 bit rates를 얻었다.
 - 4) 출력전압이 높아 [1]에서의 버퍼단이 필요없다.
- 앞으로 광통신과 함께 쓰일 수 있는 초고속 MUX를 개발하기 위해서는 SAINT 및 Air bridge 공정을 이용할 수 있도록 제작기술의 개발 및 최적회로를 개발해야 할 것이다.

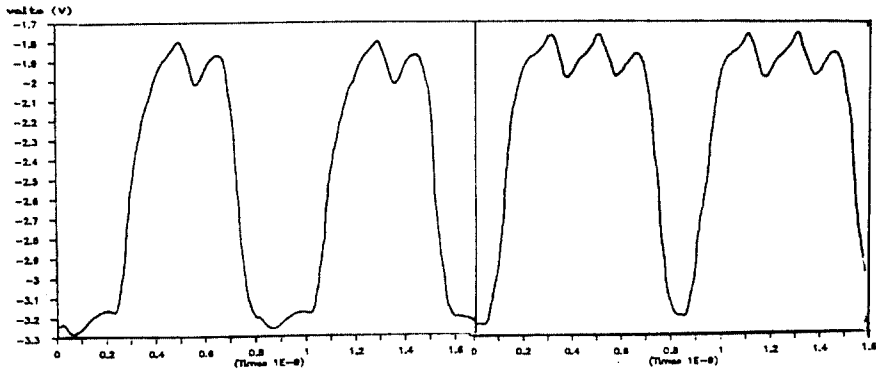
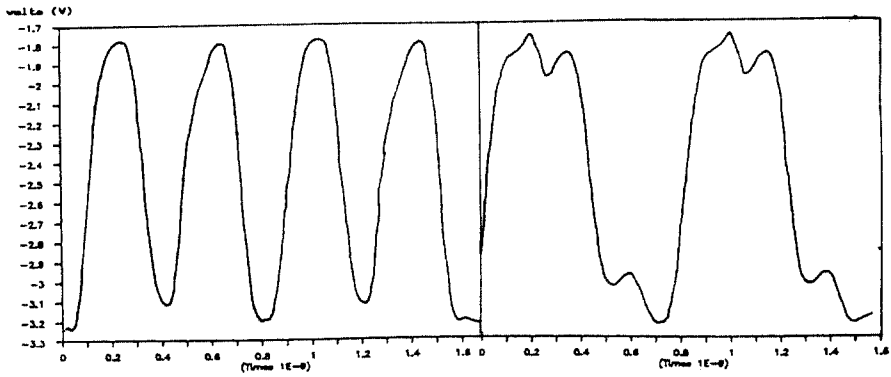
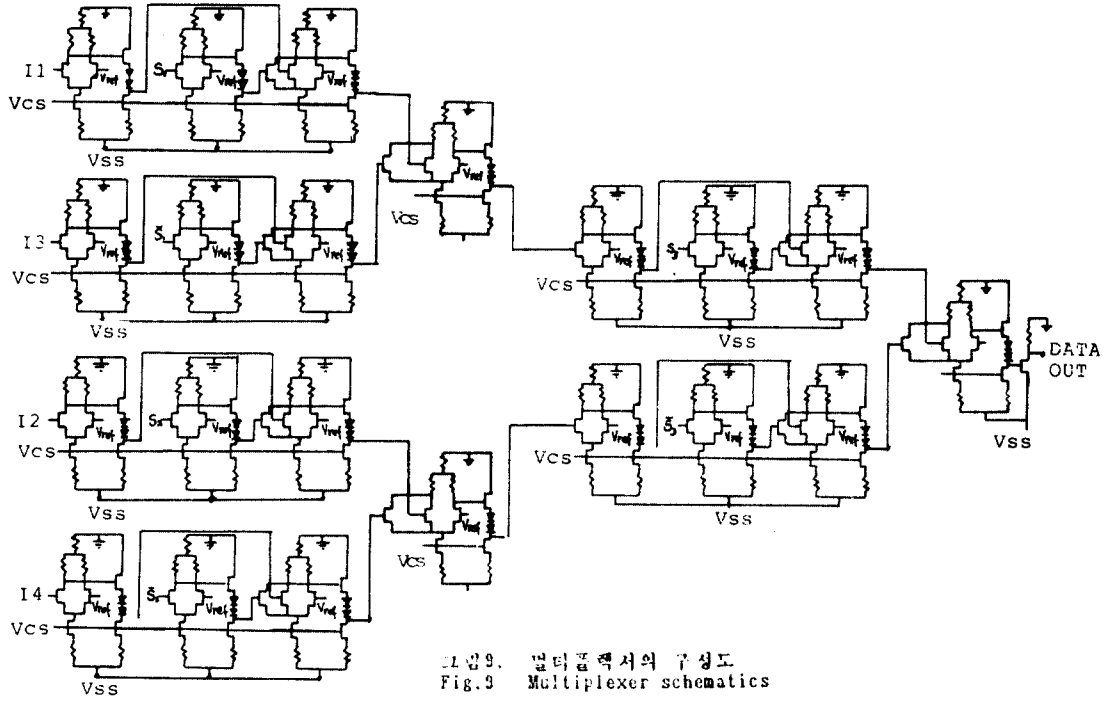


그림 10 입력이 1010 (a) 1100 (b) 0110 (c) 1110 (d) Fig 10 Output waveforms of the 4:1 Multiplexer
for input patterns
1010(a) 1100(b) 0110(c) 1110(d)

참 고 문 헌:

- [1] R. Behm and R. H. J. Van der Pijl, "A 100-MHz 100-Multiplexer IC for wire-line use, fabricated on a standard bipolar technology,"
- [2] H. D. Tivol, et al., "The performance of buffer-coupled FET logic circuits that use CMOS IC's," IEEE J. on Solid State Circuits, Vol. 14, No. 1, 1979.
- [3] Krishna Gowder, et al., "CMOS 100-MHz 100-Multiplexer," Dept. of Electrical Eng. and Comp. Sciences, University of California, Berkeley, Calif., UCRL 9470, Feb., 1978.
- [4] S. Miyazaki, et al., "High-Speed Buffer and Inverter of CMOS FET Fabricated on Silicon," IEEE Trans. on Electron Devices, Vol. ED-33, Pt. 2, pp. 2237-2241, Feb., 1986.
- [5] H. Iida, T. Yamada, et al., "A 100-MHz 100-Multiplexer and Buffer Coupled FET Logic Circuits," IEEE Trans. on Microwave Theory and Techniques, Vol. MTT-34, pp. 1079-1084, 1986.
- [6] S. Matsui, et al., "A Buffer-Coupled FET Logic: A New Current-Mode Approach to Buffer Design," IEEE Trans. on Electron Devices, Vol. ED-33, Pt. 2, pp. 1114-1118, Jan., 1986.
- [7] N. Ohta, et al., "HIGH SPEED CMOS BUFFER AND INVERTER INTEGRATED DESIGN CIRCUIT FOR MULTIBIT LOCAL REPEATERS," Electronics Letters, Vol. 17, pp. 983-985, May, 1981.
- [8] Hyung Jee Lee, et al., "A Study on the High Speed CMOS Logic Gates," 한국 통신 학회 논문집, Vol. 12, No. 2, p. 292-297, Jun., 1987.
- [9] D. T. Greifling, et al., "High-Speed Digital IC Performance Outlook", IEEE Trans. on Microwave Theory and Techniques, Vol. MTT-35, No. 1, pp. 140-148, Mar., 1987.
- [10] 大森正道, 超高速化合物半導体デバイス.