

CCITT V.32 모뎀의 하드웨어 개발에 관한 연구

강인석* 이서영** 김대영*** 이경준****
 * 국방과학연구소 **, ****한국전자통신 연구소 ***충남대학교

A Study on the Hardware Development of a CCITT V.32 Modem

* Kang In Serk ** Lee Seo Young *** Kim Dae Young **** Lee Kyoung Joon
 * ADD **, **** ETRI *** Chung Nam National Univ.

ABSTRACT

A complete CCITT V.32 hardware consisting of two digital boards and one analog board is described. The digital part is based on the multiprocessor architecture employing four TMS32020 digital signal processors. Best efforts have been made to optimally allocate the computing power to various modem subfunctions. Especially, the most time-consuming echo canceller has been assigned one whole processor. A 12-bit DAC and a 16-bit ADC are used for interfacing the processor with

the analog hardware, which includes various active filters, a AGC as well as a DAA.

1. 서론

전화망을 이용한 데이터 통신을 위한 데이터 모뎀은 그 경제성이나 실용성으로 매우 중요한 전송 장비이다. 이중 특히 공중선용 모뎀으로는 현재 1200이나 2400 bps의 모뎀이 주종을 이루고 있으나, 앞으로는 방대한 정보량때문에 좀더 고속의 공중선 모뎀이 필요하다. 이에 따라 국제전신전화자문위원회(CCI TT)에서는 최근 전이중 9600/4800 bit/sec 모뎀의 표준으로 전용선과 공중선에 다 사용될 수 있고 방향

* 본 연구는 한국전자통신연구소의 위탁과제(1986. 5-1987.1)로 수행되었다.

% ABBREVIATION	
TRN	TRAIN SEQUENCE
SCR	SCRAMBLER
S/P	SERIAL TO PARALLEL CONVERT
P/S	PULSE SHAPING
P/E	PRE-EQUALIZER
AGC	AUTOMATIC GAIN CONTROL
NEE	NEAR END ECHO
FEE	FAR END ECHO
HPS	HILBERT PULSE SHAPING
I/P	INTERPOLATION
E/Q	EQUALIZER
VDC	VITERBI DECODING
P/S	PARALLEL TO SERIAL CONVERT
DSCR	DPS SCRAMBLER

V. 32 MODEM BLOCK DIAGRAM

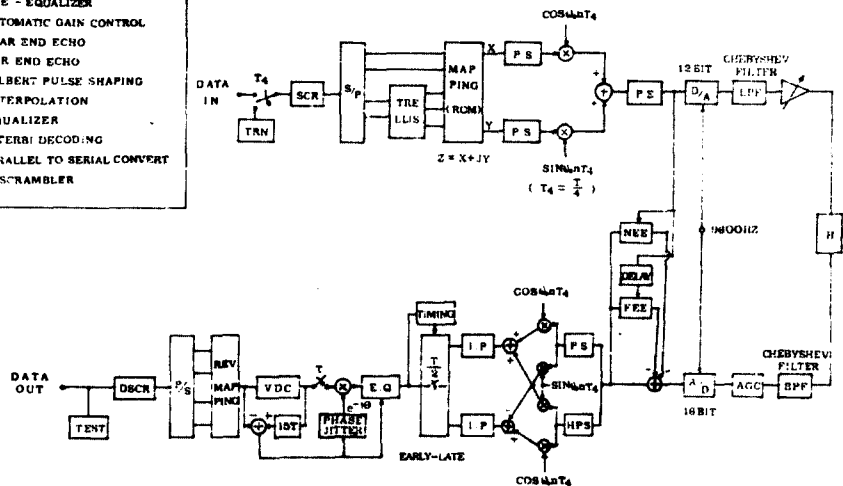


그림 (1) V.32 모뎀의 기능 블록도

제거 방식으로 채널을 분리하는 특성을 지닌 V.32를 권고 하였다.

본 연구에서는 앞으로 모뎀시장의 주력상품이 될 V.32 모뎀을 개발하는데 있어, 그 기본 구성요소인 하드웨어를 디지털신호처리기(DSP)를 이용하여 구현 하였다.

2. 디지털 회로

V.32 모뎀의 기능을 제공하기 위하여 설정된 기능블럭도를 그림 (1)에 보였다. 모뎀 대부분의 기능이 디지털 신호로 처리되는 본 시스템은 한 심벌기간 (1/2400 초)동안 처리되어야 할 계산량, 특히 급샘수가 방대하므로 16 bit 급샘을 1 cycle(= 200ns)에 처리하고 시스템 제어능력이 우수한 Texas Instrument (이하, TI)사의 TMS32020 DSP 4개를 사용하여 구성하였는데 scrambler에서 전치동화기까지의 송신부를 DSP #1에, 복호화와 descambler, DTE와의 인터페이스 부분을 DSP #2 에, 복조에서 동화기까지를 DSP #3에, 그리고 반향채거기를 DSP #4에 배정하였다. TI DSP는 급샘연산을 빠르게 실행하기 위하여 프로그램 메모리와 데이터 메모리를 달리 구성하는 harvard 구조로 되어 있으므로, 본 시스템에서의 local memory부는 EPROM과 DSP를 full speed로 사용하기 위한 downloading static RAM을 프로그램 메모리로, static RAM을 데이터 메모리로, 그리고 버스에 남아있는 잔류신호를 없애기 위한 버퍼로 구성되었다. 또한 본 시스템이 4개의 DSP를 사용하는 다중 프로세서 시스템이므로 프로세서간의 통신문제가 발생하는데, 데이터의 이동이 많은 DSP #1과 DSP #4, DSP #2와 DSP #3, 그리고 DSP #3과 DSP

#4사이의 공유 메모리를 이용하여, 시스템 제어 신호가 오가는 DSP #1과 DSP #2 사이는 serial port를 이용하여 해결하였다.

이렇게 구성된 전체 디지털 시스템 회로도 는 그림 (2)와 같다.

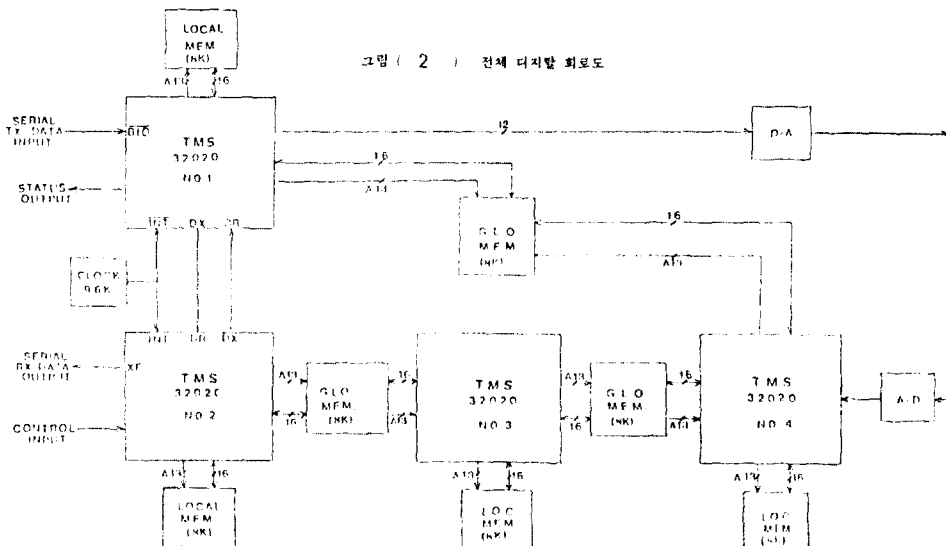
3. 아날로그 회로

본 시스템의 아날로그 회로는 그림 (3)과 같이 디지털 신호를 아날로그 신호로 바꾸어 주는 D/A 변환기 회로, D/A 변환된 출력 파형을 스무딩하는 저역여과기 회로, 전화선과 모뎀의 송 수신선을 연결하여 주는 하이브리드 회로, 수신되는 전화선내의 잡음과 교환기내의 임펄스 잡음을 제거하여 주는 대역여과기 회로, 수신되는 신호의 입력레벨이 일정하도록 유지하여 주는 자동이득제어 회로, 그리고 디지털 신호를 아날로그 신호로 변환하여 주는 A/D 변환기 회로로 구성되어 있다.

(1) D/A 변환기(DAC) 회로

디지털 신호로 표현된 데이터를 전화선으로 송출하기 위하여는 아날로그 신호로 변환시켜야 하는데 이때 DAC를 사용한다. 송신단 송출신호레벨을 0 dBm 이라할때 near-end 반향레벨은 보통 - 10 dBm 정도이고, far-end 신호레벨은 - 40 ~ - 50 dBm 인데 안정된 데이터전송이 되기 위하여는 최소한 20 dB 의 SNR 이 필요하므로 DAC 의 양자화 해상도는 식 (1), 식 (2)에 따라 9 ~ 12 bit 가 필요하다. 이에 따라 본 시

그림 (2) 전체 디지털 회로도



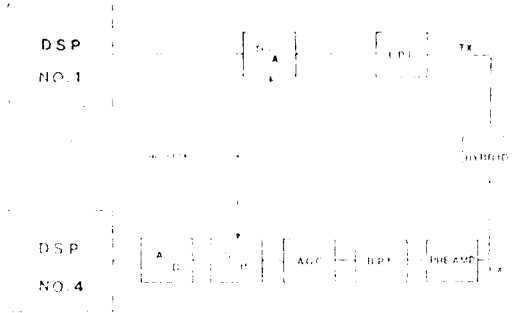


그림 (3) 전체 애널로그 회로 구성도

시스템에서는 12 bit 와 DAC 를 사용하였다.

$$P(Q,N) - 10 < P(FES) - SNR \quad (1)$$

$$SQNR = 6B - 7.2 \quad (B : DAC \text{의 비트수}) \quad (2)$$

(2) 송신단 저역여과기(LPF) 회로

DSP 에서 변환된 신호의 스펙트럼을 보면 9600 Hz를 주기로 원 신호가 반복되는데 전화선로의 대역을 제외한 고주파 성분을 제거하기 위해 LPF 를 사용한다. 이 LPF 는 신호의 일그러짐을 막기 위하여 선형 위상 특성을 갖는 Bessel 여과기를 사용할 수도 있겠으나 너무 완만한 진폭 감쇠특성때문에 불균형의 그룹지연양이 선로자체의 것에 비해 무시할 수 있을 정도로 작고 진폭 감쇠특성이 우수한 Chebyshev 여과기를 선택하였다. 이 Chebyshev 여과기는 감쇠특성 및 그룹지연특성을 참조하여 6 차로 구성하였으며 300 ~ 3300 Hz 의 통과대역, 4125 Hz 의 3 dB 고절단 주파수, 0.1 dB 의 통과대역 ripple, 6300 Hz에서의 감쇠량 35 dB이하의 제원을 갖도록 설계되었는데 이는 한국전기통신공사(KTA)의 불요파 신호 송출레벨에 준한다.

(3) 하이브리드 회로

하이브리드는 2선 전화선을 모뎀내의 4선 송수신선과 연결할 때 필요한 회로로서 변압기 하이브리드와 능동하이브리드가 있다. 변압기 하이브리드는 송수신 반향비가 보통 -20 dB 정도로 작은 장점이 있으나, 가격이 높은 단점이 있으므로 본 시스템에서는 송수신 반향비가 약 -10 dB 정도로 다소 크나, 연산증폭기와 수동소자로 구성되어 경제적인 능동 하이브리드를 채택하였다.

(4) 수신단 내역여과기(BPF) 회로

전화선을 통하여 수신된 신호에는 전송 선로에 항상 존재하는 background 잡음과 교환기의 임펄스 잡음등이 많이 들어 있으므로 필요 대역내의 신호만을 통과시키기 위하여 BPF 를 사용한다. 본 시스템에서의 BPF는 통과대역폭이 넓으므로 4 차 0.1 dB ripple 의 Chebyshev HPF 와 6 차 0.1 dB ripple 의 Chebyshev LPF 를 직렬로 연결하여 구성하였는데, 182 Hz의 3 dB 저절단 주파수, 4125 Hz의 3 dB 고절단 주파수, 60 Hz에서의 감쇠량 - 46 dB, 6300 Hz에서의 감쇠량 - 35 dB 이하등의 제원을 갖고 있다.

(5) 자동이득제어(AGC) 회로

수신단에 도달한 신호는 전송로 깊이에따른 감쇠량의 차이로 그 레벨이 일정하지 않다. 따라서 A/D 변환기의 입력범위를 최대한으로 이용하기 위하여는 수신신호의 레벨이 일정하도록 조절해주는 자동이득제어 회로가 필요하다. 이 AGC 회로에는 애널로그 방식과 디지털 방식이 있는데, 애널로그 방식은 애널로그 신호의 전력을 구해 가변이득증폭기의 루프이득을 변화시키는 것이며, 회로의 응답시간이 빠르고 안정성이 좋은 디지털 방식은 가변이득증폭기의 가변저항을 조절하는데에 디지털 회로를 이용하는 것과 본 시스템에 채택된 바와 같이 신호전력을 DSP에서 산출해 제어에 이용하는 방법등이 있다.

(6) A/D 변환기(ADC) 회로

DSP #4에서 처리되는 반향제거는 디지털 신호로 수행되므로 수신된 애널로그 신호를 디지털 신호로 변환해야 한다. 이때 near-end 반향레벨이 far-end 신호레벨보다 약 30 ~ 40 dB 정도 높으므로 5 ~ 7 비트의 양자화 해상도가 DAC보다 추가로 필요하다. 따라서 본 시스템에서는 16 비트 ADC를 사용하였다.

4. 결과 및 검토

V.32 모뎀을 개발하기 위한 하드웨어는 두 장의 디지털 보드와 한 장의 애널로그 보드로 이루어져 있다. 그림 4과 5는 디지털 보드이고, 그림 6은 애널로그 보드이며, 그림 7, 8, 9는 측정된 LPF, hybrid, BPF 의 특성곡선이다.

5. 결 론

1984년에 CCITT에서 권고한 V.32 모델을 개발하는데 있어 기본이 되는 하드웨어를 디지털 보드 두 장과 애널로그 보드 한장에 구현하여 기초적인 동작을 시험하였다. 애널로그 회로의 LPF, hybrid, BPF 등의 특성도 모두 설계조건을 만족함을 확인하였다.



그림 (4) 디지털 보드 1



그림 (5) 디지털 보드 2

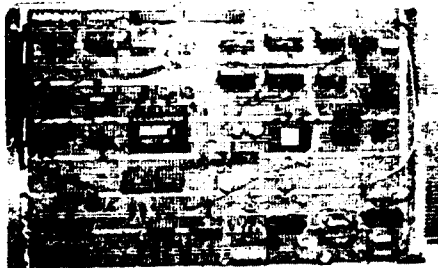


그림 (6) 애널로그 보드

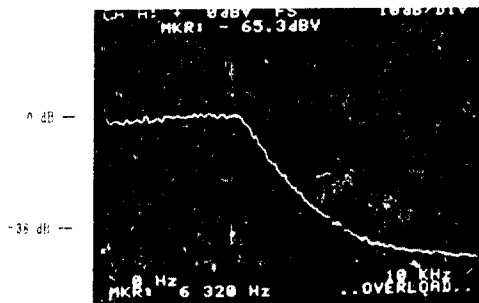


그림 (7) 3차원 하이브리드 필터의 감쇠특성 (6300 Hz에서의 감쇠량 : 38 dB)

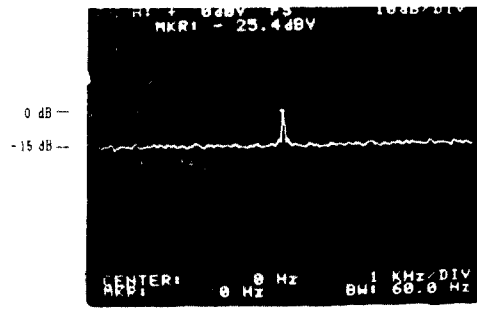


그림 (8) 3차원 하이브리드 필터의 감쇠특성 (감쇠량 : 15 dB, 중심주파수 : 0 Hz)

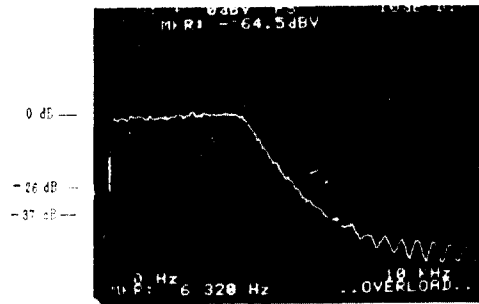


그림 (9) 3차원 하이브리드 필터의 감쇠특성 (6300 Hz에서의 감쇠량 : 37 dB)

참고 문헌

- [1] 김대영, 강인석, 송영규, CCITT V.32 모델의 개발에 관한 연구, 한국전자통신연구소 최종보고서, 1월 31일, 1987년.
- [2] 강인석, CCITT V.32 모델의 하드웨어 개발에 관한 연구, 충남대학교 석사학위 논문, 2월, 1988년.
- [3] 송영규, CCITT V.32 모델의 하드웨어 개발에 관한 연구, 충남대학교 석사학위 논문, 2월, 1988년.
- [4] TMS 32020 User's Guide
- [5] M. S. Ghauri, & K. R. Laker, Modern Filter Design : Prentice Hall
- [6] David E. Tomson, & John L. Hilburn, Rapid Practical Design of Active Filter : John Willey & Sons, 1975.
- [7] KTA, 가입자 전화동의 부속설비 및 접속기기의 세부 기술 기준에 관한 규정, 1985.
- [8] William, Electronic Filter Design Handbook : McGraw Hill, 1981.
- [9] 최 각 진, "전화망에서의 데이터 통신망 자동 data arrangement 설계," 전기통신, 제6권, 2호, 1984년
- [10] CCITT Recommendation V.32 Modem.

감사의 글 : 이 연구를 도와주신 TI Korea 의 김명수 부장님, KAIST의 박규호 교수님께 감사드립니다.