

가변 문턱치 논리회로를 이용한
CMOS 4 Bit 전병렬 비교형 A/D 변환기 설계

김 태 경, 류 종 필, 정 호 선, 이 우 일
경북대학교 공과대학 전자공학과

Design of CMOS 4 Bit Flash Type A/D Converter
Using Variable Threshold Logic

Tae-kyung Kim, Jong-Pil Rju, Ho-Sun Chung, and Wu-Il Lee
Dept. of Electronic Engineering, Kyungpook National University

< Abstract >

In this paper, a flash type A/D converter using Variable Threshold Logic circuit is designed and is layouted by double metal CMOS 2 um design rule. Comparator and register string which is the basic elements of a general flash type A/D converter are substituted by simple comparator circuit which is slightly modified from cmos inverter.

동작을 확인 했으며 CMOS 2um Design Rule에 의해 Layout 되어 곧 공정에 들어갈 예정이다.

II 이 문

1. 회로구성과 동작원리

그림1의 일반적인 병렬비교형 A/D변환기에서는 전압비교기가 입력아날로그 전압과 기준 저항렬로부터의 전압을 비교하여 입력전압이 기준전압보다 크면 논리상태 1을, 작으면 0을 출력한다. 그림2의 VTL회로를 이용한 병렬비교형 A/D변환기에서는 기준저항렬없이 아날로그입력의 각레벨에 대하여 비교기회로의 W/L값이 정해져있다. 그래서 한 레벨의 입력전압에 대하여 그에 해당하는 W/L값을 가진 비교기회로만이 동작하여 그 레벨의 입력전압을 디지털화 시키고 있다. 그림3은 비교기 회로로서 첫단의 NMOS의 게이트가 Vdd에 연결되어 있고 PMOS의 게이트에 입력이 가해지고있다. NMOS가 선형영역에서 동작하고있고 PMOS또한 선형영역에서 동작하도록 입력전압의 범위를 한정할 경우 입력전압의 변화에따라 Vx의 전압이 일정하게 변화하게 된다. 입력전압이 0 Volt에서부터 증가할경우 Vx의 전위는 PMOS와 NMOS의 B Ratio에 의해 결정되는 어떤 초기치에서부터 시작하여 감소하게 된다. 만약 이 초기치의 전위가 Inverter1의 문턱전위보다 어떤 Margin을 두고 높은위치에 있으면 입력전압이 증가함에따라 그 Margin은 점점 좁아지고 Vx의 값이 Inverter1의 문턱전위보다 낮아지는 순간 Inverter1

I 서 론

Digital Video TV나 Image Processing System에 사용되는 A/D변환기는 그 변환 속도가 고속이어야 한다. 이러한 A/D변환기는 주로 (1)병렬비교형 이나 (2)직병렬비교형 이 쓰인다. 이중 병렬비교형은 내부회로상에 Feed back loop 가 없어 입력 아날로그 신호의 레벨에 따라 Feed forward 적으로 A/D변환을 행하는 방식으로 매우 빠른 A/D 변환을 얻을수 있다. 그러나 분해능력이 n 비트인 변환기를 구성할 경우 $(2^{*n}-1)$ 개의 비교기가 필요하다. 이 변환기의 구성은 크게 기준저항렬, 전압비교회로, 및 엔코더 회로로 구성되어 있다.

본 논문에서는 기준저항렬과 전압비교회로를 VTL(variable threshold logic) 회로로 대체시켜 회로구성을 극히 간단하게하여 변환속도를 더 빠르게 설계하였다. 설계된 회로는 SPICE 를 사용하여 그

이 Trigger되어 잇따르는 AND단을 통해 엔코더 단에서 그 입력레벨에 대한 Digitizing이 수행된다.

III 설계

1. 비교기 회로

그림4는 그림2의 전체회로에서 한 stage 만을 따로 그린 그림이다. 각각의 숫자는 node 번호를 나타내고 있다. 입력단자인 Node 2의 전압 V(2)의 범위물 0에서 1 volt로 잡고 4비트 A/D변환을 위해 0에서 1 volt를 16 등분 하였다. 이로서 입력레벨간의 간격은 0.06 volt가 되고 이 간격차에 맞추어 응답할수있는 비교회로의 W/L값을 찾기위해 SPICE Simulation Program을 사용하였다. 이로서 PMOS의 W/L=100/2로, NMOS의 W/L=(49-34)/3를 구하였다. 이때 Vx의 NMOS의 W값에 따른 변동분은 0.59 volt였다. 표1에 각 레벨에서의 W/L값, V(5)가 trigger되는 Vin 값, Vx값을 나타내었다. 제일 낮은 입력전압이 0 volt가 아니고 0.26 volt인데 이는 Design Rule을 지킨으로서 생기는 것으로 전압 Shift회로를 써서 보정한다.

2. AND 회로

입력전압이 0 volt 일때는 각 Stage에서의 V(6)값이 low이어서 자기단의 AND입력에 low 값을, 첫단의 AND에 high 값을 주고있다가 입력전압이 증가하여 V(6)값이 high로 되면 자기단의 AND에 high값을 주어 Enable 시키고 첫단의 AND에 low값을 주어 Disable 시켜서 그 입력레벨에 한해서만 Digital 출력을 내보낸다.

3. 엔코더 어레이

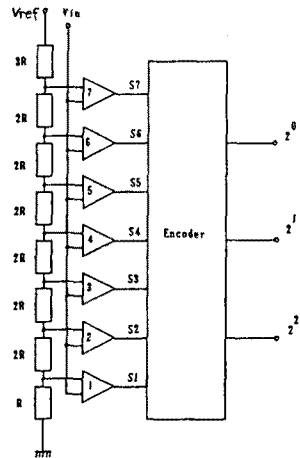
엔코더 어레이는 4비트의 경우 모두 15개의 입력을 가진다. 최상단의 PMOS 4개는 부하로 동작한다. 아날로그입력이 0 volt이면 아무회로도 동작하지 않아서 출력은 0000 이고 입력전압이 0.06 volt 이상일때부터 회로가 동작하게 된다.

IV Simulation 결과 및 고찰

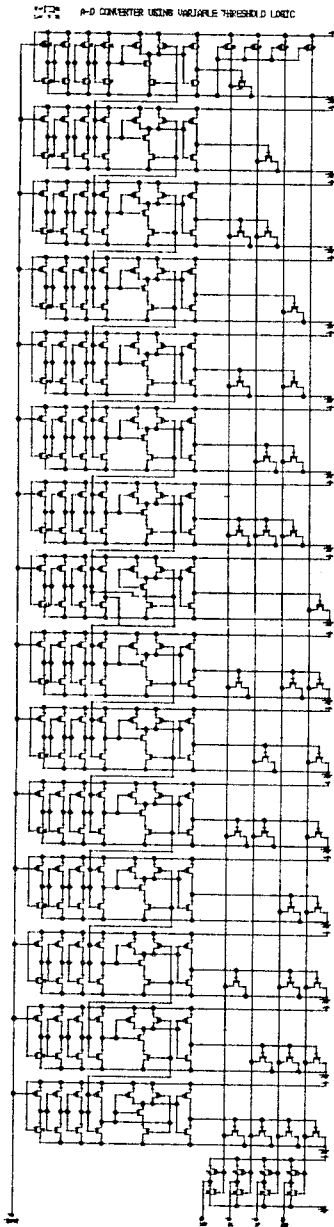
그림4의 회로에 대해 입력전압 V(2), Vx전압 V(3), Inverter1의 출력전압 V(5)에 대한 전압관계를 비교기의 NMOS의 W 값이 각각 51, 50, 49, 45, 36, 35 일때에 한하여 SPICE Simulation 해본것이 그림5-그림10이다. 이 W 값들은 입력전압이 0, 0.5, 1 volt 근처일때를 고려한 것이다. 그림5는 Vx의 초기값이 Inverter1의 문턱전압보다 낮아서 Trigger시키지 못하고있다. 그림6에서 그림10까지의 W 값에대해서는 각 레벨에서의 입력전압에 따라 Inverter 1의 출력전압 V(5) 값이 규칙적으로 잘 Trigger 되고있다.

V 결론

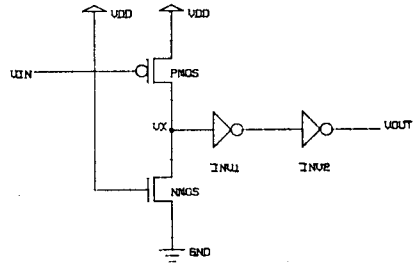
본 논문에서는 일반적인 병렬비교형 A/D변환기에서의 기준저항렬과 전압비교회로를 VTL회로로 대체하여 회로구성을 극히 단순화 시킨 4 bit Flash Type A/D Converter를 설계하여 Double Metal CMOS 2um Design Rule로 Layout 하였다. SPICE Simulation 결과 변환속도는 70 nsec로 Image Processing System등에 사용 할수 있다고 생각한다. 앞으로의 연구는 VTL회로 방식을 이용한 8 bit 변환기에 대하여 진행해 나갈 생각이다.



(그림1) 일반적인 병렬비교형 A/D 변환기의 구성



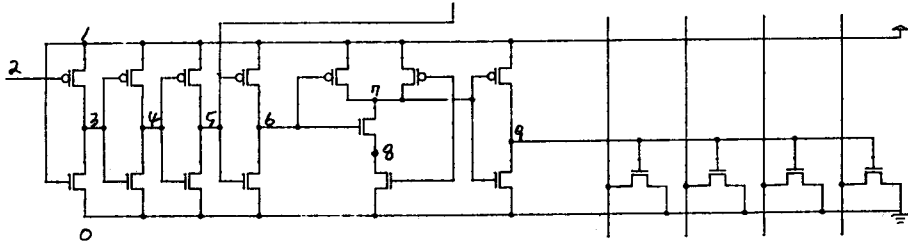
(그림2) A/D변환기의 전체회로



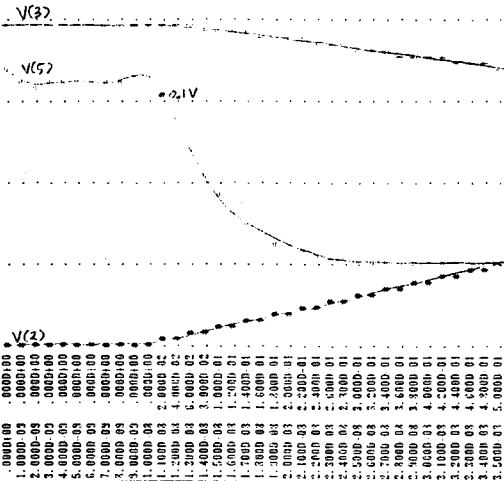
(그림3) 비교기 회로

< 표 1 >

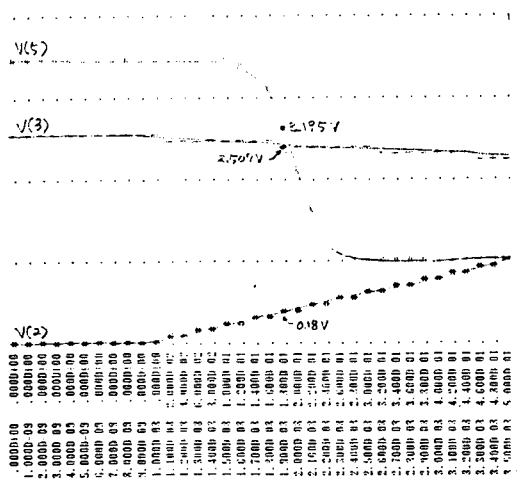
입력단NMOS 의 W 값	V(5)가 Trigger 되는 V(2) 값		V(2) 가 0 volt 일때의 V(3)값
	V(2)	V(5)	
50	0.18	3.195	2.507
49	0.26	2.715	2.54
48	0.32	2.56	2.573
47	0.33	3.46	2.607
46	0.46	2.29	2.642
45	0.52	2.60	2.673
44	0.58	2.20	2.714
43	0.64	2.54	2.752
42	0.70	2.76	2.79
41	0.76	2.84	2.83
40	0.82	3.13	2.87
39	0.88	2.69	2.911
38	0.94	2.47	2.95
37	1.00	3.14	2.996
36	1.06	2.45	3.04
35	1.10	3.43	3.085
34	1.13	2.81	3.13
33	1.22	3.68	3.177



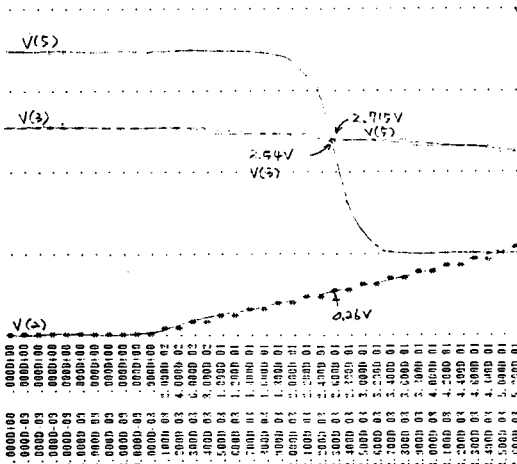
(그림4) A/D변환기에서의 한 Stage의 회로



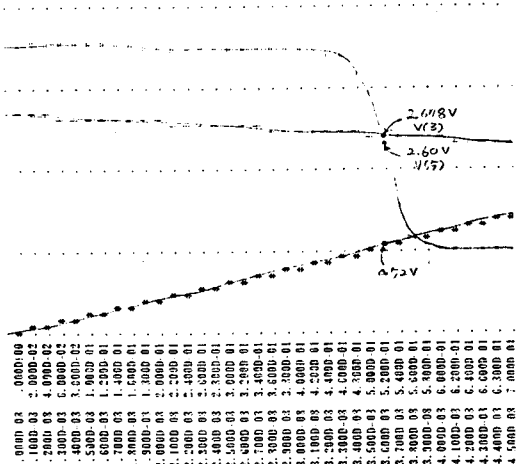
(그림5) 비교기회로의 NMOS의 W가 51일때의 결과



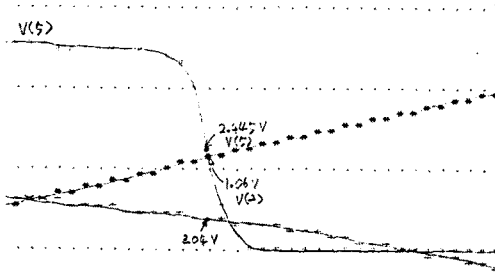
(그림6) 비교기회로의 NMOS의 W가 50일때의 결과



(그림7) 비교기회로의 NMOS의 W가 40일때의 결과

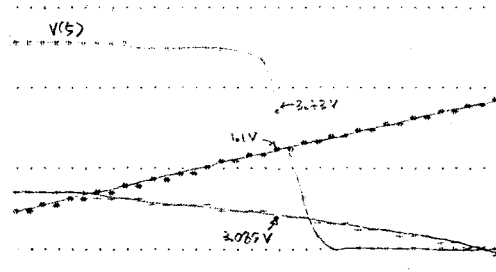


(그림8) 비교기회로의 NMOS의 W가 45일때의 결과



4.9000-03	1.9000-01
5.0000-03	3.0000-01
5.1000-03	2.2000-01
5.2000-03	2.4000-01
5.3000-03	2.6000-01
5.4000-03	2.8000-01
5.5000-03	3.0000-01
5.6000-03	3.2000-01
5.7000-03	3.4000-01
5.8000-03	3.6000-01
5.9000-03	3.8000-01
6.0000-03	4.0000-01
6.1000-03	4.2000-01
6.2000-03	4.4000-01
6.3000-03	4.6000-01
6.4000-03	4.8000-01
6.5000-03	5.0000-01
6.6000-03	5.2000-01
6.7000-03	5.4000-01
6.8000-03	5.6000-01
6.9000-03	5.8000-01
7.0000-03	6.0000-01
7.1000-03	6.2000-01
7.2000-03	6.4000-01
7.3000-03	6.6000-01
7.4000-03	6.8000-01
7.5000-03	7.0000-01
7.6000-03	7.2000-01
7.7000-03	7.4000-01
7.8000-03	7.6000-01
7.9000-03	7.8000-01
8.0000-03	8.0000-01
8.1000-03	8.2000-01
8.2000-03	8.4000-01
8.3000-03	8.6000-01
8.4000-03	8.8000-01
8.5000-03	9.0000-01

(그림9) 비교기회론의 NMOS의 W가 36일때의 결과



4.5000-03	7.2000-01
4.7000-03	7.4000-01
4.9000-03	7.6000-01
5.1000-03	7.8000-01
5.3000-03	8.0000-01
5.5000-03	8.2000-01
5.7000-03	8.4000-01
5.9000-03	8.6000-01
6.1000-03	8.8000-01
6.3000-03	9.0000-01
6.5000-03	9.2000-01
6.7000-03	9.4000-01
6.9000-03	9.6000-01
7.1000-03	9.8000-01
7.3000-03	1.0000-02
7.5000-03	1.0200-02
7.7000-03	1.0400-02
7.9000-03	1.0600-02
8.1000-03	1.0800-02
8.3000-03	1.1000-02
8.5000-03	1.1200-02
8.7000-03	1.1400-02
8.9000-03	1.1600-02
9.1000-03	1.1800-02
9.3000-03	1.2000-02
9.5000-03	1.2200-02
9.7000-03	1.2400-02
9.9000-03	1.2600-02
1.0000-02	1.2800-02
1.1000-02	1.3000-02
1.2000-02	1.3200-02
1.3000-02	1.3400-02
1.4000-02	1.3600-02
1.5000-02	1.3800-02
1.6000-02	1.4000-02
1.7000-02	1.4200-02
1.8000-02	1.4400-02
1.9000-02	1.4600-02
2.0000-02	1.4800-02

(그림10) 비교기회론의 NMOS의 W가 35일때의 결과