

## KUIC\_DRC : 집적회로 마스크 도면 검증

서 인환, 김 태훈, 김 홍락, 김 종렬, 정 호선, 이 우일

경북 대학교 전자 공학과

## KUIC\_DRC : VLSI Layout Verification

Inhwan Seo, Taehoon Kim, Hongrak Kim,  
Jongryoul Kim, Hosun Chung, Wuil Lee

Dept. of Electronic Engineering Kyungpook National University

### Abstract

This paper describes KUIC\_DRC(Kyungpook national University Intelligent CAD \_ Design Rule Checker ) which verifies VLSI layout. It uses modified linked list data structure. The input form is modified CIF(Caltech Intermediate Form), called KIF(Kyungpook Intermediate Form). It makes error file, a KIF file. It is written in C language and excuted on MS-DOS, in IBM PC/AT.

### 1. 서 론

집적회로 제조 공정기술이 눈부시게 발달함에 따라 최근의 반도체 IC는 집적도가 매우 증가 하여 수 십만에서 수천만개에 달하는 트랜지스터가 한개의 칩에 포함되게 이르렀다[1]. 이러한 고 밀도 집적 현상으로 인하여 마스크 도면에서의 복잡도 역시 증가 되었고 이로 인하여 마스크 도면 제작시 설계자의 실수할 확률도 매우 증가 하게 되었다. 이러한 예러들은 실제로 칩으로 제조된후 테스트 하는 과정에서 발견된다 하면 그 손실은 매우 클것이다. 따라서 마스크 도면은 제조 공정을 하기 이전에 예러들을 찾아내어 검증을 하여야 한다.

본 연구실(경북 대학교 전자과 CAD Lab.)에서는 1987년 테이아웃 에디터 KUIC\_LED(Kyungpook national University Intelligent CAD \_ Layout Editor) [7]를 개발한 바 있다. KUIC\_LED는 변형된 CIF(Caltech Intermediate Form) [1]인 KIF(Kyungpook Intermediate Form)를 입출력 데이터로 한다.

본 논문은 KUIC\_LED로 제작한 집적회로 마스크 도면의 기하학적인 예러를 검증하는 KUIC\_DRC(Kyungpook national University Intelligent CAD\_Design Rule Checker) 개발에 관한 것이다. KUIC\_DRC는 CMOS 마스크 도면을 검증하는 것으로서 IBM PC/AT 에서 수행 되며 마스크 도면의 검증 후에 예러 메시지 형태인 KIF 화일을 출력해 준다. 이 예러 화일은 예러가 발생된 양쪽의 edge만을 표시해 준다.

### 2. DRC (Design Rule Check) 이론

마스크 도면을 가지고 공정을 할때 공정상에서 각각의 마스크 도면의 misalign 이나 overetching으로 인한 예러 또는 기생 용량이나 저항 성분에 의한 예러를 방지하기 위해서는 마스크 도면이 가져야할 최소 폭과 거리가 있다. 이를 Design Rule 이라 하며 이를 검증 하는것을 DRC라 한다[3].

마스크 도면의 검증은 크게 4가지 종류로 나누어 볼수 있다. a) 자체폭 검증 b) 간격 검증 c) 포괄 검증 d) 여유 검증 이 그것이다[5]. 이들 각각에 대해서 간단히 살펴보면 아래와 같다.

a) 자체폭 검증

이는 마스크 도면에서 각각의 도형 하나하나가 최소 크기 보다 작은가를 검증하는 것이다.



그림 1. 자체폭 검증

b) 간격 검증

이는 하나의 도형에 대해서 인접하고 있는 다른 도형들과의 거리를 검증하는 것이다.

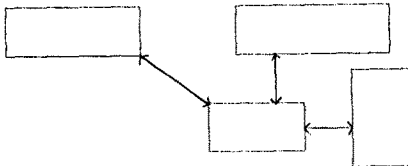


그림 2. 간격 검증

c) 포괄 검증

전기적인 등가 연결 상태를 나타내는 contact이 있는 경우 contact을 둘러 싸고 있는 도형의 크기를 검증 하는 것이다.

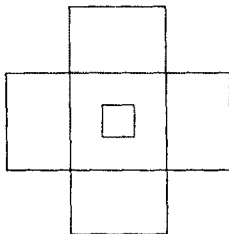


그림 3 - 1. 일반적인 Contact 검증

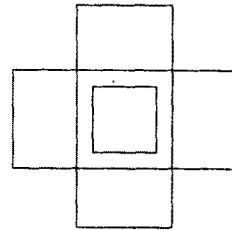


그림 3 - 2. VIA Contact 검증

d) 여유 검증

Poly-Silicon layer와 Diffusion layer가 겹쳐서 MOS가 생성되는 곳에 어느정도의 여유를 두어야 하는데, 이를 검증 한다.

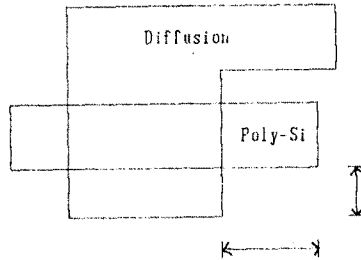


그림 4. 여유 검증

3. KUIC\_DRC 구성

a) 전체 System 구성

KUIC\_DRC는 3개의 입력 파일을 처리 하여 1개의 여러 파일을 출력 한다.

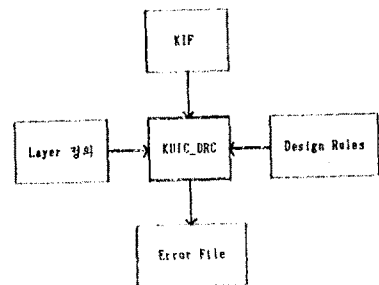


그림 5. System 구성

b) 내부 구성

KUIC\_DRC는 KUIC\_LED[7]와 KUIC\_DIP[8]의 출력 파일을 입력으로 받아 들인다. 입력된 도형은 수평 성분과 수직 성분으로 분리된 후에 각각 다른 변형된 tree 구조에 sorting 되어서 저장 된다.

도형 입력이 끝난후 최소의 위치에 있는 edge 부터, 자신의 다음 edge 와의 거리를 검사 하는데 충분히 먼 거리에 있는 edge 까지 검사를 행한다. 그 전체적인 흐름은 아래 그림 6-1. 과 같다.

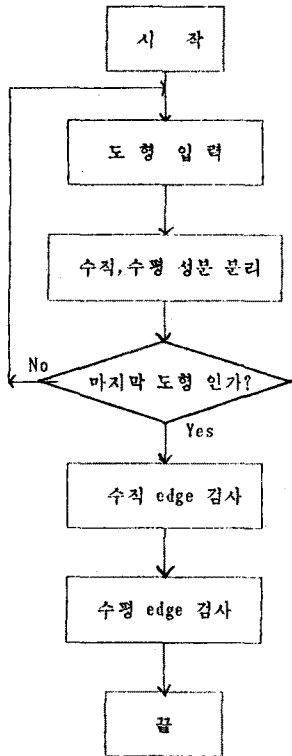


그림 6 - 1. 전체적 흐름

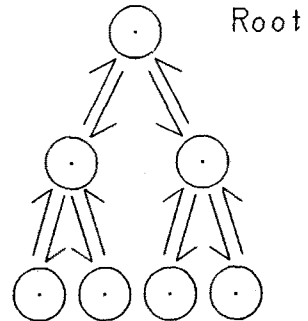
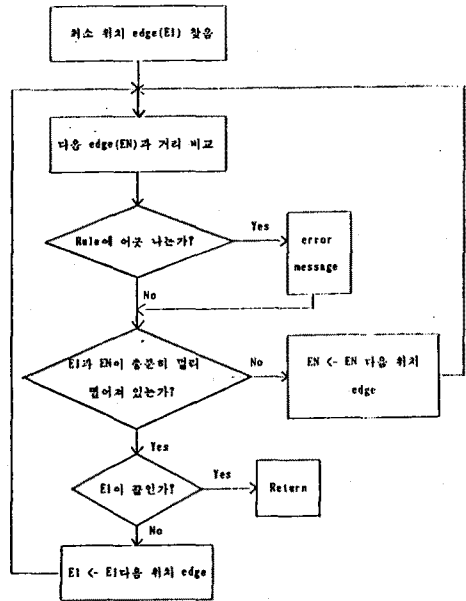


그림 6. 양 방향성 tree형 linked list

c) 변형된 tree 구조

일반적인 tree 구조는 부모 노드에서 자식 노드로 일방적인 흐름만 제공 하지만 KUIC\_DRC에서 사용하는 tree는 자식 노드 에서 부모 노드로도 갈수 있는 양 방향 tree형 linked list를 사용 하였다.

d) 노드의 구조

각각의 노드는 아래와 같은 구조로 되어 있다.

```

struct node{
    struct node *부모;
    struct node *왼쪽;
    struct node *오른쪽;
    char    SIDE;
    int     X1, X2, X3;
    int     LAYER;
}
    
```

```

node3{
    .
    .
    SIDE <- 1
    X1  <- y2
    X2  <- x1
    X3  <- x2
    .
    .
}

node4{
    .
    .
    SIDE <- 1
    X1  <- x2
    X2  <- y1
    X3  <- y2
    .
    .
}
    
```

이들 각각이 가지는 데이터는 다음과 같다.

		수평 edge	수직 edge
char S I D E	0	edge 위쪽이 도형 내부	edge 오른쪽이 도형 내부
	1	edge 아래쪽이 도형 내부	edge 왼쪽이 도형 내부
int	X1	edge y축 값	edge x축 값
	X2	edge x 값	edge y 값
	X3	edge x 값	edge y 값
LAY- ER	도형이 속한 layer		

그림 7. edge 분할

f) 검증 알고리즘

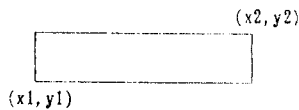
위에서 처럼 하나의 도형은 4개의 edge로 분리된 후 각각의 수평, 수직 edge list에 sorting 되어진다. 이러한 도형들의 입력이 끝나면 각 edge들 간에 검증 해야할 거리(rule) 중에서 가장 큰 값을 찾아 MAXRULE 이라 지정한 다음 node->X1 값이 가장 작은 노드 부터 마지막 노드까지 아래의 방법으로 검증 한다.

```

검증 알고리즘:
while(Wnode) {
    Tnode = Wnode->next;
    while(거리(Tnode, Wnode) > MAXRULE) {
        검사(Wnode, Tnode);
        Tnode = Tnode->node;
    }
    Wnode = Wnode->node;
}
    
```

e) box data의 edge 분리

아래 그림7. 에서 처럼 하나의 box data는 2개의 수평 edge와 2개의 수직 edge로 분리 된다.



```

수평 성분
node1{
    .
    .
    SIDE <- 0
    X1  <- y1
    X2  <- x1
    X3  <- x2
    .
}

수직 성분
node2{
    .
    .
    SIDE <- 0
    X1  <- x1
    X2  <- y1
    X3  <- y2
    .
}
    
```

g) 입력

KUIC\_DRC의 기하학적인 도형의 입력은 본 연구실에서 개발한 KUIC\_LED의 입출력 화일이라는것을 앞에서 밝혀 두었다. 그 이외에 KUIC\_LED에서 사용한 layer의 역할을 정의한 화일과 적용되는 design rules을 가지고 있는 화일을 입력으로 한다. (그림 5. 참고)

g) 출력

출력 화일은 하나의 KIF 화일 이다. 이 화일은 에러를 유발 하는 양쪽 edge 만을 KUIC\_LED에 표시 한다. 이때 표시되는 edge는 에러의 종류에 따라 서로 다른 layer로 표시 된다. 또한 총 에러의 갯수와 각 에러 종류에 따른 갯수도 함께 표시한다.

4. 결 론

본 DRC 알고리즘은 매우 쉽고 간단 하므로 쉽게 검증할 수 있다. 또한 여러 메시지가 레이아웃 에디터에 집적 표현 되는 KIF 형태 이므로, 마스크 도면이 검증한 결과 여러가 있을때 레이아웃 에디터에서 막바로 수정을 할수 있다.

위에서와 같이 KUIC\_DRC는 마스크 도면의 기하학적인 검증을 하기 위해 개발 하였다. 특히 대형 시스템이 아닌 소형 컴퓨터인 IBM PC/AT에서 수행 한다. 사용한 언어는 C 이고, MS-DOS상 에서 동작 하고 컴파일러는 Lattice C Compiler 이다.

6. 배 윤섭, 장 기동, 서 인환, 정 갑중, 정 호선, 이 우일: "KUIC\_CEX: 집적회로 마스크 도면으로 부터와 회로 추출", 1987년 전기·전자공학 학술대회 논문집, pp1525-1527, 1987

7. 장 기동, 배 윤섭, 이 동훈, 정 호선, 이 우일: "KUIC\_LED: 대화형 집적회로 레이아웃 에디터", 전기재료 반도체 및 CAD 학술대회 논문집, pp161-164, 1987

8. 이 동훈, 김 지홍, 여 진경, 배 창석, 김남철, 정 호선, 이우일: "VLSI CHIP으로부터 CIF 추출", 1987년 전기·전자공학 학술대회 논문집, pp1536-1539, 1987

5. 참 고 문 헌

1. C.Mead, L.Conway:"Introduction to VLSI System",Addison-Wesly,1979
2. N.West, K.Eshraghian,"Principles of CMOS VLSI Design.A systems Perspective", Addison-Wesily,Bell,1985
3. 이 귀로, 박 송배, 전 주석, 경 종만, 임 인철: "VLSI 설계를 위한 CAD 알고리즘", 방한 출판사,1987
4. 정 자춘, 이 철동, 유 영욱,:"마스크 아트워 처리 및 레이아웃 검증을 위한 다각형 집형 알고리즘", 대한전자 공학회지, 제 24권, 제 6호, pp1087-1094, 1987년 11월
5. 김 광태:"Bitmap 방식을 이용한 레이아웃 회로의 CIF변환 프로그램개발 및 COMS회로를 위한 설계규칙 검사", 경북 대학교 석사학위 논문,1986