

계층적 논리 회로의 시뮬레이션

○ 이종구, 허용민, 이주희, 박홍준, 박종규, 임인철
한양대학교

Simulation for hierarchical logic network

○ H.J. Lee, Y.M. Hur, J.H. Lee, H.J. Park, D.G. Park, I.C. Lim
Hanyang University

ABSTRACT

This paper proposes the logic simulation for hierarchical logic network with function descriptor base data structure and algorithm on which a macro cell is considered as a logic elements. Function descriptor base data structure is useful when many logic elements of which type is same exist in a network, for it lessens the computer memory size used during the simulation. And the proposed simulation algorithm may improve the simulation speed.

I. 서론

현재 복잡도가 높은 VLSI를 편리하게 설계하기 위하여 여러 종류의 CAD TOOL이 이용되고 있다. 그중에서 논리레벨 시뮬레이터는 논리회로의 입출력 값의 관계 및 지연시간을 모델링하여 회로가 논리적으로 정상 동작을 하는가를 검증하기 위해 사용된다.

논리레벨 시뮬레이터의 중요한 개발요인으로는 정확도와 사용능력 그리고 사용자와의 interface등이며 이를 위해서는 효율적인 시뮬레이션 알고리즘과 데이터 구조 그리고 편리한 회로망 기술법등이 요구되고 있다.[1] 회로소자의 전기적 특성과 그들 상호간의 연결 상태를 나타내는 논리회로의 기술법으로 계층적인 방법을 이용한다면 크고 복잡한 회로망을 간편하게 표현할 수 있다.[3,4] 그러나 이러한 기술방법이 실제의 데이터 구조와 시뮬레이션 동작에는 영향을 미치지 못하고 있다. 또한 현재 사용되고 있는 descriptor base 방식의 데이터 구조는 다수의 동일 형태의 회로소자를 포함하는 회로망을 시뮬레이션 할 때 많은 기억공간의 손실을 가져오므로 제한된 기억공간을 갖는 컴퓨터 상에서 대규모 회로를 시뮬레이션 할 때 사용능력에 한계를 가져오게 된다.[1]

본 논문에서는 계층적으로 편리하게 기술된 논리회로에 대

한 실제 시뮬레이션 수행과정에 좋은 효과를 줄 수 있도록 하기 위하여 기억공간을 가능한 적게 이용하는 descriptor base 데이터 구조를 제안하며, 논리회로의 계층적 기술방법과 사용자의 요구에 따라 macro cell을 하나의 논리소자로 모델링함으로써 시뮬레이션 속도를 향상시킬 수 있도록 한다.

II. 논리회로의 계층적 모델링

컴퓨터의 반복적 동작 특성을 이용하여 논리 시뮬레이션에 회로망을 계층적인 방법으로 기술하면, 크고 복잡한 회로망을 간편하게 모델링 할 수 있다. 이때에 회로망 내에서 자주 쓰이는 논리소자나 함수블록을 macro화하여 library에 저장하고 이를 필요로 할 때마다 호출하여 기술한다. 한 예로 그림 1에 임의의 논리회로에 대한 계층적 모델링 방법을 나타내었다. 또 이 회로의 macro 기술법은 그림 2와 같다.

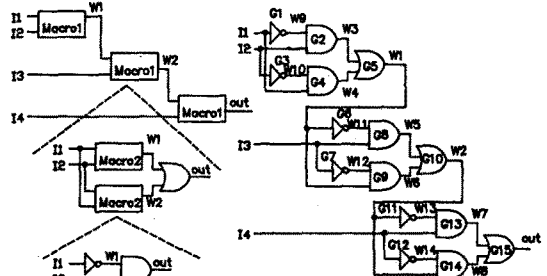


그림 1. 회로에 대한 계층적 모델링

Fig.1. Hierarchical modeling for a network

```

cct main(out, i1, i2, i3, i4)
macro1
    t1(w1, i1, i2)
    t2(w2, w1, i3)
    t3(out, w2, i4);
input i1 i2 i3 i4.
cct macro1(out, i1, i2)
or(4, 4) g1(out, w1, w2);
macro2
    q1(w1, i1, i2)
    q2(w2, i2, i1);
input i1 i2.
cct macro2(out, i1, i2)
not(2, 2) g1(w1, i1);
and(3, 3) g2(out, w1, i2);
input i1 i2.
    
```

그림 2. 그림 1의 회로에 대한 macro 기술법
Fig.2. Macro description for Fig.1 network

III. 데이터 구조

논리 회로망은 시뮬레이터 내에서 table이나 descriptor 집합의 데이터 구조로 표현된다. 이러한 데이터 구조에는 논리소자의 다음과 같은 정보가 포함되어 있다.

- (1) 논리소자의 형태 (and, or, wire, input,
- (2) 논리소자의 입출력 신호선의 갯수 및 포인터
- (3) 논리소자의 상승, 하강 지연 (최대, 최소 지연 포함)
- (4) 논리소자의 이름
- (5) 논리소자의 capacitance, strength 등의 전기적 특성
- (6) 논리소자의 형태가 신호선일 경우 신호값과 구동 게이트 포인터 등등.

Descriptor 형태의 데이터 구조는 descriptor내에 어느 하나의 논리소자에 대한 모든 시뮬레이션 정보를 담고 있으며 각각의 출력 신호선이 독립적으로 자신의 data를 가질 수 있으므로 다출력 논리소자에 적합하다. 그림 3에 게이트와 신호선에 대한 descriptor를 나타내었다.

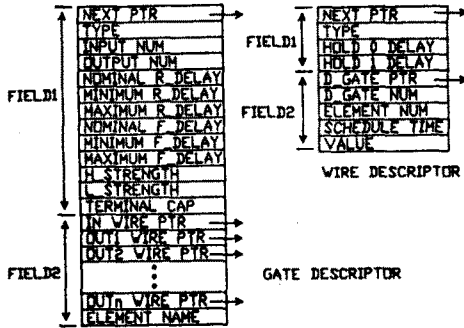


그림 3. 게이트와 신호선의 descriptor
Fig.3. Descriptors for a gate and wire

회로망 내의 모든 논리소자에 대한 descriptor들은 1-linked list 형태로 연결되어 있으며 그림 4에 그림 1의 회로에 대한 데이터 구조를 나타내었다. 그런데 회로망이 다수의 동일 형태의 논리소자를 포함 할 때는 그림 5와 같이 descriptor내에 이러한 소자들의 공통된 정보(그림 3의 field 1)만을 갖는 데이터 구조를 형성 하므로써 기억공간을 절약할 수 있다.

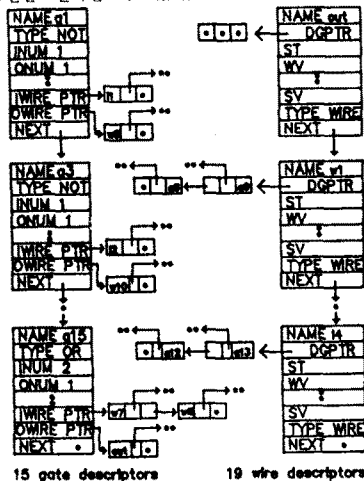


그림 4. 그림 1의 회로에 대한 데이터 구조
Fig.4. Data structure for Fig.1 network

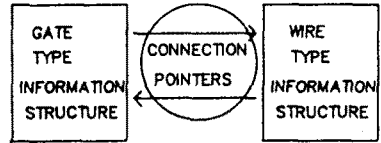


그림 5. 함수 descriptor base 데이터 구조
Fig.5. Function descriptor base data structure

위의 형태로 데이터 구조를 형성 할 때 절약 가능한 대략적인 기억공간 Es는 다음과 같다.

$$Es = Efl \times (N - Ndt)$$

N ~ 게이트 또는 신호선의 총 수

Ndt ~ 서로 다른 형태의 논리소자의 수

Efl ~ 게이트 또는 신호선 descriptor내의 field 1의 entry 수

그림 2의 회로에 대하여 위 식을 적용하여 보면 게이트 구조는 Esg = 156개, 신호선 구조는 Esw = 85개로서 약 240여개의 entry를 절약할 수 있다. 그림 1의 회로에 대한 변경된 데이터 구조는 그림 6과 같다.

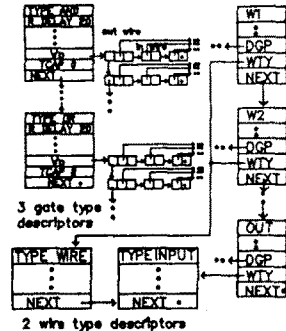


그림 6. 그림 1의 회로에 대한 변경된 데이터 구조
Fig.6. Modified data structure of Fig.1 network

N. 시뮬레이션 알고리즘 및 적용 예

시뮬레이터 사용자가 회로망을 계층적으로 기술하고 시뮬레이션 결과로써 macro cell의 입출력 신호선만을 모니터 하고자 한다면 그 cell을 하나의 논리소자로 모델링 하여 진리표만을 참조 하므로써 시뮬레이션 속도를 향상시킬 수 있다. 그림 7에 시뮬레이션 명령언어를 나타내었다.

SIMULATE /* 시뮬레이션 명령언어의 header */
SOURCE HDL WDL /* 시뮬레이션되는 회로와 입력파형 이름 */
COERCE(4) /* 시뮬레이션 논리 신호값의 갯수 */
BLKBOX /* macro cell 단위 시뮬레이션 명령어 */
DISPLAYCHANGE(time, wires' names) /* 모니터할 시간 및 신호선 */

그림 7. 시뮬레이션 명령언어
Fig.7. Simulation command language

시뮬레이션 과정은 다음과 같다.

- 단계 1) Library내에 macro Cell을 정의한다. 동시에 macro로 기술되는 회로망을 시뮬레이션 하여 각각의 입력 event에 대한 출력의 진리값과 출력

없이 정상상태에 도달하는 시간(Td)을 표로 저장한다.

단계 2) HDL, WDL, 시뮬레이션 명령언어를 입력하여 시뮬레이션을 시작한다.

단계 3) 회로망 내의 모든 게이트에 대해 selective trace법으로 시뮬레이션을 수행한다.

단계 4) 만일 macro cell 단위 시뮬레이션일 경우 macro cell들의 입력 event의 변화 간격이 Td보다 크면 진리표만을 참조하여 스케줄링 하며, 그렇지 않을 경우 단계 3의 과정으로 시뮬레이션한다.

단계 5) 시뮬레이션 명령 언어의 모니터 할 시간과 신호선에 따라 시뮬레이션 결과를 출력한다.

위의 알고리즘을 그림 8의 회로에 적용하여 그 결과를 그림 10에 보였다. 그림 9는 그림 8의 macro cell을 기술한 것이다.

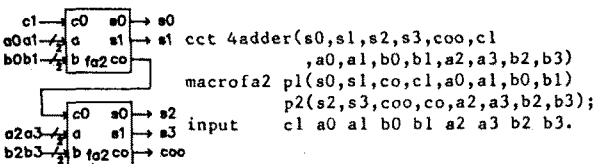
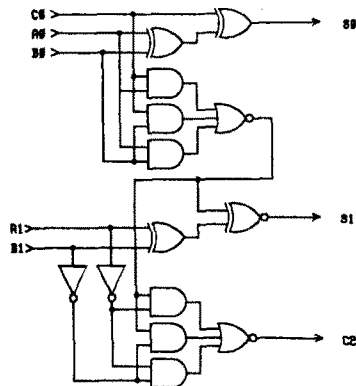


그림 8. 2비트 전가산기로 구성된 4비트 전가산기
Fig.8. 4bit full adder composed of 2bit full adders



```
cct macrofa2(co,s0,s1,...,a1,b1)
xor(1,1) g1(s0,c0,w1) ...
xnor(2,2) g7(s1,w5,w6) ...
not(3,3) g9(w8,b1) ...
input c0 a0 b0 a1 b1;
wire w1 w2 ... co.
/* table */
c0 a0 b0 a1 b1 s0 s1 co td
1 0 1 0 1 0 0 1 10
0 1 1 1 0 0 0 1 6
0 0 1 1 1 1 0 1 12
0 0 1 0 1 1 1 0 5
```

그림 9. 2비트 전가산기의 macro cell
Fig.9. Macro cell of 2bit full adder

```

c a b a b w a b a b s s s s c
1 0 0 1 1 w 2 2 3 3 0 1 2 3 0
o
time----
0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
100 1 0 1 0 1 0 0 1 0 1 0 0 0 0 0
105 1 0 1 0 1 0 0 1 0 1 0 0 1 1 0
110 1 0 1 0 1 1 0 1 0 1 0 0 1 1 0
120 1 0 1 0 1 1 0 1 0 1 0 0 0 0 1
    
```

그림 10. 그림 8의 회로의 시뮬레이션 출력
Fig.10. Simulation output of Fig.8 network

V. 결 론

본 논문에서는 계층적으로 기술된 회로망의 논리 시뮬레이션을 위하여 회로망의 효율적인 데이터 구조와 시뮬레이션 알고리즘을 제안하였다. 데이터 구조로는 컴퓨터의 기억공간을 절약 하기 위하여 종래의 논리소자 descriptor 형태에서 함수 descriptor base 구조를 사용하여, 다수의 동일형태의 논리 소자를 포함하는 회로망을 시뮬레이션시에 적합하도록 하였다. 또한 사용자의 요구나 모니터 기술명령에 따라 macro cell을 하나의 논리소자로 모델링하여 cell 단위 시뮬레이션을 수행함으로써 시뮬레이션 속도를 향상시켰다. 위의 제안을 VAX-11/750 (UNIX) 상에서 yacc와 C언어로 실현하였다.

참 고 문 헌

- [1] Manuel, A. d'Abreu, "Gate-Level Simulation," IEEE DESIGN & TEST, pp.63-71, 1985.
- [2] S.A. Szygenda, "Digital System Simulation," IEEE Computer, pp.23-36, 1975.
- [3] B. Infante, A. Sanders, E. Lock, "Hierarchical Modeling in a multi-level Simulator," ICCAD-84, pp.39-41, 1984.
- [4] G.M. Nurie, "A Hardware Description Language for Hierarchical Design and Multilevel Simulation," IEEE Int. Conf. Circuits and Computer, pp.600-603, 1982.
- [5] S.R. Nassif, "A Macromodelling Approach for Simulation of VLSI Circuits," Ph. D. thesis, C.M. Univ., 1986.
- [6] M.D. Matson, "Macromodelling of Digital MOS VLSI Circuits," 22nd DAC, 1985.
- [7] T.M. Lin, C.A. Mead, "A Hierarchical Timing Simulation Model," IEEE Trans. CAD, No.1, 1986.
- [8] HILO-3 Reference Manual, GenRad, 1985.