

Domino CMOS NOR-NOR Array Logic 의

Testable Design 에 관한 연구

이 중 호 조 상 복

울산 대학교 전자 및 전산기 공학과

A study on the Testable Design of Domino

CMOS NOR-NOR Array Logic

Joong Ho, Lee Sang Bock, Cho

Dept. of Electronic and Computer Engineering, university of ulsan

abstract

This paper proposes testable design method of Domino CMOS NOR-NOR Array Logic design method. Previous Domino CMOS PLA method is composed of 2 level NAND-NAND Logic. Because NOR-NOR Logic is realized by a parallel circuit, this method can prevent delay time each level and DNOR-PLA include testable circuit system that DNOR-PLA circuit. DNOR-PLA testable algorithm is realized on Prime(Primos) in Pascal language and DNOR-PLA circuit is simulated by PSPICE.

1. 서 론

VLSI 기술에 PLA 와 같은 Array Logic 이 많이 사용 되고 있고 PLA 방식 중에서도 Domino-CMOS Logic 설계 방식은 CMOS 의 특징을 가지면서 chip area 와 속도가 개선 되고 NMOS 기술을 그대로 이용할 수 있는 방식으로 발전 하기 시작 했다. [1,2,3,4,5] 그런데 지금 까지의 PLA 구성 방법 에 있어 입력 함수가 많아 질 수록 transistor 들의 직렬 연결로 인한 capacitance 효과로 인해 delay time 이 문제가 되어 왔다. [2,6] 본 논문에서는 이런 현상을 방지하기 위해 CMOS-Domino Logic 의 NAND-NAND 구조를 NOR-NOR 구조로 바꾸어 줌으로서 기존의 NAND-NAND Logic 함수들의 직렬 연결로 인한 커패시터 효과와, 그로인한 pre charge transistor 와 evaluate transistor 간의 커패시터량의 불균형과 delay time 의 불균형을 방지할수 있는 방식을 제안한다. 제안되는 CMOS Domino NOR-NOR Logic은

기존의 NAND-NAND Logic에 비해 첫패단의 인버터가 빠짐으로 그만큼 트랜지스터 수가 감소 되고 집적도 도 높아지며 capacitance 효과를 제거 함으로써 응답 속도가 빨라 지게 된다. 또한 이 회로의 테스트 생성 알고리즘 및 테스트 절차를 제안한다.

2. Domino CMOS Logic

Domino CMOS 회로는 Fig.1과 같이 함수 형성을 위한 NMOS함수 block과 clocking gate, 그리고 inverter 보 구성되어 있다. [2] Domino CMOS Logic은 CMOS와 같이 전력 소모가 적을 뿐만 아니라, chip arrier가 작아서 집적도가 높고 구조적 특징으로 인해 하나의 클럭 펄스에 의해 함수 값을 얻을수 있으므로 timing 문제에 있어서 다른 다이내믹 회로 보다 안정하며, 응답속도 또한 1.5-2 배 정도 빠르다는 잇점이 있다.

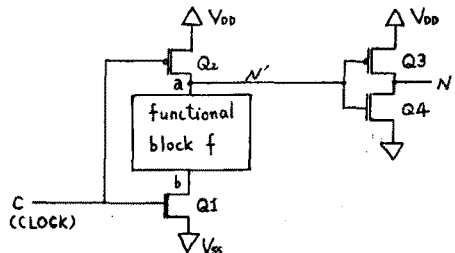


Fig.1

Fig.1에서 clock이 1 일때 함수 f 중 true path가 형성되면 a 와 b 사이에 path가 형성 되어 N1 은 f 와 Q1 에 의해 0 이된다. 이때 NOT gate(Q3 와 Q4) 에 의해 출력 N 이 1 이 된다. 즉 함수 block 이 "true" 이고 clock 이 1 일때만 변화가 일어 나고 그 외에는

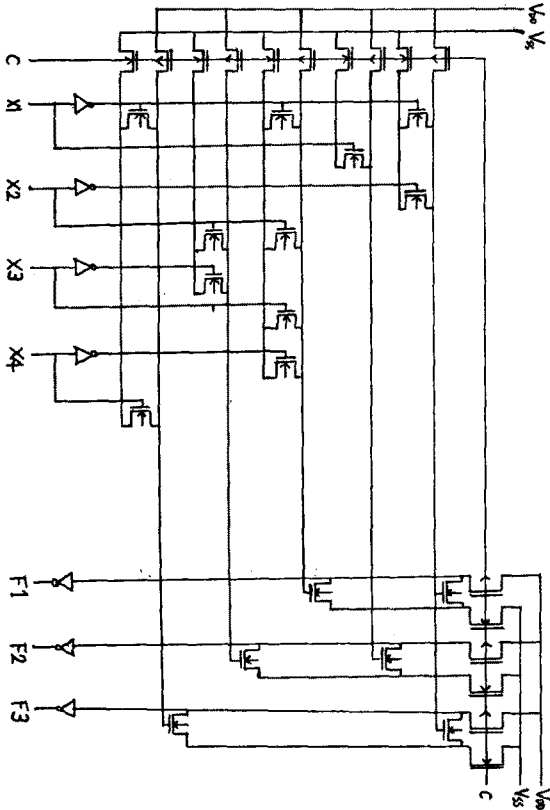


Fig2. Domino CMOS NOR-NOR Logic Circuit

4. Domino CMOS NOR-NOR 구조의 delay time 과 특징의 정량적 분석

Domino CMOS NAND-NAND Logic 의 truth path 생성에서 발생 되는 delay time 의 불균형을 방지하기 위해 NOR-NOR Logic 으로 재 구성 하였다. 각 function block 을 병렬 연결 함으로 인해 true path 의 길이가 길어져도 상관 없이 트랜지스트 한개에 해당되는 커패시터 효과 밖에 나타나지 않으므로 delay time 의 불균형을 아주 효과 적으로 제거 할수있다. 그렇게 됨 으로 인해 정상 동작을 얻을수 있게 된다. 아래에 정량적인 delay time 을 계산했다.

<정의3> 입력이 m개 일때 P 형 소자 한개에 해당하는 최소의 rise time 을 T_r , N 형 MOS 소자 전체에 해당하는 소자의 fall time 을 T_f 라 한다. 여기서 트랜지스트의 기생 커패시턴스 효과는 무시한다.

.정의 3에 의해 Domino CMOS NAND-NAND Logic 의 전체 delay time ;

$$.Tr = Rp(Cd + Cl)$$

$Rp = 4/(BpVdd)$:resistance of p-device in gate

Bp is the MOS transistor gain factor

Cd = capacitance of a unit drain area

Cl = other load capacitance on gate (routing and fan-out)

$$.Tf = mRn(Cd + Cl)$$

$Rn = 4/(BnVdd)$:resistance of n-device in gate

.Domino CMOS NOR-NOR Logic 의 delay time;

$$.Tr = Rp(Cd + Cl)$$

$$.Tf = Rn(Cd + Cl)$$

위에서 보는 바와 같이 rise time 은 NOR-NOR Logic 이나 NAND-NAND Logic 이나 같음을 알수있다. 그리고 fall time 은 NOR 구조가 NAND 구조보다 m(입력 갯수) 배나 개선 된다는 것을 알수 있다. 그러면 다른 여러 Logic 방식들과 비교 해보자. Domino CMOS NAND Logic 보다 invert 가 줄어 들므로 인해 속도가 빨라지고, 전력 소모가 적고, 집적도가 높아진다. 그리고 simplefied Domino-CMOS(SDC)[5] 에 비하면 SDC 는 clock 의 조절이 Domino CMOS NOR-NOR Logic 보다 복잡하다. 그리고 SDC 는 기생 커패시턴스 현상을 일으킨다. 그리고 CMOS Domino Logic Array(CLA) [5] 와 비교하면 CLA 는 1 level Logic 으로서 출력을 얻을수 있어 소자당은 줄어 들지만 중복 되는 함수가 많아 지면 중복 되는 모두를 설계 해야 한다는 단점이 있기 때문에 Domino-CMOS NOR-NOR Logic 은 위의 설계 방식 들의 단점을 보완 할수 있다.

5. Testable Design Domino CMOS

NOR-NOR Logic

Domino CMOS NOR-NOR 회로의 test 도 CLA 의 방식과 같이 Design 할수 있다. 우선 Domino CMOS NOR-NOR 회로의 고장 예를 살펴 보자.

.부가 회로에서의 고장

1. Shift Register 의 stuck-at 고장
2. 트랜지스트의 단선 고장 (stuck-open)과 도통 고장 (stuck-on)

.pull-up 및 pull-down 회로의 고장

3. stuck-on 고장
4. first level (입력단) 의 n 형 과 p 형 트랜지스터의 stuck-open 고장

5. second level (출력단) 의 n 행 과 p 행 트랜지

스터의 stuck-open 고장

6. Stuck-at 고장(출력선)

array 에서의 고장

7. 입력단의 stuck-at 고장

8. missing device 고장 (트랜지스터가 존재해야 될 부분에 없는 것)

9. extra device 고장 (트랜지스터가 없어야 될 부분에 있는 것)

10. 트랜지스터의 stuck-open or stuck-on 고장

위와 같이 고장 예를 살펴 보았다. 그러면 test 절차에 관해 알아 보자. 테스트를 용이 하게 하기 위해서 Shift Register 를 사용한 부가 회로를 첨가시켰다. 정상 동작 일때는 모두 "1" 로 두어서 test 할수있게 했다.

임의의 함수를 실현한 Domino CMOS NOR-NOR Logic 의 PLA 특성 행렬 개념을 도입 하여 다음과 같이 정의 한다.

<정의 4> n개의 입력과 k개의 적항선을 가진 Domino

CMOS NOR-NOR Logic에 대하여 다음과 같은 요소 들로 구성 되는 (k*n)행렬을 Domino CMOS NOR 의 입력 특성 행렬 이라 한다.

.X(i,j) = 1 ; true bit line 과 적항선(i) 의 교점에 소자 존재

.X(i,j) = 0 ; complement bit line 과 적항선(i) 의 교점에 존재

.X(i,j) = - ; 어느 bit line 과의 교점에도 존재하지 않을때

<정의5> k개의 적항선과 m개의 출력을 가진 Domino

CMOS 에 대하여 다음과 같은 요소 들로 구성 되는 (k*m)행렬을 Domino CMOS NOR 의 출력 특성 행렬 이라 한다.

.f(i,j) = 1 ; 적항선(i) 와 출력선(j), 즉 Fj 에 연결 되었을때.

.f(i,j) = 0 ; 출력선 Fj 에 적항선(i) 이 연결 되지 않았을 때.

위의 정의로부터 Domino CMOS NOR-NOR에 대한 입력 및 출력 특성 행렬을 구 하여 중복되는 적항 키리 묶어서 같은 적항으로 만든 행렬이 Fig.3 이다. 점

선은 각 적항군을 구별 한것이다.

X1 X2 X3 X4 F1 F2 F3

1 1 - - 1 - 1

0 - - - - 1 -

1 0 0 1 1 - -

- 0 1 - - 1 -

1 - - 0 - - 1

Fig.3 modification of the personality matrices

<테스터 집합 생성 알고리즘>

(절차1) Fig.3 의 특성 행렬로부터 테스트 패턴 T(i,j) 를 생성한다.

<단계1> X(i)의 don't care 인 입력을 모두 1 로 두어 테스트 입력 t1 으로 한다. 이때는 정상 출력 F(i) 가 된다.

<단계2> X(i)의 don't care 인 입력을 모두 0 으로 두어 t2 로 한다. 이때도 정상 출력 F(i) 가 된다. don't care가 없으면 t2는 필요 없다.

<단계3> X(i)의 don't care 가 아닌 부분에 대해 하나씩 그 보수 값을 취하여 t3 입력 패턴으로 한다. 출력은 F(i)' 가 된다.

X(i) : 입력 특성 행렬의 i 번째 행

F(i) : 출력 특성 행렬의 i 번째 행

(절차2) i=1 부터 i=k' 까지 절차 1 을 반복 수행후 종료 한다. 여기서 j 는 i 번째 행 이 속해 있는 product line 의 행 번호 이다.

Fig.3 으로부터 table2 에 testable set 를 작성 했 고 Fig.4는 testable circuit 이다.

: X1 X2 X3 X4 F1 F2 F3

t1 : 1 1 0 0 1 - 1

T(1,1) t2 : 1 1 1 1 1 - 1

t3 : 1 0 - - 0 - 0

: 0 1 - - 0 - 0

t1 : 0 0 0 0 - 1 -

T(2,1) t2 : 0 1 1 1 - 1 -

	t3	: 1 - - - - 0 -

	t1	: 1 0 0 1 1 - -
	t3	: 0 0 0 1 0 - -
T(3,2)	:	1 1 0 1 0 - -
	:	1 0 1 1 0 - -
	:	1 0 0 0 0 - -

	t1	: 0 0 1 0 - 1 -
T(4,2)	t2	: 1 0 1 1 - 1 -
	t3	: - 1 1 - - 0 -
	:	- 0 0 - - 0 -

	t1	: 1 0 0 0 - - 1
T(5,2)	t2	: 1 1 1 0 - - 1
	t3	: 0 - - 0 - - 0
	:	1 - - 1 - - 0

Table.2 testable set for the Domino CMOS

NOR-NOR Logic in fig.4

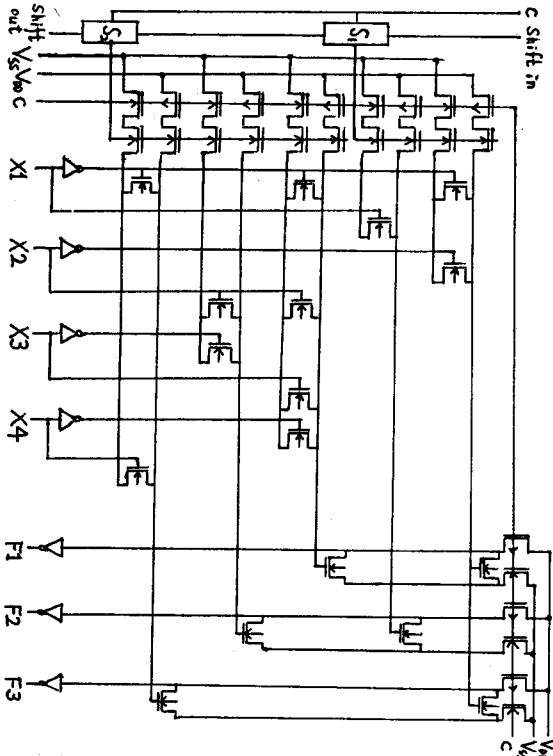


Fig.4 Testable Design of the Domino CMOS NOR-NOR Logic circuit

테스트 집합으로 수행 되는 전체 테스트 절차는 다음과 같다. Shift Register 의 상태를 테스트하려는 bit(출력군)에만 1 을 인가하고 나머지는 0 으로 둔다. 그뒤에 테스터 패턴 T(i,j)의 입력을 n개의 외부 입력에 인가하고, m개의 외부 출력을 통해 관찰 하여 테스트 패턴의 출력과 비교 확인 한다.

5.결 론

기존의 NAND-NAND Logic 뿐만이 아니라 모든 PLA 구성 방법에서 각 함수 구성에서 트랜지스트들의 직렬 연결로 인한 커패시턴스 영향으로 delay time 의 불균형을 제거함으로써 fall time 이 m(입력 소자 갯수)배 나 빨라짐으로 인해 출력의 응답이 안정 되고 속도도 빨라지는 Domino CMOS NOR-NOR Logic 의 설계 방식을 제안하였다. 아울러 부가 회로를 사용하여, 테스터 가 용이 하도록 설계 하였고, 이에 대한 테스터 집합 생성 알고리즘과 테스터 절차를 제안하였다. 이 Test 방식은 고전적인 stuck-on 고장 및 stuck open 고장 하지도 모두 고려 함 으로서 매우 높은 검출율을 기대 할수 있다.

앞으로 Domino CMOS 회로에 대한 기술이 발전함에 따라 Domino CMOS NOR-NOR 방식이 많이 사용 되리라 기대 된다.

참 고 문 헌

- [1] Fredrick J.Hill and Gerald Peterson "Switching theory & Logical Design",1985.
- [2] Neil West and Karan Eshraghin, "Principle of CMOS VLSI Design. A System Perspective",1985.
- [3] 김용두, 조상복, 임인철 "CMOS PLA 설계 및 stuck-open 고장 검출" 대한 전자 공학회 추계 종합 학술 대회는논문집, vol.8, No.2, pp547-550, 1985.11.
- [4] 김용두 "CMOS PLA 설계 및 stuck-open 고장 검출에 대한 연구" 한양 대학교 산업 대학원 석사 학위 논문,1985.11.
- [5] Lance A.Glasser & Daniel W.Dobber Publ "The Design and Analysis of VLSI Circuit",1985.