

전류- 제어 CMOS operational transconductance amplifier

정 원섭, 차 형우, 김 용배, 노 승룡\*

청주대학교 반도체공학과

\*서울시립대학교 전자공학과

A Current-controlled CMOS operational transconductance amplifier

W.-S. Chung, H.-W. Cha, H.-B. Kim, S.-R. Rho\*

Dept. of Semiconductor Eng. Chongju University

\*Dept. of Electronics Eng. Seoul City University

Abstract

A current-controlled CMOS operational transconductance amplifier(OTA), whose transconductance is directly proportional to the DC bias current, has been developed for many electronic circuit applications. It features that its transconductance is insensitive to temperature unlike that of the bipolar OTA. This property makes it possible to use the proposed OTA as a basic building block in electrically variable circuit design. The SPICE simulation shows that the conversion sensitivity of the circuit is 44.62 mv/μA and the linearity error less than 0.54% over a bias current range from 2 μA to 120 μA when the output is loaded with a 1MΩ resistor.

I. 서론

OTA(operational transconductance amplifier)는 입력 전압에 비례하는 전류를 출력시키는 전압-제어 전류 증폭기로, 출력 전류는 입력 전압과 transconductance의 곱으로 나타내어진다. bipolar로 실현된 OTA는 회로 구성이 간단하고 transconductance가 바이어스 전류로 제어되기 때문에, 각종 전류-제어 필터, 발진기, 그리고 증폭기와 샘플-홀드 회로, 멀티플렉서 등에 널리 이용된다[1]-[4]. 그러나 bipolar OTA는 그 transconductance가 온도의 영향을 받는 단점을 갖는다.

본 논문에서는 전압-제어 및 전류-제어 CMOS OTA 회로를 각각 제안한다. 이들의 transconductance는 온도에 영향을 받지 않고, 바이어스 전압 및 전류에 의해 제어된다. 이 절에 이어, 2. 절에서는 회로 구성 및 동작에 대해 기술하고, 3. 절에서는 SPICE 시뮬레이션 결과에 대해 고찰한다. 끝으로 4. 절에서 결론을 논한다.

II. 회로 구성 및 동작

A. 전압-제어 CMOS OTA.

전압-제어 CMOS OTA의 회로를 그림 1에 나타냈다[5]-[8]. 회로에서 M1과 M2는 차동 입력단을 형성하고, M4, M6, M8, M10 및 M3, M5, M7, M9은 PMOS cascode current mirror를, M11-M14는 NMOS cascode current mirror를 각각 형성한다. M15는 회로를 전류로 바이어스시켜주기 위한 current source이다.

소신호 입력 전압  $vin^-, vin^+$ 이 M1 및 M2의 게이트에 각각 가해지면, M1 및 M2의 드레인 전류는  $id1 \approx gmi(vin^- - v)$ ,  $id2 \approx gmi(vin^+ - v)$ 이 되고,  $id1 + id2 \approx 0$ 이 된다. 여기서  $gmi$ 는 입력 TR M1과 M2의 transconductance이고,  $v$ 는 소오스 전압이다. 따라서 M1 및 M2의 소오스 전압  $v \approx (vin^+ + vin^-)/2$ 이 되고, 드레인 전류  $id1 \approx -id2 \approx gmi(vin^+ - vin^-)/2$ 이 된다. M1의 드레인 전류  $id1$ 은 PMOS cascode current mirror M3, M5, M7, M9과 NMOS cascode current mirror M11-M14에 의해  $id10$ 로 복제된다. 한편, M2의 드레인 전류  $id2$ 는 PMOS cascode current mirror M4, M6, M8, M10에 의해  $id10$ 으로 복제된다. 따라서, 출력 전류  $iout$ 는 다음식으로 나타내어진다.

$$iout = id12 - id10 = id1 - id2 = gmi(vin^+ - vin^-) \quad (1)$$

이 식은 OTA의 출력 전류가 차동 입력 전압과 입력 TR의 transconductance의 곱으로 주어진다. 이것을 보여준다. 회로의 출력 저항은

$$ro = (gm10 rd8)rd10 \parallel (gm12 rd14)rd12 \quad (2)$$

으로 주어진다. 여기서  $rd$ 는 TR의 드레인 저항이다.

입력 TR의 transconductance  $gmi$ 는 바이어스

전류  $I_b$ 의 평방근에 비례하며, 다음 식으로 주어진다.

$$g_{mi} = 2 \sqrt{K_n'(W/L)_i I_b/2} \quad (3)$$

여기서,  $K_n' = (\mu_n C_{ox})/2 \mu A/V^2$  이고,  $\mu_n$  는 전자이동도, 그리고  $C_{ox}$  는 oxide 용량을 나타낸다. 바이어스 전류  $I_b$ 는 M15의 게이트 전압  $V_{bE}$ 에 의해 제어되며, 다음식으로 나타내어진다.

$$I_b = K_n'(W/L)_{15} (V_b - V_{ss} - V_{Tn})^2 \quad (4)$$

여기서,  $V_{Tn}$  는 NMOS transistor의 threshold voltage이다. (4) 식을 (3)식에 대입하여 정리하면

$$g_{mi} = 2K_n'(V_b - V_{ss} - V_{Tn}) \sqrt{\frac{(W/L)_i (W/L)_{15}}{2}} \quad (5)$$

이 된다. (5) 식으로 부터 OTA의 transconductance가 바이어스 전압  $V_b$ 에 의해 선형적으로 제어되는 것을 알 수 있다.

#### B. 전류-제어 CMOS OTA

전류-제어 CMOS OTA의 블록도를 그림2에 나타냈다. 여기서 삼각형의 OTA 표시는 그림1의 회로를 나타낸다. 두개의 OTA는 전류로 바이어스되고 정합(matching)되어 있다고 가정한다. 회로는 입력 OTA와 출력 OTA, 그리고 입력 OTA를 loading시키기 위한 부하 저항  $R_L$ 로 구성된다.

소신호 입력 전압  $vin^+$ ,  $vin^-$ 은 입력 OTA에 의해 전류  $i_L = g_{mi}(vin^+ - vin^-)$ 로 출력된다. 이 전류는 부하 저항  $R_L$ 을 통해 접지로 흐른다.  $R_L$ 에 강하된 전압은 출력 OTA의 입력 전압이 된다. 따라서, 출력 OTA의 출력 전류는

$$i_o = g_{mi}^2 R_L (vin^+ - vin^-) \quad (6)$$

이 된다. (3)식을 (6)식에 대입하여 정리하면, 전류-제어 CMOS OTA의 입-출력 관계는 다음 식으로 나타내어진다.

$$i_o = G_{mI} (vin^+ - vin^-) \quad (7)$$

여기서

$$G_{mI} = 2K_n'(W/L)_i R_L I_b \quad (8)$$

이다. (8)식으로 부터, 전류-제어 OTA의 transconductance가 바이어스 전류  $I_b$ 에 직접

비례함을 알 수 있다. 또한 bipolar OTA와는 달리, transconductance가 온도에 무관함을 알 수 있다.

#### III. 실험 결과

그림1과 그림2의 회로를 3- $\mu m$  CMOS process transistor model parameter를 사용하여 SPICE로 시뮬레이션했다. 시뮬레이션에 사용한 transistor model parameter와 각 transistor (W/L) 값을 표1과 표2에 각각 나타냈다. 전압 및 전류-제어 CMOS OTA 회로의 소신호 특성을 표3에 나타냈다. 그림3은 전압-제어 OTA를 1 M $\Omega$ 로 loading시켰을 때의 바이어스 전압에 대한 출력 전압  $v_{out}$ 의 특성을 나타낸 것이다. -3V에서 +1V의 바이어스 전압 범위에서 변환 감도는 0.75 v/V, 최대 직선 오차는 +1V에서 0.156%이다. 그림4는 전류-제어 OTA에서 입력 OTA를 5 K $\Omega$  그리고 출력 OTA를 1 M $\Omega$ 로 각각 loading시켰을 때의, 바이어스 전류에 대한 출력 전압의 특성을 나타낸 것이다. 2  $\mu A$ 에서 120  $\mu A$ 의 바이어스 전류 범위에서 변환 감도는 44.62 mv/ $\mu A$ , 최대 직선 오차는 120  $\mu A$ 에서 0.54%이다.

#### IV. 결론

전압-제어 및 전류-제어 CMOS OTA에 대해서 기술했다. 이들 회로의 transconductance는 온도에 영향을 받지 않고, 바이어스 전압 또는 전류에 직접 비례한다. 제안한 회로들을 SPICE로 시뮬레이션하여 그 동작 및 성능을 확인했다. 제안한 OTA들은 각종 전압-제어 및 전류-제어 필터, 발진기, 그리고 증폭기와 샘플-홀드 회로, 멀티플렉서 등에 적절히 응용되리라 기대된다.

#### 참고문헌

- [1] Won Sup Chung and K. Watanabe, "Active-RC-circuit synthesis for the simulation of a grounded inductor," Electron. Lett., vol. 20, pp. 610-612, July 1984
- [2] Won Sup Chung and K. Watanabe, "A linear temperature-to-frequency converter using an integrable Colpitts oscillator," IEEE Trans. Instrum. Meas., vol. IM-34, No.4, pp. 534-537, Dec. 1985
- [3] R.L. Geiger and Edgar Sanchez-Sinencio, "Active filter design using operational transconductance amplifiers: a tutorial," IEEE Circuits and Device, vol. 1, pp. 20-32, March 1985

- [4] Alan B. Grebene, " Bipolar and MOS Analog Integrated Circuit Design," pp. 380-382, (John Wiley & Sons, 1984)
- [5] M.R. Degrauwe, J. Rijmenants, E.A. Vittoz and H.J.De Man, "Adaptive biasing CMOS amplifiers, IEEE J. Solid-State Circuits, vol. SC-17, pp. 522-528, June 1982
- [6] M.R. Degrauwe and W.C.Sansen, " The current efficiency MOS transconductance amplifiers," IEEE J. Solid-State Circuits, vol. SC-19, pp. 349-359, June 1984
- [7] E.A. Vittoz, "The design of high-performance analog circuits on digital CMOS chips," IEEE J. Solid-State Circuits, vol. SC-20, pp. 657-665, June 1985
- [8] M.M. Milkovic, "Current gain high-frequency CMOS operational amplifiers." IEEE J. Solid-State Circuits, vol. SC-20, pp. 845-851, August 1985

表.1. 3- $\mu$ m CMOS process transistor model parameter.

```

.MODEL MOD1 NMOS LEVEL=2 TOX=0.38E-7 VTO=0.68337
+ KP=0.46E-4 GAMMA=0.54687 NSUB=0.14892E17 XJ=0.95
+ 603E-6 LD=0.2E-6 UCRT=0.49442E5 CGSO=2.2E-10
+ CGDO=2.2E-10 CGBO=5.5E-10 RSH=30 CJ=3.26E-4 UEXP=
+ 0.090557 U0=620.89 PHI=0.70253 VMAX=0.48573E5
+ NEFF=2 MJ=0.314 CJSW=4.1742E-10 MJSW=0.441 NFS=2.38E11
+ TPG=-1 XQC=1 JS=0.29E-5
.MODEL MOD2 PMOS LEVEL=2 TOX=0.38E-7 VTO=-0.65242
+ KP=0.27E-4 GAMMA=0.41669 NSUB=0.95876E15 XJ=0.10
+ 602E-5 LD=0.45E-6 UCRT=0.44904E5 UEXP=0.32854
+ U0=240.54 PHI=0.68446 VMAX=0.43194E5 NEFF=2 CGSO=
+ 6.5E-10 CGDO=6.5E-10 CGBO=5.5E-10 RSH=55 CJ=2.9E-4
+ MJ=0.460644 CJSW=2.4546E-10 MJSW=0.716849 NFS=1.49E11
+ TPG=1 XQC=1 JS=1.17E-05
    
```

表. 2. Mask device dimension voltage-controlled CMOS OTA

Device	Dimension
VOLTAGE-CONTROLLED CMOS OTA	W X L [ $\mu$ m]
M1, M2	150 X 10
M3, M4, M5, M6	100 X 10
M7, M8, M9, M10	300 X 10
M11, M12, M13, M14	180 X 10
M15	10 X 50

表. 3. Small signal characteristics voltage-controlled or current controlled CMOS OTA

Parameter	Measured values	
	V-C OTA	C-C OTA
DC-open circuit gain	106 dB	69dB
Unity-gain bandwidth	3 MHz	1.5 MHz
Phase margin	30	60
Slew rate	14V/ $\mu$ sec	7.1V/ $\mu$ sec
Input offset voltage	0.015mV	1.17mV
CMRR	120 dB	80 dB
DC-power dissipation	0.64 mW	3.96 mW
Load capacitor	1 PF	1 PF
Bias current		100 $\mu$ A
Bias voltage	-1.0 V	

( $V_{DD} = 5V, V_{SS} = -5V$ )

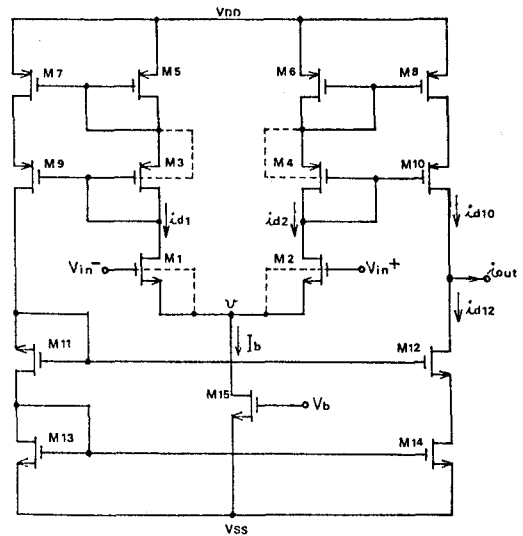


Fig.1. Circuit diagram of a voltage-controlled CMOS OTA.

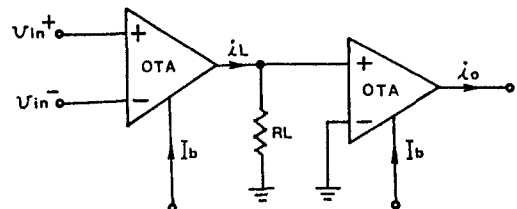


Fig.2. Block diagram of a current-controlled CMOS OTA.

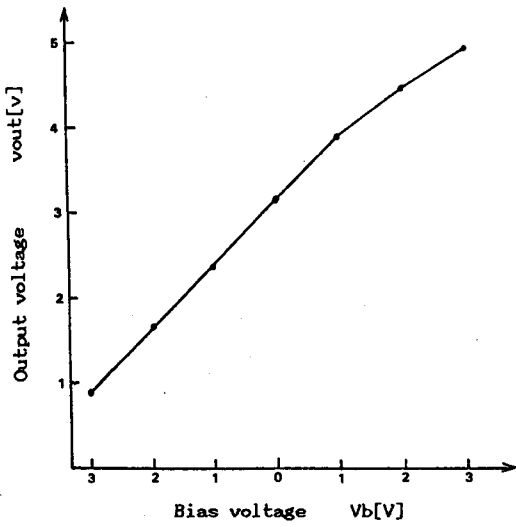


Fig.3. The output voltage versus controlled voltage obtained by simulation.

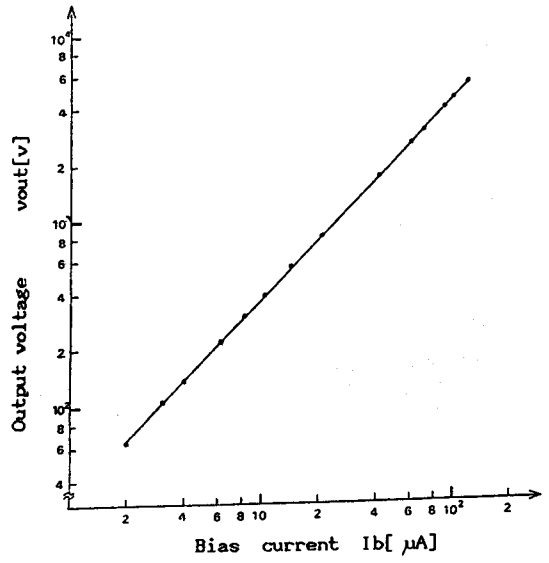


Fig.4. The output voltage versus controlled current obtained by simulation.