

급속 열처리 장치를 이용한 실리콘 산화막의 Annealing 효과

박헌우, 장헌봉, 황호정
중앙대학교 전자공학과

Effects of Annealing on Silicon Dioxide using Rapid Thermal Process System

H.W.Park H.Y.Jang H.J.Hwang
Dept. of Electronic Engineering, Chung Ang Univ.

ABSTRACT

In MOS integrated circuits, annealing after oxidation process is necessary to improve physical properties of silicon dioxide. With subsequent annealing in inert gases such as nitrogen or argon, any excess silicon bond is allowed time to complete the oxidation and surface charge density is reduced.

In this paper, we will present effects of the rapid thermal annealing on silicon dioxide.

In order to evaluate characteristics of silicon dioxide, we analyzed C-V curve dependent on annealing time and temperature, and presented variation of fixed oxide charge.

1. 서론

집적회로 제작에 있어서 실리콘 산화막은 가장 기본적인 자주 이용되는 절연체인데 그 유용도는 박막으로서의 물리적인 성질에 의존하고 MOS 집적회로에서는 gate capacitor 유전체로 사용되며 이 경우 1000 Å 이하의 얇고 양질의 산화막이 필요하게 된다.

MOS 구조에서의 열산화막은 온도, 시간등의 공정조건에 따라 oxide-semiconductor interface 에서 positive charge 가 존재하게 되며 p-type 실리콘인 경우 표면이 반전되어 그 영향이 크다.

이러한 정전하의 존재는 산화 후 남아있는 과잉 실리콘 원자 때문인데 저온에서의 경우는 산화 공정 자체가 제한되어서 O₂와 결합하기 위해 남아있는 과잉 실리콘이 많아 정전하의 값이 상당히 높다.

고온에서의 산화막 형성도 실리콘 쪽으로의 산소 확산때문에 제한을 받게 된다.

이와같은 문제의 해결을 위해 산화막 형성 후 질소, 아르곤 등의 불활성 기체 분위기에서 열처리 공정을 실행하여 과잉 실리콘 bond 를 산화시켜 줌으로써 정전하의 값을 낮추어 줄 수 있다.

본 연구에서는 위의 열처리를 위하여 기존의 전기로와 비교할때 공정시 이미 확산된 층의 재분포를 막으면서 불순물의 오염을 줄일 수 있도록 신속한 처리가 가능하고 또한 온도제어가 용이한 급속 열처리 장치를 이용하여 열처리에 따른 C-V 곡선의 이동과 정전하의 감소를 입증하고자 한다.

2. 실험

(1) 산화막 성장

반도체 소자에서의 insulating film 들은 선택적 확산과 불순물 주입을 위한 mask, microcircuit 에서 소자들을 사이의 전기적 연결을 위한 base, 또는 소자의 표면보호 등을 위해 이용되고 있는데 실리콘에서의 산화막은 가장 기본적이며 널리 이용되고 있는 것이다.

실리콘 공정에서는 열 산화물이 가장 많이 사용되는데 실리콘의 열산화 공정은 전형적으로 온도는 900 - 1000°C, 알러온 대기압에서 이루어지는 open-tube 반응이다. 실리콘의 열산화는 건조산화와 습식산화로 나뉜다. 건조산화는 열에 의한 산화막 형성공정 중에서 가장 간단한 것이며 실리콘과 산소, 두가지 종류의 원소만이 포함된다. 습식산화는 산소 gas 에 조절된 양의 수증기를 합함으로써 이루어지는데 산화막의 성장속도는 빠르지만 양질의 산화막을 얻기가 어렵다.

산화막 형성공정에 앞서 sample wafer 표면의 무기물, 유기물, 자연 산화막 등의 제거를 위한 wafer cleaning 공정이 필수적인데 본 연구에서는 다음의 과정으로 실행하였다.

- (1) D.I (deionized) water 로 wafer 를 세척한다.
- (2) H₂O₂:H₂SO₄=1:1 용액에 wafer를 넣고 끓인다.
- (3) D.I water 로 세척한다.
- (4) HNO₃:HCl =1:3 용액에 wafer를 넣고 끓인다.
- (5) D.I water 로 세척한다.
- (6) HF:H₂O =1:10 용액에 wafer를 넣고 끓인다.
- (7) D.I water 로 세척한후 질소 gas 로 건조시킨다.
- (8) 메탄올 로 세척한후 질소 gas 로 건조시킨다.
- (9) D.I water 로 세척한후 질소 gas 로 건조시킨다.

여기서 이용한 wafer 는 모두 p-type 으로 접가된 불순물 농도 Na = 1x10¹⁶[cm⁻³] 이다.

wafer 세척후 열 산화막을 형성시키기위 해 본 연구에서 실행한 산화막 형성 공정은 다음과 같다.

- (1) 전기로에 분당 약 1 liter 의 질소를 주입하면서 예열한다.
- (2) 전기로의 온도가 약 800°C 에 도달했을때 준비한 wafer 를 전기로 입구에 setting 한다.
- (3) 질소 분위기의 전기로 입구에서 약 3 분정도 wafer 를 가열한다.
- (4) wafer 를 전기로의 중심으로 밀어넣고 질소 분위기에서 온도를 1000°C 까지 높인다.
- (5) 온도 1000°C 에서 질소를 차단하고 산소를 분당 약 1.5 liter 로 주입시킨다. (산소의 순도: 99.995%)
- (6) 약 1 시간 동안 산화막을 형성 시킨다.
- (7) 산소를 차단하고 질소를 분당 약 1 liter 정도로 주입하면서 전기로가 약 800°C 정도로 식은후 아주 천천히 wafer 를 끌어낸다.

실리콘 wafer 에 형성된 산화막의 두께를 측정하는데는 ellipsometer 를 이용하였고 준비된 wafer 들은 모두 같은 조건에서 산화막 형성이 이루어졌으므로 그중 두개의 wafer 를 선택하여 한 wafer 당 세번씩 각각 다른 저점에서 측정하였는데 그 결과는 표 1 과 같다.

(2) 급속 열처리 (Rapid Thermal Annealing)

열처리는 결정내의 결함을 줄이고 주입된 불순물의 활성화와 박막의 전기적, 구조적 특성을 위해 실행된다. 기존의 furnace 열처리는 정확한 온도와 시간을 제어하기 힘들고 오랜시간동안 열처리의 경우 불순물의 실리콘 bulk 내로의 확산및 재분포 등의 어려움이 있으며 wafer boat 의 thermal mass 등으로 인하여 수십초 이내의 고속 열처리 공정은 불가능 하다.

최근에는 이러한 문제들의 개선을 위해 아르 램프, 텅스텐 - 할로겐 램프, 레이저, 전자 beam 등의 다양한 에너지 원을 사용하는 급속 열처리 장치에 대한 연구가 활발히 진행되고 있다.

급속 열처리 장치의 용도는 이온 주입시 생긴 결함을 없애고 주입된 불순물을 활성화 하는데 쓰일뿐 아니라 급속 열산화, silicide 형성, 급속 열충격 등 여러 분야에 다양하게 적용될 수 있으며 현재의 전기료가 할수 있는 대부분의 공정들을 짧은 시간내에 수행할 수 있다. 본 연구에서는 에너지 원으로서 넓은 면적을 가지고 비집속적인 광인 텅스텐 - 할로겐 램프를 사용하여 wafer 전체를 균일하게 가열함으로써 열적 충격을 감소시키면서 10 초에서 20 초 사이의 짧은 열처리 시간과 정확한 온도 제어로 불순물이 깊이 확산되는 것을 억제하였다.

또한 실리콘 wafer 가 Quartz reactor 속에서 가능한 한 열적으로 차단되도록 설계 되었으므로 wafer 에 대한 가열과 냉각이 빛의 흡수와 복사에 의해서만 이루어지고 Quartz reactor 는 빛 에너지를 흡수하는 물이 wafer 에 비하여 떨어져 열처리 공정 동안 냉각수를 지속적으로 순환시켜 전기로 에서처럼 뜨거운 quartz 벽 으로부터 야기되는 오염을 줄일 수 있다.

본 연구에서 이용한 급속 열처리 장치의 구조를 그림 1 에 나타내었고 열처리 공정 과정은 다음과 같다.

- (1) 산화막이 성장된 wafer 를 메탄올 과 D.I water 로 세척한 후 질소 gun 으로 건조시킨다.
- (2) 냉각수를 순환시키고 열처리를 질소 분위기에서 실행하기 위해 분당 350 - 400 cc 의 질소를 Quartz reactor에 주입시킨다.
- (3) 준비된 wafer 과 온도 제어용 wafer 를 setting 한다.

열처리 공정은 1000 °C, 1100 °C, 1200 °C 에서 각각 10초, 15초, 20초 동안 실행되었고 정확한 온도 및 시간의 제어를 위하여 750 °C 에서 약 3 초 동안의 초기 단계를 설정 하였다.

wafer 온도의 상승 시간은 초당 약 100 °C 이며 열처리 공정 후 온도 하강 시간은 초당 약 80 °C 이다.

열처리 공정 후 wafer 의 식는 시간을 위해 약 20 - 30 초 후 wafer 를 끌어내었다.

그림 2 는 급속 열처리를 위한 제어 온도 profile 의 예를 시간에 대해 나타낸 것이다.

(3) MOS Capacitor

본 연구에서는 산화막에 대한 급속 열처리 효과를 보기 위하여 C - V 곡선과 정전하의 변화를 구하고 C - V 곡선으로 얻을 수 있는 몇 가지 변수를 계산 하고자 한다. C - V 곡선을 구하기 위해서 산화막 형성 및 급속 열처리 공정을 거친 wafer 에 알루미늄을 진공증착 시켜 MOS Capacitor 를 만들었는데 진공증착 과정과 MOS 구조는 그림 3 과 같다.

- (1) 준비한 wafer 에 shadow mask 를 붙여 cleaning 된 진공 system 내의 holder 에 고정시키고 텅스텐 boat 에 수도 99.999 % 의 Al 을 setting 한다.
- (2) 진공 system 의 Rotary pump 와 Diffusion pump 를 이용하여 진공도가 약 10⁻⁶ Torr 정도까지 도달하게 한다.
- (3) 고진공 상태에서 boat 에 열을 가하여 Al 을 evaporation 시켜 wafer 에 증착 시킨다.
- (4) Al 증착된 wafer 를 진공상태 에서 약 400 °C 정도로 열처리 하였다.

3. 결과 및 고찰

(1) 실리콘 산화막의 경계영역 및 실리콘 - 산화막의 경계영역에 있어서 다양한 계면전하의 종류와 농도는 공정조건에 의존한다. 경계영역 에는 유동전하, 고정전하, 표면전하 등이 존재하는데 이 전하들은 양전기를 지니므로 p-type 실리콘의 경우 표면이 반전되어 그 영향이 매우 크다. 실리콘 산화막의 경계영역 조사에는 MOS Capacitor 가 유용한데 그 전형적인 구조는 그림 4 와 같고 p-type 실리콘의 경우 고주파 및 저주파 C - V 곡선의 예와 전하 profile 을 나타내었다.

그림에서 보면 gate 가 강하게 역 bias 될 때 경계영역 에는 다수 carrier 인 hole 이 축적되어 높은 전도성을 나타낸다. 결과적으로 capacitance 는 산화막의 capacitance 가 된다. 급속전극 에서의 전위가 역 bias 에서 0 으로 변하면 표면 전위가 0 이고 이때의 capacitance 가 flatband capacitance 이다. 전극 에서의 전위가 정전압으로 인가되면 p-type 실리콘의 공핍층은 최대 깊이에 이를 때까지 전압에 따라 증가되고 capacitance 는 감소하며 급속유에 정전하를 부착시키게 되어 반도체 표면에서는 대응되는 실질적인 부전하를 불러 일으키는데 이러한 부전하는 표면부근의 영역에서 hole 이 걸핍되어 생기게 된다.

공핍층 깊이가 최대가 되는 전압에서는 bulk 실리콘의 다수 carrier 인 전자가 실리콘과 산화막의 계면에 모여 반전층을 형성하여 반도체 표면에 n-type 층이 생기게 된다. 여기서 bias 전압에 부가되는 carrier 신호가 100 KHz 이면의 저주파이면 다수 carrier 가 그 전위에 응답하여 capacitance 는 산화막 capacitance 가 되고 100 KHz 이상의 고주파 일때 C - V 곡선은 반전대의 최소 capacitance 에 머물게 된다.

MOS system 에 있어서 중요한 변수중의 하나가 실리콘 - 산화막 경계영역 에 존재하는 정전하이다. 이는 산화공정 그 자체에 의해 일어나는데 산화 후에 남게 되는 dangling silicon bond 즉 과잉 실리콘 원자가 원인이 되고 산화막 두께, doping type, doping 농도 와는 무관하며 계면에서의 고정전하는 Q_f(혹은 Q_{ss}) 로 표시되고 단위는 [Coulomb/cm²] 이다.

고정전하는 산화조건 특히 마지막 산화온도와 분위기에 크게 영향을 받는데 이관계가 그림 5 로 나타내어진다.

산화공정 후의 부수적인 열처리는 과잉 실리콘 원자를 격자내에서 과잉 산소와 결합시켜 고정전하의 값을 줄여줄게 한다.

(2) Capacitance 측정 및 C - V 곡선 분석

C - V 곡선은 MOS 소자의 평가에 폭넓게 사용된다. 고주파 및 저주파 C - V 곡선 으로부터 여러가지 소자, 기판재료 및 공정에 관련된 변수들을 알아낼수 있는데 본 연구에서는 LCR meter 를 이용하여 100 KHz 에서 bias 전압을 -5 V 에서 +5 V 까지 걸어 주면서 각경우의 capacitance 를 측정하였고 여기서 구한 C - V 곡선으로 산화막에 대한 급속 열처리의 효과를 분석 하였다.

capacitance 측정상의 오류나 MOS 구조의 결함 등으로 인하여 이론과 다른 형태의 C - V 곡선은 얻게 될 수도 있는데 이를 극복하기 위하여 본 연구에서는 하나의 sample wafer 에 여러개의 MOS 구조를 구성 하였고 같은 조건으로 처리한 sample wafer 를 여러장 준비 하였으며 capacitance 측정중 여러번 반복 함으로써 가능한 최적의 C - V 곡선을 구하고자 하였다.

그림 8 은 급속 열처리 온도 1100 °C 에서 각 열처리 시간에 따라 나타난 C - V 곡선 이다. 그리고 열처리 시간이 15 초 일때의 각 열처리 온도에 대한 C - V 곡선들을 그림 7 에 나타내었다.

전체적으로 열처리에 따른 C - V 곡선의 변화를 쉽게 볼수 있는데 열처리 하기전과 실행후의 곡선의 이동이 기대 하였던것과 비교적 일치하며 본 연구에서 가장 이상적인 열처리는 1100 °C 에서 20초 동안 실행한 경우로 추정된다.

각 sample wafer 에 대한 flatband capacitance C_{fb} 와 flatband voltage V_{fb} 는 표 2 에 나타낸 것과 같은데 C_{fb} 는 참고문헌 [2] 의 "CV PLOT ANALYSIS" program 을 실행 함으로써 얻었고 이를 C - V 곡선에 적용하여 V_{fb} 를 구하였는데 여기서 V_{fb} 가 열처리에 따라 0 [V] 쪽으로 가까워짐을 알수있다.

실리콘 산화막 계면에서의 고정전하 밀도는 다음 식으로 계산된다.

$$\frac{Q_f}{\epsilon} = (-V_{fb} + \phi_{ms}) \frac{\epsilon_0 \times 10^{10}}{T_{ox} (\text{Å})}$$

T_{ox} : ellipsometer 로 측정된 산화막 두께의 평균치 (T_{ox} = 715 Å = 0.072 μm)

φ_{ms} : 급속전극과 실리콘 표면의 일함수 차이를 나타 내는데 본 연구에서의 Na = 10¹⁶ cm⁻³ 인 p-type 실리콘과 Al 의 경우 φ_{ms} = -0.9 로 주어진다.

윗 식으로 계산된 전하 밀도를 표 2 에 기록 하였고 그림 9 에 급속 열처리 조건에 따라 감소하는 고정전하 밀도의 전체적인 변화를 나타내었다. 또한 다음 식으로 문턱치 전압 V_T 를 계산할수 있으며 그 결과를 표 2 에 기록 하였다.

$$V_T = \phi_{MS} - \frac{Q_i}{C_i} - \frac{Q_d}{C_i} + \alpha \phi_F$$

$$= V_{fb} - \frac{Q_d}{C_i} + \alpha \phi_F$$

* bulk 실리콘의 fermi level ϕ_F

$$\phi_F = \frac{KT}{q} \ln \frac{N_A}{n_i}$$

전자전하: $q=1.6 \times 10^{-19}$ [C]
 실온에서의 $kT=0.0259$ [eV] (k: Boltzmann 상수)
 300°K 에서 진성 carrier 농도: $n_i = 10^{10}$ [cm⁻³]
 $N_A = 10^{15}$ [cm⁻³]

* 게핑 영역의 단위 면적당 전하 Q_d
 $Q_d = -qN_A W_m$ (W_m : 게핑 영역의 최대폭)

$$W_m = \alpha \sqrt{\frac{\epsilon_s \phi_F}{2 N_A}}$$

실리콘의 유전율: $\epsilon_s = \epsilon_{rs} \epsilon_0$
 실리콘의 비유전율: $\epsilon_{rs} = 11.8$
 자유공간에서의 유전율: $\epsilon_0 = 8.85 \times 10^{-14}$ (F/cm)

insulator의 단위 면적당의 capacitance C_i

$$C_i = \frac{C_{ox}}{S}$$

C_{ox} : LCR meter 로 측정된 최대 capacitance 의 평균치 ($C_{ox} = 2.24 \times 10^{-10}$ F)
 S : oxide 층의 면적 ($s=2.54 \times 10^{-2}$ cm²)

위의 식들에서 구한 문턱치 전압에서도 C-V 곡선으로 예상되었던 것처럼 정전압 쪽으로 이동함을 알수있다.

4. 결론

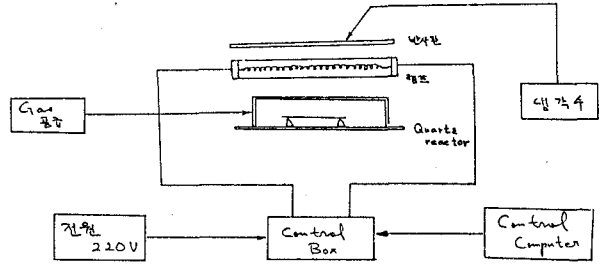
MOS 집적회로 제작에 있어서 산화막의 물리적 성질을 개선하기 위해 산화공정후의 열처리를 필요로 하게된다. 본 연구에서는 기존의 전기로 열처리보다 장점이 많은 급속 열처리 장치를 이용하여 MOS 구조에서 산화막의 특성을 분석하는데 가장 많이 쓰이고있는 C-V 곡선을 열처리 온도와 시간에 따라 제시하였다. 그 결과 열처리에 따른 C-V 곡선의 변화를 볼수 있었고 flatband 전압과 문턱치 전압이 정전압 쪽으로 이동하는것을 알수있었다. 또한 급속 열처리에 따른 고정전하의 감소도 증명 할수 있었는데 열처리 하기전과 실행후 그리고 열처리 시간과 온도에 따라 고정전하가 감소하는것이 증명되었다. 본 연구에 사용한 급속 열처리 장치는 열처리 뿐 아니라 silicide 형성, 박막 gate oxide 형성을 위한 급속 열산화 등의 분야에 응용이 가능할 것으로 기대된다.

R1 30.40 P1 91.70 A2 152.40 P2 181.90 PSI 28.98 THICK: PSI: PRD: 653 27.59 2832	R1 29.20 P1 92.50 A2 152.40 P2 183.40 PSI 28.39 THICK: PSI: PRD: 708 29.37 2832	R1 31.20 P1 92.50 A2 150.60 P2 183.00 PSI 30.29 THICK: PSI: PRD: 698 29.03 2832
R1 31.00 P1 92.90 A2 149.80 P2 183.30 PSI 30.60 THICK: PSI: PRD: 716 29.63 2832	R1 35.50 P1 94.00 A2 149.90 P2 183.50 PSI 32.74 THICK: PSI: PRD: 755 30.92 2832	R1 33.20 P1 94.20 A2 150.60 P2 183.50 PSI 31.27 THICK: PSI: PRD: 762 31.15 2832

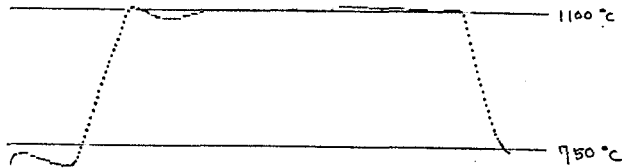
[표 1] Ellipsometer 를 이용한 산화막의 두께 측정 결과

Sample Wafer	C_{it}^* [pF]	C_{it}/C_o	V_{fb} [V]	Q_t/B [cm ⁻²]	V_T [V]	
열처리 하지 않은 Sample	170.67	0.94	-2.1	3.50×10^{11}	0.1	
온도 1000°C	10초 동안 RTA	223.83	0.94	-1.9	2.92×10^{11}	0.3
	15초 동안 RTA	187.37	0.94	-1.9	2.92×10^{11}	0.3
	20초 동안 RTA	196.85	0.93	-1.9	2.92×10^{11}	0.3
온도 1100°C	10초 동안 RTA	116.85	0.95	-1.8	2.63×10^{11}	0.4
	15초 동안 RTA	181.87	0.92	-1.3	1.17×10^{11}	0.9
	20초 동안 RTA	285.03	0.97	-1.2	0.88×10^{11}	1
온도 1200°C	10초 동안 RTA	207.17	0.95	-1.3	1.17×10^{11}	0.9
	15초 동안 RTA	316.62	0.96	-1.1	6.58×10^{11}	1.1
	20초 동안 RTA	237.03	0.95	-1.1	6.58×10^{11}	1.1

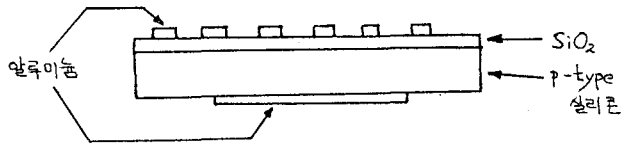
[표 2] C-V 곡선 으로부터 구할수 있는 여러가지 변수



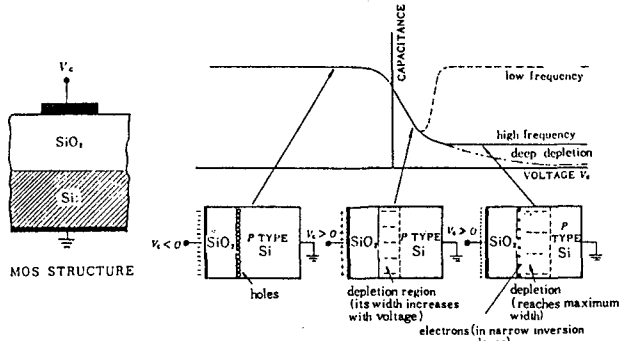
[그림 1] 급속 열처리 System



[그림 2] 급속 열처리 System 의 제어 온도 Profile
 1100°C 에서 20 초 동안의 온도 Profile

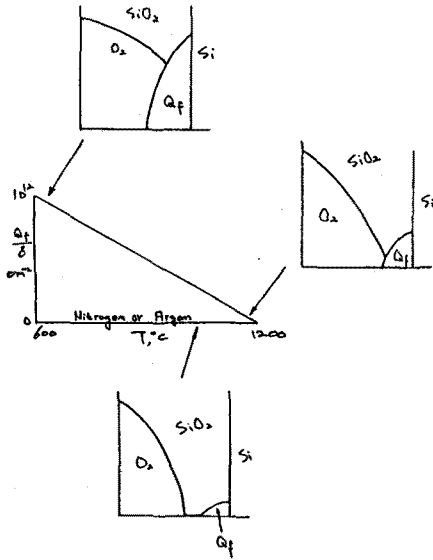


[그림 3] 제작된 MOS Capacitor 의 구조

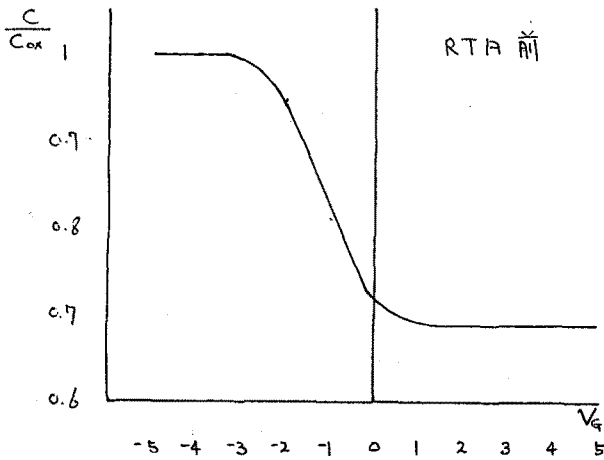


[그림 4] 일반적인 MOS 구조 및 C-V 곡선과 전하 Profile

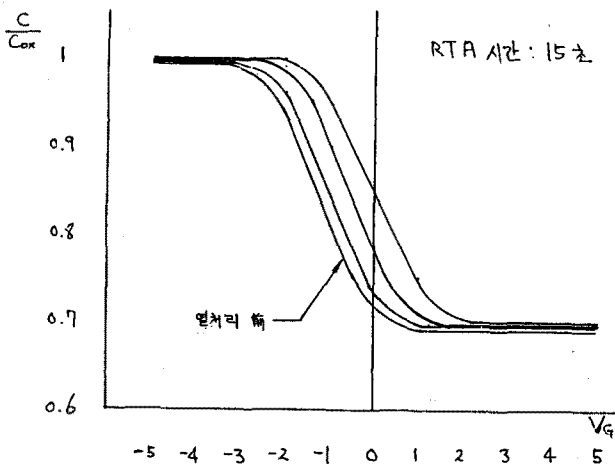
급속 열처리 장치를 이용한 실리콘 산화막의 Annealing 효과



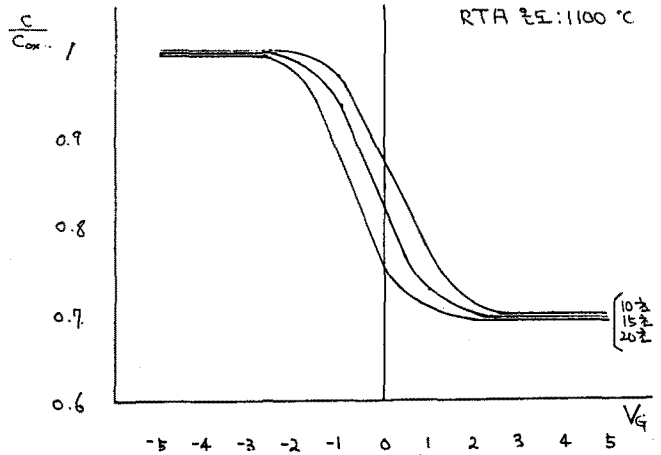
[그림 5] 산화공정의 온도와 분위기에 대한 Q_f 의 변화



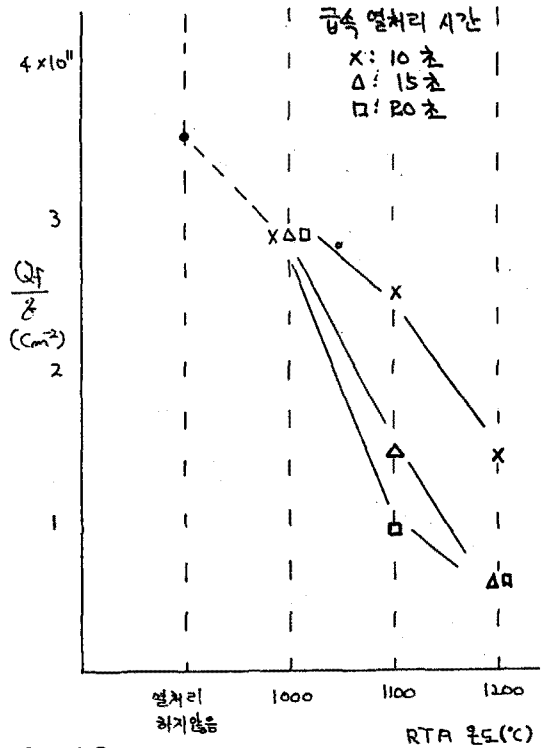
[그림 6] 열처리 하지 않은 sample 의 C-V 곡선



[그림 7] 15초 이내의 열처리에서 각 온도대 대한 C-V 곡선



[그림 8] 온도 1100°C 에서 각 열처리 시간에 대한 C-V 곡선



[그림 9] 급속 열처리 조건 과 고정전하

[REFERENCES]

- [1] DeWitt G.Ong, "Modern MOS Technology Process, Devices, & Design", McGraw-Hill, Inc.
- [2] Ben G.Streetman, "Solid State Electronic Devices 2nd edition", Prentice-Hall, Inc.
- [3] David K.Ferry, D.Ronald Fannin, "Physical Electronics", Addison-Wesley Publ.
- [4] B.R.Wilson et al, "Rapid Annealing Technology for Future VLSI", Solid State Technology, p.185, Jun. 1985.
- [5] T.O.Sedgwick, "Short Time Annealing", J.Electrochem. Soc., Vol.130, No.2, p.484, 1983.
- [6] J.Nulman, "Rapid Thermal Processing of Thin Gate Dielectrics Oxidation of Silicon", IEEE Elec. Dev. Lett., Vol. EDL-6, No.5, p.205, 1985.
- [7] 김충기, 김경태, "VLSI 제조 공정에서의 고속 열처리 장치의 응용 현황", 전기학회지, 제 36 권 제 2 호, 1987. 2.
- [8] 이종덕, "집적회로 공정 기술", 방한출판사.