

슬립현상을 최소화 하기위한 급속열처리

권경섭 이범학 황호정
 중앙대학교 전자공학과

Rapid thermal annealing to minimize Slip

KYUNG SUP KWON, BYUM HAK LEE, HO JUNG HWANG
 Dept. of Electronics Engr., Chungang University

ABSTRACT

In this paper a newly designed rapid thermal process (RTP) structure is proposed to the slip induced in silicon wafers considerably. The reflectors and a graphite radiation were used to compensate the temperature difference causing slip in silicon wafers. From our experiments it is known that slip can be removed during a rapid thermal annealing at high temperature.

에너지를 가해준다 해도 Wafer 가장자리(Edge)는 빛 복사 면적이 넓어 중심부(Center)에 비해 낮은 온도가 되어 Wafer의 반지름에 따른 온도차에 의해 슬립현상이 일어나게된다.⁵⁾ 따라서 본 논문에서는 텅스텐 할로겐 램프를 사용한 RTA 장치에서의 구조적 요인을 이용한 반사에 의하여 가열시 Wafer 자체에서 방출하는 Radiation을 온도보상의 Factor로 하여 Wafer Edge 부분의 열보상으로 슬립감소를 연구하였다.

1. 서론

최근 국내외적으로 RTA(Rapid Thermal Annealing)공정법이 연구대상이 되고 있는데 이는 공정 시간이 약 10 sec 이상인 경우 시료에서의 온도구배(Temperature Gradient)를 무시할 수 있는 "Rapid Isothermal" 이용한 열처리 공정법이다. 현재 이 Short time annealing 효과를 이용하기 위해 Pulsed Laser, Electron Beam, Graphite Heater, High Intensity Arc Lamp 및 Halogen Lamp를 사용하고 있다.²⁾ 특히 텅스텐 Halogen Lamp 사용시에는 짧은 시간(1 - 30 sec) 동안 고온으로 Wafer의 전면적을 균일하게 가열하여 양질의 열처리 효과를 얻을 수 있어 널리 사용되고 있다. 그러나 고속열증착(Rapid thermal Deposition), 고속열산화(Rapid thermal oxidation), 고속열질화(Rapid thermal nitridation), Silicide 형성 및 RTA를 이용한 1000°C 이상을 요하는 공정법의 경우 실리콘 Wafer에 균일한

2. 본론

(1) 본 RTA 장치구조

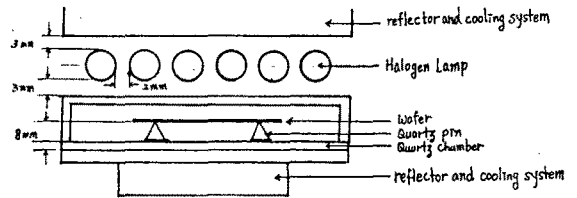


그림 1. RTA Reactor 구조

- Lamp : 6 Tungsten Halogen Lamp (1 Kw, 220V, Dia.10mm, Leng.120mm)
- Thermocouple: K-Type
- Reflector : Al, Ag, Cr, Ni, KNO₃, Graphite
- Chamber : Quartz(t=3mm)
- Lamp 간 거리: 2mm
- Gas : N₂

(2) Slip 발생

1000 °C 이상의 RTA 공정시 Wafer 에서의 Slip 을 일으키는 원인은 Wafer 의 중심부분 (Center)과 가장자리 (Edge)의 온도차에 의한 것으로 이 원인은 크게

- i) Ununiform energy flux
- ii) Radial radiation 에 있어 cooling
- iii) Heating rate/cooling rate
- iv) Chamber 내에서의 gas convection 에 의한 cooling

으로 분류할 수 있으며 이와같은 요소로 인하여 radial temperature distribution 에 의한 stress 는 다음과 같이 계산됨.

$$\sigma_{rr}(r) = \alpha E \left[\frac{1}{2a^2} \int_0^a T(r) r dr - \frac{1}{r^2} \int_0^r T(r) r dr \right]$$

$$\sigma_{\theta\theta}(r) = \alpha E \left[\frac{1}{2a^2} \int_0^a T(r) r dr + \frac{1}{r^2} \int_0^r T(r) r dr - T(r) \right]$$

$$\sigma_{r\theta}(r) = 0$$

α : Thermal expansion coefficient
 E : Young's modulus

따라서 중심에서의 nonvanishing stress components 는 $\sigma_{rr}(0) = \sigma_{\theta\theta}(0) = \alpha E \left[\frac{1}{2a^2} \int_0^a T(r) r dr - 1/2T(0) \right]$ 가 된다.

Stress 를 일으키는 주요원인이 되는 $\sigma_{\theta\theta}$ 는 $r = a$ 에서 최대의 Stress 절대값 ($\sigma_{\theta\theta}^{max}$) 에 도달됨.

Plastic 변형에 있어 최대 effective stress 는 $\approx 0.5\sigma_{\theta\theta}^{max}$ 이므로 Silicon wafer 에 있어 $\alpha = 2.33 \times 10^{-6} K^{-1}$, $E = 1.6 \times 10^{12} \text{ dyn/cm}^2$ 를 사용하여 계산된 값이 온도와 dislocation 의 함수로 계산된 yield stress $\alpha_y = 5 \times 10^6 \text{ dyn/cm}^2$ 을 초과하면 변형은 생성되는 것이다.

(3) 균일한 Energy Flux 구조를 위한 Lamp 배열

RTA 장치에서의 Wafer 에 도달되는 균일한 Energy Flux 는 Slip 을 없애는 중요한 요인의 하나이다.

따라서 직선형 Halogen Lamp 의 배열에 따른 Power density 를 고려하여 최적의 배열상태를 찾을 수 있다. (그림 2)

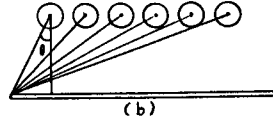
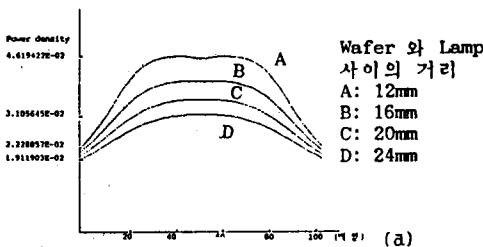


그림 2. (a) 각 Lamp 배열에 따른 Power density (b) Wafer 가 받는 텡스텐 열원의 구조

무한 Line Source 의 단위길이당 방출하는 Power 를 P, L 을 방출 Power 의 길이, 그리고 Source 로 부터 r 만큼 떨어진 원통형 표면의 단위면적당 받는 Power 를 ϕ 라 하면

$$\phi = \frac{P}{2\pi r} \quad LP = \phi \times 2\pi rL$$

Wafer 표면은 Flat 하므로 단위면적당 받는 Power는

$$\phi_s = \frac{P}{2\pi r} \cos\theta \quad (\text{그림 2b})$$

그림 2a 에서와 같이 Halogen Lamp 배열에 따라 보다 균일한 Power density 를 얻을 수 있다. 그러나 이는 Lamp 의 무한한 길이의 가정하이므로 실제 RTA 제작에 있어서는 Lamp 의 지름, 길이, Power 소비, 그리고 점점 증가되는 Wafer size 를 고려해 볼때 제작면에서 비효율적이다.

(4) 균일하게 복사되는 Wafer 표면에서의 온도 Profile

Wafer 에 heat 가 단위시간당 비율 Q 로 공급된다고 가정하면 Wafer 는 열을 radiation 에 의해 주위로 잃는다. $h \ll a$ 이므로 얇은 Plate 에 있어 두께에 의한 온도구배를 무시하면 heat flow 는

$$\bar{K} \frac{1}{r} \frac{d}{dr} (r \frac{dT}{dr}) = -Q + 2\epsilon \sigma T^4(r)$$

\bar{K} : Kh ϵ : emissivity
 K : Wafer thermal conductivity
 h : wafer 두께 σ : Stefan-Boltzman 상수

Wafer Edge 에서의 경계조건은

$$K \frac{dT}{dr} \Big|_{r=a} = -\epsilon \sigma T^4(r)$$

$T(r)$ 은 $T_0 + v(r)$ 로 가정하고 T_0 는 일정하고 $v(r)$ $\ll T_0$ 이면

$$T^4(r) = [T_0 + v(r)]^4 \approx T_0^4 + 4T_0^3 v(r)$$

$2\epsilon \sigma T_0^4 = Q$ 가 되는 T_0 를 선택하고 $v(r)$ 을 위한 선형방정식을 세우면

$$\frac{1}{K} \frac{d}{dr} \left(r \frac{dT}{dr} \right) = 8\epsilon \sigma T_0^3 v(r)$$

$$\frac{1}{r} \frac{d}{dr} \left(r \frac{dv}{dr} \right) - \frac{1}{\lambda^2} v = 0 \quad \lambda = [K / (8\epsilon \sigma T_0^3)]^{1/2}$$

온도 T_0 는 같은 복사 조건하에서의 무한정한 측면 확장의 안정상태의 온도를 나타낸다.

$v(r)$ 은 radiating boundary의 존재에 기인한 실질적 Sample에서의 T_0 부터의 온도편차를 나타낸다. $v(r)$ 을 위한 근사적 경계조건을 취하면

$$\left. \frac{dv}{dr} \right|_{r=a} = -\epsilon \sigma T_0^4 = -H_0$$

첫 조건을 갖는 해 $v(r)$ 은 modified Bessel function이다.⁶⁾

$$T(r) = T_0 + v(r) = T_0 - \frac{H_0 \lambda}{K} \frac{I_0(r/\lambda)}{I_0(a/\lambda)}$$

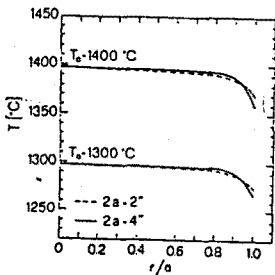


그림 3. 계산된 반지름 r에 따른 온도 Profile (2in. wafer, 4in. wafer)

이와같은 이상적 조건하에서 근사적 경계조건인 $|\sigma \epsilon T_0^4|$ 값을 보상한다면 Conductive flux의 divergence 항은 무시할 정도로 작을 것이므로 (Simulation 결과) 균일한 온도분포를 구할수 있음.

3. 실험 및 결과

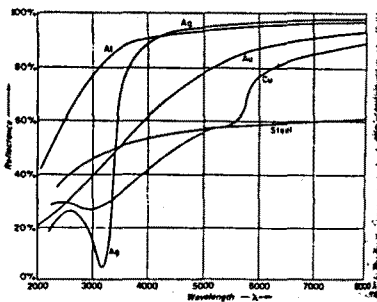


그림 4. 파장에 따른 각 material의 reflectance

reflectance의 기하학적 요인을 이용하기 위해 직접 RTA 장치를 고안하여 실험에 사용하였음. 각 Material의 reflection을 이용하여 온도보상을 하기 위하여 reflectance의 차이를 고려한다. [그림.4] 그리고 균일하게 가열되는 Wafer 표면에서의 radiation에 의한 온도 Profile을 기하학적 요인의 reflection 실험의 data로, 그리고 reflection과 Slip 수를 관찰하여 연구함. 사용된 Wafer는 2 inch <111> n-type silicon wafer이며 1300°C를 수초간 가열하여 생기는 Slip을 관찰하였음. 온도측정을 위해서는 K-type thermocouple을 가능한한 중심부분에 접촉하게 하여 온도 제어를 하였음. 또한 Slip을 관찰하기 위하여 Nikon Optiphot 현미경을 사용하였음.

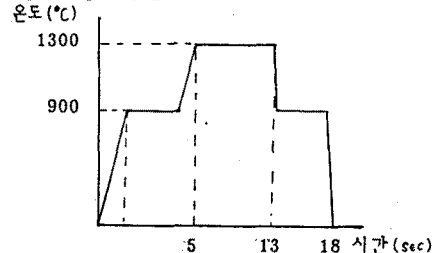


그림 5. 열처리 온도 Cycle

(1) Wafer surface의 radiation을 이용한 온도보상

Quartz 판 밑에 약 0.5mm의 얇은 여러 Material의 reflection을 이용하여 Wafer의 중심부분과 가장자리와의 reflectance의 차이로 온도보상을 하였음.

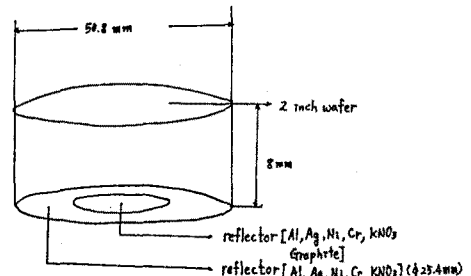


그림 6. Wafer와 reflector와의 기하학적 구조

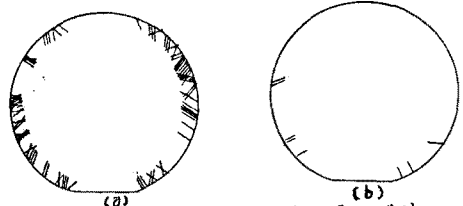


그림 10. 2in. <111> n-type Si wafer에서 확대하여 나타난 Slip 분포

Reflector (outside) Reflector (inside)	단위 (mm)				
	Ag (#50.8)	Al (#50.8)	Ni (#50.8)	Cr (#50.8)	KNO ₃ (#50.8)
Cr (#40)	60				
Ni (#40)	47	58			
Ni (#44)	32				
Ni (#48)	43	81			
KNO ₃ (#40)	26				
KNO ₃ (#44)	50				
Graphite (#24)	15				
Graphite (#26)	4				
Graphite (#28)	12				
Graphite (#30)	7				
Graphite (#36)	8				
Graphite (#40)	10		27		39

그림 7. 2in. <111> n-type si wafer 를 각 reflector 에 의해 1300 °C 8초간 가열후의 Slip 수

(2) Graphite 링을 이용한 온도보상

radial 온도 radition 에 있어서 근사적 경계조건에서의 $|σ \in T_r^*$ 의 Energy 를 보상한다면 균일한 온도 Profile 을 얻을 수 있으므로 Wafer 둘레에 Absorptivity 가 가장 큰 Black body 의 효과를 이용하기 위해 Graphite 링을 놓아 경계에서 잃는 온도를 보상하게 하였음. 또한 주위의 reflectance 도 고려하여 최대의 온도보상을 가져오게 하였음.

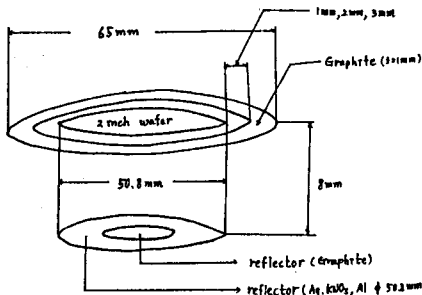


그림 8. Wafer 와 Graphite 링 사이의 기하학적 구조

	Wafer 주위에 Graphite ring 을 놓았을 경우		
	바깥 reflector (Ag #50.8) 안 reflector (Graphite#26)	바깥 reflector (KNO ₃ #50.8)	바깥 reflector (Ag #50.8)
Bt 1 mm	7	70	111
Bt 2 mm	9	43	36
Bt 3 mm	14	36	15

그림 9. Graphite 링 간격에 따른 Slip 수 (2in. <111> n-type si wafer 1300 °C 8 초간 가열)
Bt: wafer 와 Graphite 링 사이의 간격

본 실험의 결과 reflector material 의 reflectance 를 이용한 온도보상이 Wafer 전면적에 있어 온도구배를 가져오는 각 요소들의 의한 Wafer 중심 부분과 가장자리와의 온도차이를 보상할 수 있음을 보여주고 있으며, 특히 reflectance 에 의한 RTA System power 면에서 reflector 물질로 Cr, Ni 의 경우 보다 Al, Ag 를 사용할 경우 800 °C 및 1000 °C 가열시 측정된 경우에 있어 1 - 2A 의 전류가 덜 소비됨을 알수있어 그림 10(b)에서와 같이, Inside reflector 로 Graphite, Outside reflector 로 Ag 를 사용할 경우 확실적인 reflector 를 사용한 경우 보다 현저하게 줄어든 Slip 을 관찰할 수 있었다. 또한 Heating rate 와 Cooling rate 도 Slip 형성에 영향을 주고 있으며 특히 짧은 시간 동안의 열처리인 경우에서도 주위 분위기 Gas 에 의한 Convection 도 Cooling 에 영향을 주며 이 또한 온도구배를 일으키는 한 요소로 작용하여 Slip 발생에 영향을 주고 있음을 알 수 있었다.

4. 결론

1000°C 이상에서의 급속열처리의 필수과제인 Slip 의 제거를 위한, RTA 장치에서의 현실적인 온도보상의 방법은 먼저 Wafer 주위에 또다른 열원을 설치하여 보상시켜 주는 방법과, reflector 를 이용하는 방법, 그리고 열처리 효과에 영향을 주지 않는 범위에서의 Gas control 에 의한 냉각을 최대한 억제시키는 방법이 있다. 이 모든 조건을 최적의 상태로 이용할 경우, Wafer 에서의 Slip 의 완전한 제거는 가능하다. 특히 reflector 의 reflectance 의 차이를 이용한 방법은 RTA 장치를 reflectance 의 기하학적 구조를 고려하여 제작할 경우 상당한 영향을 줄것이며 점점 증가되는 Wafer size 에 적용할 경우 큰 영향을 줄것이다.

5. 참고 문헌

- 1) H.S. Carslaw and J.C. Jaeger, Heat Conduction in Solids (Oxford University, London, 1971), P.220
- 2) B.R. Wilson, et als, "Rapid annealing technology for Future VLSI", Solid State Technology, Jun, 1985, P.185
- 3) S.M. Hu, "Temperature Distribution and Stress in Circular Wafers in a Row During Radiative Cooling" J.Appl. Phys., Vol.40, No.11,1969, P.4413
- 4) T.O. Sedgwick, "Short Time Annealing", J.Electrochem. Soc. Vol.130, No.2, 1983, P.484
- 5) 조병진, 김경태, 김중기, "고속열처리장치의 시험 제작", 대한전자공학회, 1986년도 CAD.반도체.재료 및 부품연구회 합동학술발표회논문집
- 6) G.Bentini, et als, "Defects introduced in silicon wafers during rapid isothermal annealing: Thermoelastic and thermoplastic effects", J.Appl. Phys., Vol.56, No.10, 1984, P.2922