

Conductance 법에 의한 MNS Diode의  
계면상태에 관한 고찰

심 영 권 최 종 일 이 내 인

고려 대학교 전기공학과

Study on the Interface State Density of MNS Diode  
by the Conductance Method.

Yung-Kwon Sung Jong-Il Choi Nae-In Lee  
Dept. of Electrical Eng., Korea University

ABSTRACT

Conductance technique is the most accurate method and gives more detailed information about interface of the MIS structure than other methods.

With the measurement of the equivalent parallel conductance and capacitance, the characterization of Si-SiN interface is developed.

The interface state density of Si-SiN is obtained by  $8 \times 10^{11} - 6 \times 10^{12} (\text{eV}^{-1} \text{cm}^{-2})$

After the positive B-T stress is performed on the sample, the interface state density gets increased.

The interface state density is not affected by the D.C stress.

1. 서론

근래에 와서 플라즈마 CVD 에 의한 SiN막이 반도체소자의 표면보호막이나 증간절연막으로 널리 활용되기 시작하고 있으나 아직도 이에 대한 전기적 특성 및 물성분석 해석이라는 측면에서는 연구가 미미한 실정이다.

특히 각종 MIS소자에서 불안정한 동작 특성의 원인이 되는 절연막-실리콘 계면의 계면상태 밀도 및 각종 stress로 인한 계면상태 밀도의 발생기구등에 대한 연구는 실리콘 집화막을 소자의 증간절연막등에 적용하기 위하여는 필수불가결한 연구이다.

따라서 본 논문에서는 SiH<sub>4</sub>-N<sub>2</sub> 혼합가스를 이용한 플라즈마 CVD법에 의한 실리콘 집화막으로 MNS diode를 제작하여 그 계면특성을 conductance법에 의해 D.C. stress 및  $\pm$ B-T stress 에 따르는 계면상태 밀도의 변화를 실험하여 이들의 결과와 고주파 C-V측정결과와 견주어가면서 집화막내의 전하밀도를 비롯하여 계면상태의 발생기구등을 추구하고면서 그 관련성을 고찰하였다.

2. 시료의 제작 및 측정

비저항이  $3-10\Omega\text{-cm}$ 인 (100) P형 실리콘 웨이퍼를 표준세척법으로 세척한후 플라즈마 CVD를 이용하여 최적조건 (기판온도  $300^\circ\text{C}$ , Chamber 압력  $0.7 \text{ torr}$ , RF Power 200 W, SiH<sub>4</sub>/N<sub>2</sub> 유량비 1/30)하여서 두께  $1400 \text{ \AA}$  정도의 SiN막을 실리콘 웨이퍼 위에 퇴적 시켰다. 천극은 진공증착 장치로 직경 1 mm의 Al전극을 입혀 MNS 구조의 diode를 시료로 삼았다.

상술한 방법으로 제작한 시료들을 변성기 bridge 와 임피던스 bridge를 이용한 conductance측정장치를 사용하여 인가전압과 주파수를 parameter로한 conductance와 capacitance를 측정하였고 아울러 LCR meter (hp 4262A)로서 병행하여 측정하였다.

또한  $\pm$ B-T stress ( $\pm 2\text{MV/cm}$ , 200 C, 10 min) 및 D.C stress ( $\pm 2\text{MV/cm}$ ,  $\pm 3 \text{ MV/cm}$ , 1 min) 처리를 행하였다.

3. 실험결과 및 고찰

3-1. MNS Diode의 계면상태 밀도의 평가

그림 1.2는 각각 주파수를 파라미터로 MNS diode의  $G_m-V$  및  $C_m-V$ 특성의 측정결과이다.  $C_m-V$ 특성곡선은 반전층에서의 소수 캐리어 응답 특성에 따라 주파수가 감소할수록 반전층역에서 peak치에 도달하는데 이는 계면준위에서의 다수캐리어의 응답특성이 굴절상태에서 가장 민감하게 나타나는것을 다루어보아 계면준위 밀도의 크기 및 계면트랩 깊어와 깊은 관계가 있는 것으로 보인다.

이로부터 계면준위 밀도를 구하기 위해 주파수 및 인가 바이어스를 파라미터로 하여 측정된  $C_m$ ,  $G_m$ 값과 MNS구조의 등가병렬 콘덕턴스  $G_p$  및 등가병렬 용량  $C_p$ 와의 관계는 다음식으로 부터 구한다.

$$\frac{G_p}{W} = \frac{WC_{sin}^2 G_m (G_m + W^2 C_m^2)}{W^2 C_{sin} G_m^2 + [W^2 C_m (C_{sin} - C_m) - G_m^2]^2} \quad (1)$$

$$C_p = \frac{C_{sin} (G_m + W^2 C_m^2) [W^2 C_m (C_{sin} - C_m) G_m^2]}{W^2 C_{sin} G_m^2 + [W^2 C_m (C_{sin} - C_m) - G_m^2]^2} \quad (2)$$

여기서  $C_{sin}$ 은 집화막 용량,  $G_m$ 은 측정된 전체 conductance,  $C_m$ 은 측정된 전체 capacitance 이다.

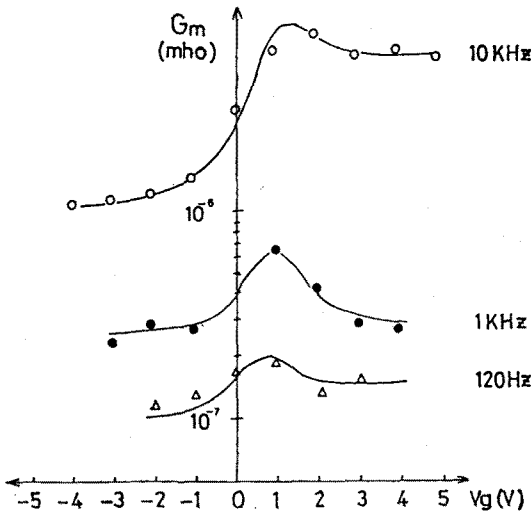


그림-1. 주파수를 파라미터로 한  $G_m-V$ 특성

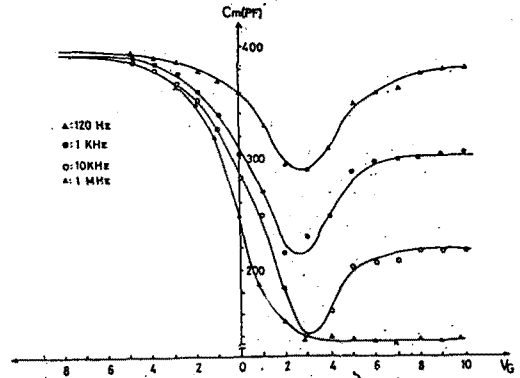


그림-2. 주파수를 파라미터로 한  $C_m-V$ 특성

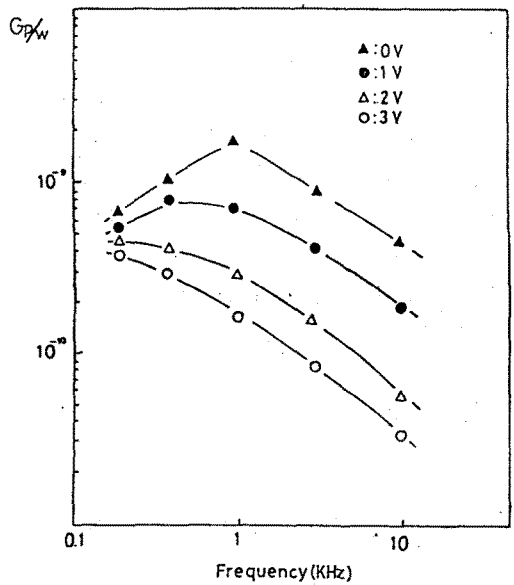


그림-3. 인가전압을 파라미터로 한  $G_p/W$ 의 주파수 특성곡선

식 (1)을 이용하여  $V_g$ 를 파라미터로한  $G_p/W$ 의 주파수의존성을 그림 3에 나타내었다. 각 인가 바이어스에서의  $G_p/W$   $V_g$ . 주파수 특성곡선에서  $G_p/W$ 의 최대치를 추출하여 식 3을 이용하여 계면상태 밀도를 계산한 결과 그림 4에 나타내었으며  $8 \times 10^{11} - 6 \times 10^{12} (eV^{-1} cm^{-2})$ 임을 알수있었다.

$$N_{ss} = \frac{2 \cdot (G_p/W)_{max} \cdot W T_m}{g \cdot \ln(1 + W^2 T_m^2)} \quad (3)$$

여기서  $q$ 는 전하량,  $N_{ss}$ 는 계면준위 밀도,  $n$ 는 각 주파수,  $m$ 은 시정수이다.

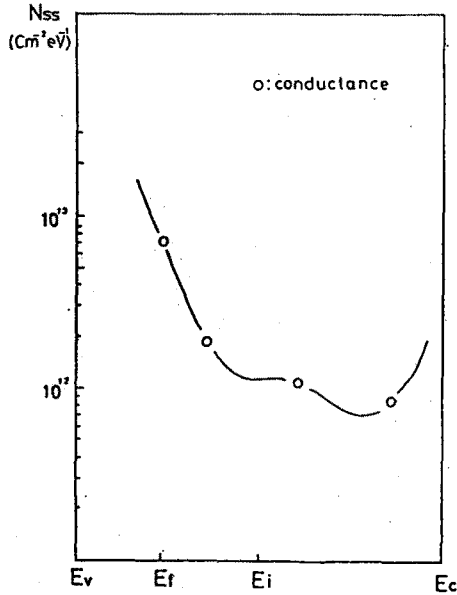


그림-4. MNS diode의 계면준위 밀도 분포

3-2. B-T Stress 효과

그림 5는  $\pm$ B-T처리전후의 conductance 및 고주파 C-V 측정결과이다. 이 측정결과로부터 conductance 분포로 구한 계면준위 밀도를 그림 6에 나타내었다. 그림으로부터 + B-T처리인 경우는 계면상태 밀도가 증가함을 알수 있으며 이는 실리콘으로부터의 고 에너지를 가진 전자가 집화막내로 주입되는 경우 집화막-실리콘 계면근처에 위치하는 비교적 약한 결합인 Si-H bond를 해리시켜 dangling bond가 증가하기 때문으로 생각한다.

-B-T처리를 한 경우 계면준위 밀도가 오히려 감소하며, 이는 고온처리에 의한 annealing 효과에 기인하는 것으로 사료된다.

다음에 이들 시료들의 계면상태 밀도의 변화와 집화막내의 전하밀도 ( $Q_{ss}$ )변화의 관련성을 추궁하기 위하여 고주파 C-V곡선으로부터 집화막내의 전하밀도를 (4)식으로 부터 구하였다.

$$Q_{ss} = (V_{fb} - \phi_{ms}) \cdot C \sin(C/cm^2) \quad (4)$$

여기서  $\phi_{ms}$ 는 금속과 실리콘간의 일함수차이다.

이로부터  $\pm$  B-T에 대해서 각각  $2.47 \times 10^{12} (cm^{-2})$ ,  $1.1 \times 10^{12} (cm^{-2})$  이었으며 + B-T의 경우 C-V곡선이

좌측으로 이동하는 것은 실리콘에서 집화막내로 주입된 고 에너지 전자에 의한 충돌전리에 의한 정전하 발생에 기인하는 것으로 사료되며 - B-T의 경우 우측으로 이동하는 것은 금속에서의 전자주입 분포가 우세하기 때문으로 사료된다.

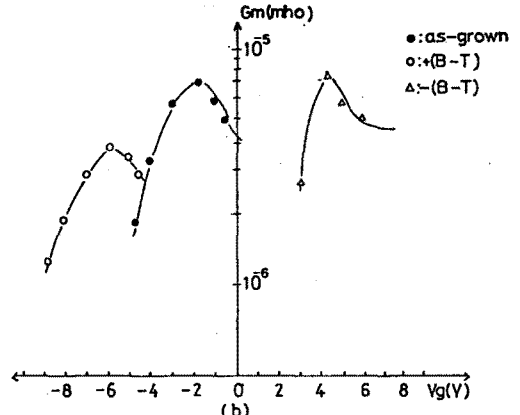
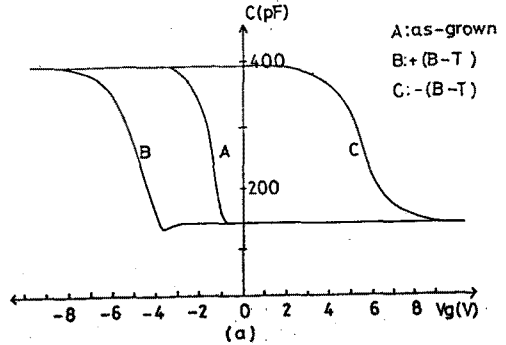


그림-5.  $\pm$ B-T처리전후의 (a)H.F. C-V 특성과 (b)  $G_m$ -V특성

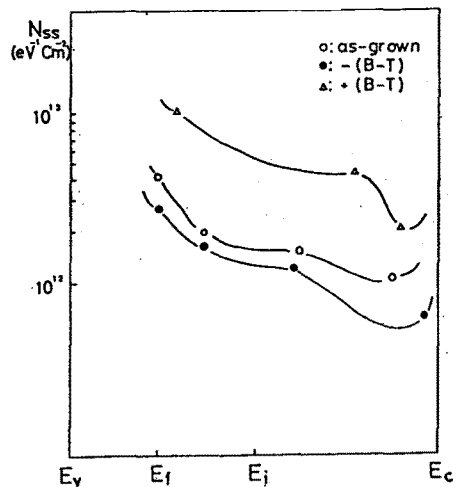


그림-6.  $\pm$ B-T처리전후의 계면준위 밀도 분포

3. D.C Stress 효과

MNS diode의 정전계 stress에 의한 계면준위 및 질화막내의 전하축적 양상의 변화를 실험하기 위해 시료에 정전계 stress ( $\pm 2$  MV/cm,  $\pm 3$  MV/cm, 1 min)을 인가한후 conductance 및 고주파 C-V특성을 측정하여 그림 7에 나타내었다.

그림 8은 정전계 stress전후의 계면상태 밀도의 변화와 질화막내의 전하밀도의 변화양상을 나타낸것으로 Si-SiN계면준위 밀도의 변화양상은  $\pm$  D.C stress의 경우 모두 거의 나타나지 않았으며 질화막내의 전하축적 효과는 전계 세기에 따라 큰 영향을 받고 있음을 알수 있었다. 이는 Si-SiN계면준위가 Si-SiO<sub>2</sub>계면준위에 비해 외부 stress에 영향을 받지 않는 비교적 안정한 특성을 지님을 알수 있었다.

보다 상세한 고찰은 당일에 보고 하였다.

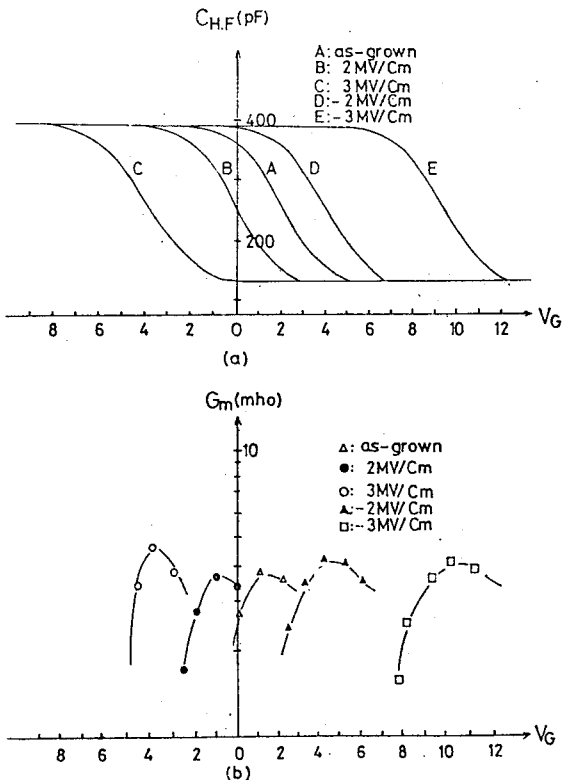


그림-7.  $\pm$ D.C Stress 전후의 (a) H.F. C-V특성과 (b)  $G_m$ -V특성

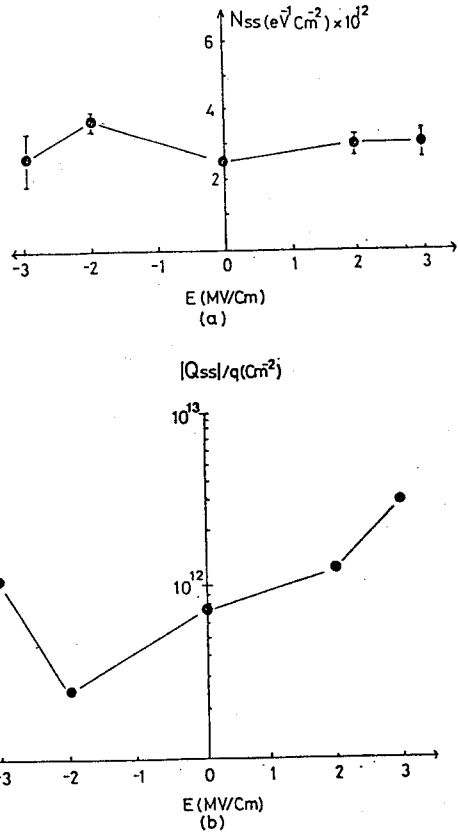


그림-8.  $\pm$ D.C Stress 전후의 (a)계면상태밀도  $N_{ss}$ 와 (b) 질화막내의 전하밀도  $Q_{ss}$ 의 변화

참 고 문 헌

- 1) R. Swan, R.Mehta, T. Cauge ; Electrochem. Soc., Vol. 114, 713.(1967)
- 2) J. Vossen, W. Kern ; "Thin film process ", Academic-Press, Chap. 2.(1978)
- 3) L.M. Terman ; Solid State Electron, Vol. 5 ,285.(1962)
- 4) E.H.Nicollian, A. Goetzberger ; Bell Sys. Tech. Journal, Vol. 46 (1967)