

SILO 구조의 제작 방법과 소자 분리 특성

최 수 한, 장 택 용, 김 병 렬
삼성반도체통신(주)

Fabrication and characterization of SILO isolation structure

Soohan Choi, Taekyong Jang, Byeongyeol Kim
Samsung Semiconductor & Telecommunications Co., Ltd.

ABSTRACT

Sealed Interface Local Oxidation (SILO) technology has been investigated using a nitride/oxide/nitride three-layered sandwich structure.

P-type silicon substrate was either nitrided by rapid thermal processing, or silicon nitride was deposited by LPCVD method. A three-layered sandwich structure was patterned either by reactive ion etch (RIE) mode or by plasma mode. Sacrificial oxidation conditions were also varied. Physical characterization such as cross-section analysis of field oxide, and electrical characterization such as gate oxide integrity, junction leakage and transistor behavior were carried out. It was found that bird's beak was nearly zero or below 0.1 μ m, and the junction leakages in plasma mode were low compared to devices of the same geometry patterned in RIE mode, and gate oxide integrity and transistor behavior were comparable. Conclusively, SILO process is compatible with conventional local oxidation process.

bird's beak이 형성되는데 집적화가 이루어짐에 따라 bird's beak이 집적화의 제한 요소로 등장하여 bird's beak reduction에 관한 많은 연구가 진행 되어 왔다. Sealed Interface Local Oxidation (SILO)소자 분리법에서는 bird's beak 축소를 목적으로 실리콘 기판위에 먼저 nitride scaling film을 형성한다. 산화막과 질화막을 계속 도포하여 nitride/oxide/nitride 삼층막 샌드위치 구조를 만들어 사용할 수도 있다.

SILO 소자분리방법은 1982년에는 J.Hui(1,2)에 의해 처음 발표된 이래, 1985년에는 P.Deroux-Danhphin(3)에 의해 SILO 구조의 물리적, 전기적 특성에 관하여, 1988년에는 M. Brassington (4)에 의해 SILO 소자분리구조를 이용한 MOSFET의 passivation시의 거동에 관하여, 각각 연구결과들이 발표되어왔다.

본 실험에서는 bird's beak의 감소경향을 파악하기 위하여 필드산화막의 size 및 shape이 측정, 관찰되었다. SILO 구조의 주 특성으로는 nitride가 실리콘 기판과 직접 접한다는 점이므로 실리콘 기판과 nitride가 직접 접할때 gate oxide의 integrity에 미치는 영향도 조사되었다. 전기적 특성을 평가하기 위하여 junction의 leakage 특성, active to active punchthrough 특성, active transistor 및 field transistor의 subthreshold 특성등이 측정, 분석되었다.

1. 서론

현재 보편적으로 가장 널리 쓰이고 있는 소자분리방법은 LOCOS법으로 두활성 영역사이에 두꺼운 산화막을 성장시켜 두 영역을 분리시킨다. 실리콘 기판위에 산화막과 실리콘 질화막의 이중막을 이용한 LOCOS 구조에서는 주로 pad oxide에 의해

2. 실험 방법

P-type (100) 실리콘 기판이 사용되었다. 두가지 다른 방법으로 nitride scaling film이 형성되었다. 첫째로는 급속열처리법 (RTN)으로 1200°C, 암모니아 플라즈마 상태에서 웨이퍼위에 약

3nm의 얇은 질화막이 성장되었다. 둘째로는 저압 기상도포법(LPCVD)으로 700°C에서 약 10nm의 질화막이 도포되었다. Nitride sealing film 형성이 완료된 다음 40nm 두께의 중간층 LPCVD 산화막이 도포되었다. 마지막으로 약 150nm 두께의 상층 LPCVD 질화막이 산화막위에 도포되었다. Nitride/Oxide/Nitride 삼층막은 플라즈마 에칭 방식으로 patterning되거나 반응성 이온 에칭 방식으로 각각 patterning 되었다. Silicon opening area에 channel stop용 보론이 2.5E13, 30keV로 이온 주입되었다. 필드 산화는 1000°C에서 실시되었으며 500/550nm의 산화막이 생성되었다.

활성 영역은 gate 산화막을 형성하기전에 회생산화 처리가 실시되었다. 회생산화 조건은 각각 i) 950°C, wet, 50nm, ii) 900°C, wet, 30nm, iii) 900°C, dry, 30nm, iv) 900°C, dry, 16nm으로 구분되어 진행되었다. 회생산화처리가 완료된 다음 24nm 두께의 gate 산화막이 900°C, dry O₂ 분위기에서 성장되었다. 계속하여 나머지 공정은 standard polysilicon gate MOS 공정으로 진행되었다.

공정처리가 완료된 웨이퍼를 절단한 다음 단면으로부터 주사전자 현미경을 사용해서 bird's beak의 크기와 모양 및 필드산화막의 profile등이 측정, 관찰되었다. 전기적 특성을 살펴보기위해 gate oxide의 I-V 특성, active to active punchthrough 전압 및 junction의 leakage current와 breakdown 전압이 측정되었다. 또한 active transistor 및 field transistor의 subthreshold 특성이 측정되었다. Gate oxide integrity는 160x160 μ m² 면적에서 negative gate bias가 가해졌을때의 gate 전류를 측정하여 비교되었다.

3. 실험결과 및 고찰

3.1. Physical characterization

Fig.1은 RTN nitride 두께가 3nm, 중간 산화막 두께가 40nm, 상층 LP nitride 두께가 150nm일 경우 1.1 μ m silicon opening size에서 490nm의 field oxide가 성장되었을때의 profile을 보여준다. Bird's beak은 거의 영에 가까웠다. Fig.2은 nitride sealing film으로 10nm 두께의 LP nitride를 성장시킨 경우 중간 산화막 두께가 40nm, 상층 LP nitride 두께가 150nm의 삼층막 구조에서 opening size가 1.1 μ m일때 530nm 두께의 field oxide가

성장되었을 때의 profile을 보여준다. Bird's beak의 크기는 0.1 μ m 미만이었다.

RTN nitride를 nitride sealing film으로 사용한 경우 nitride strip후에 active 영역에 다량의 defects가 관찰되었다. 반면 LP nitride를 nitride sealing film으로 사용한 경우 wet H₃PO₄으로 nitride film이 용이하게 제거되었으며, nitride strip후에 physical imperfections은 발견되지 않았다.

3.2. Gate oxide integrity

SILO isolation 구조에서는 nitride sealing film이 substrate silicon과 직접 접하였으므로 field oxidation 후 nitride/oxide/nitride 삼층막을 제거한 후 sacrificial oxidation 조건을 split 하였는바 active 영역에 성장된 gate oxide의 I-V 특성을 비교하였다. Fig.3은 회생산화 조건에 따른 gate oxide의 I-V 특성을 비교하여 보여준다. Fig.3으로부터 950°C, wet 분위기에서 50nm 회생산화한 경우와 900°C, dry 분위기에서 30nm 회생산화한 경우에서 두께가 24nm인 gate oxide의 leakage 특성이 다소 양호하게 나타났다.

3.3. Junction characteristics

Nitride sealing film의 두께가 10nm, 중간 산화막의 두께가 40nm, silicon nitride의 두께가 150nm인 삼층막의 patterning을 반응성이온에칭으로 patterning한 경우 junction leakage는 peri type에서 0.34nA/cm, area type에서 7.86nA/cm² 값을 각각 나타내었다. 반면 플라즈마 에칭방식으로 patterning한 경우에는 junction leakages가 peri type에서 0.002nA/cm로 반응성이온에칭방식으로 patterning한 경우에 비해 2 order 정도 낮았으며, area type에서는 0.365nA/cm²로 1 order정도 낮게 나타났다. Fig.4은 반응성이온에칭방식으로 patterning한 경우의 N+ to P-sub junction에 대한 I-V 특성으로 area type의 breakdown 전압은 13.5V, peri type의 경우는 9V이다. Fig.4에서 low reverse bias에서의 junction leakage가 크게 나타났으며, 특히 peri type leakage가 area type에 비해 low bias leakage가 컸다. Hard breakdown 전압도 peri type에서는 area type에 비해 약 4.5V low voltage쪽으로 shift되어 있다. 즉 peripheral쪽에 leakage 문제가 있는것으로 나타났다.

결과적으로 nitride/oxide/nitride 삼층막을 프라즈마에칭방식으로 patterning한 경우에는 junction leakage가 반응성이온에칭방식을 사용한 경우에 비해 상대적으로 매우 적게 나타나는 특성을 보였다. 반응성이온에칭방식으로 patterning한 경우는 scaling nitride와 접하는 edge 부위가 vertical silicon etch profile이 되며, 프라즈마에칭방식을 사용한 경우는 nonvertical isotropic profile을 갖게 된다. 따라서 반응성이온에칭방식을 사용한 경우 field edge부에 defect가 발생할 확률이 높아져 junction leakages가 상대적으로 높게 나타났으므로 보인다.

3.4. Active device characteristics

Active transistor의 transconductance 최대치와 channel width 관계로부터, channel stop용 boron의 lateral diffusion에 주로 기인하는 ΔW 는 0.2~0.3 μ m 정도임을 알았다. Channel width가 줄어들며 따라 transistor의 threshold voltage는 증가하였으며 특히 channel width가 1 μ m 이하일때 narrow width effect가 심하였다. SILO 구조를 patterning할때 반응성이온에칭방식 또는 프라즈마에칭방식에 따라서는 gm(max) 및 V_{TH} 값의 channel width에 따른 변화의 차이가 거의 없었다. Fig.5는 W/L=0.8/4인 active transistor의 gate oxide 두께가 24nm일때 subthreshold 특성을 보여준다. subthreshold slope은 -2.5V의 backbias 조건에서 82.4mV/decade로 나타났다.

3.5. Parasitic field transistor characteristics

Isolation spacing이 0.96 μ m일때 parasitic field transistor의 punchthrough 전압은 nitride sealing film의 두께가 10nm인 삼층막을 반응성이온에칭방식으로 patterning한 경우는 10.9V였으며, 프라즈마에칭방식을 사용한 경우는 10.5V로 거의 차이가 없었다. W/L=80/1.6인 field transistor의 threshold voltage는 field oxide 두께가 360nm일때 20V 이상이었으며, subthreshold slope은 -2.5V의 back bias 조건에서 333mV/decade이 었으며 kink등이 없었다. Fig.6은 W/L=80/1.6인 field transistor의 subthreshold 특성을 보여준다.

4. 결론

실리콘 기판위에 먼저 nitride sealing film을 형성함으로써 bird's beak을 0.1 μ m 이내로 줄일 수 있었다. Nitride sealing film으로 금속 열처리법에 의한 열질화막보다는 저압기상도포법에 의한 질화막이 공정처리상대면에서 우수하였다.

30~50nm의 실리콘 산화막을 900~950°C, wet 분위기에서 회생산화 처리한 경우에 gate 산화막의 breakdown 특성이 우수하게 나타났다. Nitride/Oxide/Nitride 삼층막을 프라즈마에칭방식으로 patterning한 경우에는 junction leakage가 반응성이온에칭방식을 사용한 경우에 비해 상대적으로 매우 적었다. Field transistor의 threshold voltage는 field 산화막의 두께가 360nm일때 20V 이상을 나타냈으며, subthreshold slope은 330mV/decade 값을 나타냈다. SILO 구조를 도입하여 공정처리한 active transistor의 ΔW 는 0.2~0.3 μ m 이었다. SILO 공정은 기존의 local oxidation 공정에 비견할만하다.

참 고 문 헌

- [1] J.Hui, T.Y. Chiu, S.Wong, and W.G. Oldham, "Sealed-Interface Local Oxidation Technology", IEEE Trans. Electron Device, Vol. DE-29, No.4, April 1982.
- [2] J.Hui, T.Y. Chiu, S.Wong, and W.G. Oldham, "Electrical Properties of MOS Device made with SILO technology", IEDM Tech. Digest, Dec. 1982, pp220-223
- [3] Patrice Deroux-Dauphin and J.-P. Gonchond, "Physical and Electrical characterization of a SILO Isolation Structure", IEEE Trans. Electron Devices, Vol. ED-32, NO.11, Nov, 1985
- [4] Michael P.Brassington, Read R.Razock, and Chenming Hu, "Localized Interface Trap Generation in SILO-isolated MOSFET's during PECVD Nitride Passivation", IEEE Trans. Electron Devices, Vol. ED-35, NO.1, Jan, 1988.

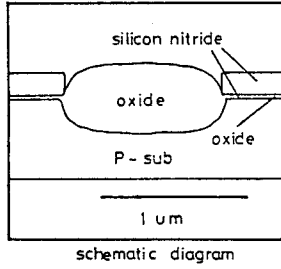


Fig.1 SEM cross-sectional micrograph after field oxidation for RTN nitride (3nm)/LP oxide (40nm)/LP nitride (150nm).

For silicon opening size ; 1.1μm, the field oxide thickness is 490nm, and bird's beak is nearly zero.

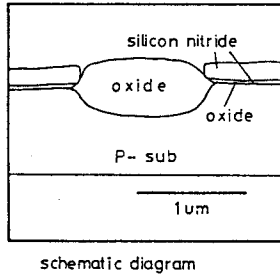


Fig.2 SEM cross-sectional micrograph after field oxidation for LP nitride (10nm)/LP oxide (40nm)/LP nitride (150nm).

For silicon opening size ; 1.1μm, the field oxide thickness is 530nm, and bird's beak is below 0.1μm.

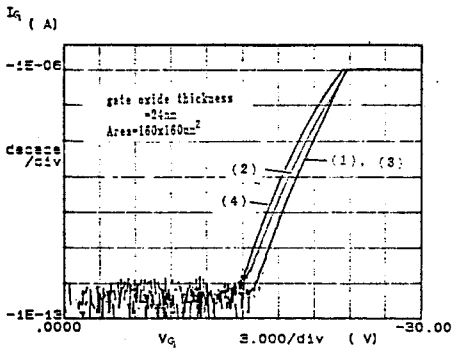


Fig.3 I-V characteristics of gate oxide according to the sacrificial oxidation condition.
 1) 950°C, wet, 50nm 2) 900°C, wet, 30nm
 3) 900°C, dry, 30nm 4) 900°C, dry, 16nm

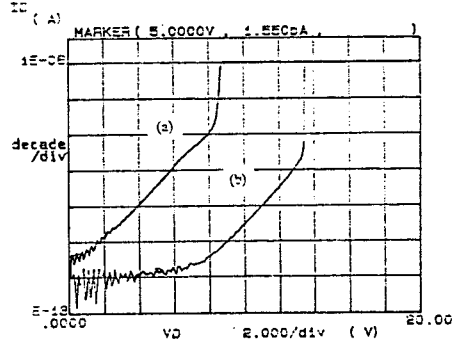


Fig.4 Junction I-V characteristics (N⁺/P-sub junction)
 a) per type (130560μm², 32968μm)
 b) area type (224000μm², 1920μm)

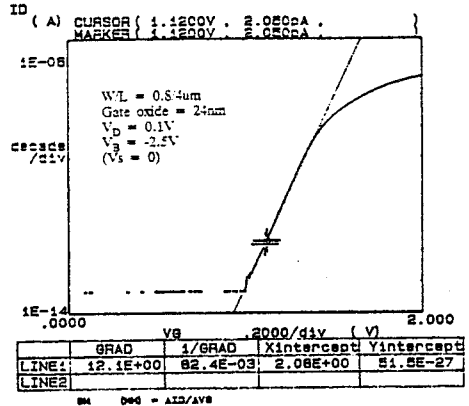


Fig.5 Subthreshold characteristics of active transistor

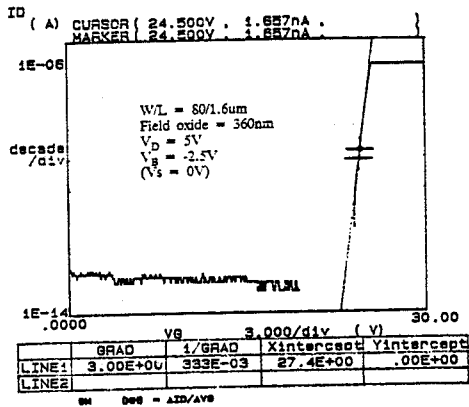


Fig.6 Subthreshold characteristics of field transistor