

## 16-ns 256K CMOS SRAM

김 병윤, 정 태성, 박 회철, 황 상기, 박 용보, 김 창래, 최 규현

삼성 반도체 통신(주)

## 16-ns 256K CMOS SRAM

B.Y. Kim, T.S. Jung, H. C. Park, S.K. Hwang, Y.B. Park, C.R. Kim, K.H. Choi

Samsung Semiconductor & Telecommunication Co., Ltd.

### Abstract

This paper describes 256K ( 256K x 1 ) CMOS SRAM utilizing 1.2um double-polysilicon and double-metal CMOS process.

A typical access time of 16ns with a 30-pF load has been achieved through the use of a block architecture, a new decoder, an unique bit-line scheme and an optimized process. Operating current is 55mA at 40MHz and 15mA at 10MHz. A high-resistive polysilicon load has been used to achieve a standby current of 3uA.

### I. 서론

최근들어 microprocessor의 성능 및 응용분야가 급격히 진전됨에 따라 고속 SRAM에 대한 요구가 강하게 증가하고 있으며 또한 super computer의 주기억 장치나 고성능 test 장비와 같은 system에서는 성능향상을 위하여 고속 SRAM이 필수적이다.

본 논문에서는 1.2um 설계규칙을 갖는 double-polysilicon double-metal CMOS 공정기술을 이용한 256K ( 256K x 1 ) SRAM의 설계기술 및 성능에 대하여 주로 서술하고자 한다.

이 기억소자는 집적도 및 대기시 전류특성을 우수하게 하기 위하여 고부하 저항 및 4-transistor로 구성된 memory cell을 사용하였으며 정상상태에서의 액세스 시간은 16ns ( load = 30pF )이며 동작전류 및 대기시 전류는 각각 55mA ( 40MHz ), 3uA 이다.

### II. Chip architecture

본 기억소자는 동작속도 및 소비전류 특성을 우수하게 하기 위하여 그림1 및 그림2 와 같이 cell array를 32 블록으로 나누었으며 하나의 블록을 256 row 와 32 column 으로 구성하였다.

이때 어드레스 입력으로 부터 word-선까지의 신호전달 시간은 액세스 시간에 큰 영향을 주게되며 이를 개선하기 위하여 Divided Word Line [1] 방식을 사용하였다. 또한 고속동작을 위하여 32개의 블록 sense amplifier를 사용하였으며 data는 4단의 sense amplifier를 거쳐서 출력된다.

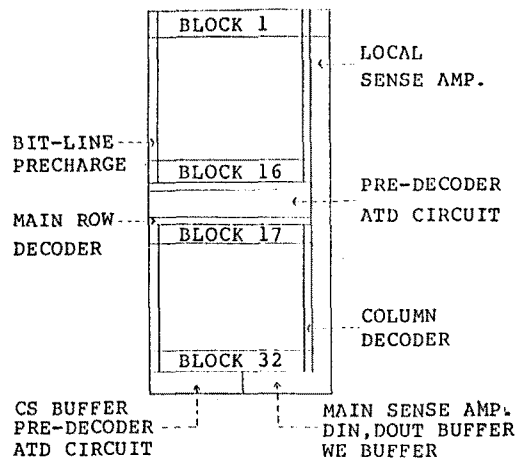


그림 2. Block diagram

Fig. 2 Block diagram of the RAM

III. 회로 설계 기술

보통 SRAM 의 동작시간은 어드레스 입력으로부터 WORD-선까지의 신호전달 시간, CELL 에 의한 BIT-선 구동시간, BIT-선 으로부터 출력까지의 신호전달 시간 으로 분류할 수 있으며 각 부분에 사용된 설계기술은 아래와 같다.

1) Decoder 회로

본 논문에서는 Decoder에 pre-decoding 방식을 사용하였으며 main-decoder에는 그림3 과 같은 새로운 형태의 decoder를 사용하였다. 이 decoder는 NOR gate의 load를 공동으로 사용하는 방식으로 predecoder를 거쳐서 나오는 d1-d4 신호의 부하가 감소되어 decoding 시간이 단축되며 또한 PMOS transistor의 갯수가 감소하여 layout 면적이 줄어드는 장점이 있다.

그림3 의 회로에서 d1-d4 신호는 data가 출력된 후 모두 high 상태가 되어 모든 word-선을 off 상태로 만들며 따라서 memory cell을 통해서 빠지는 전류를 막아주어 long-read-cycle 에서의 전력소비를 감소시킨다.

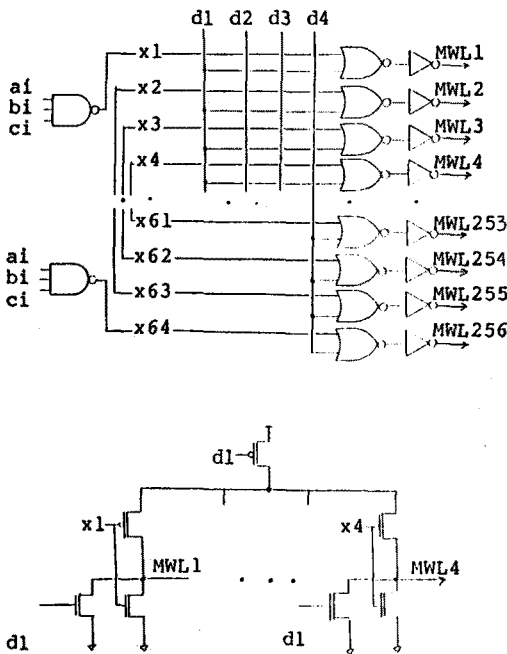


그림 3. Row decoder의 Logic 및 circuit schematic  
Fig. 3 Logic and circuit schematic of row decoder

2) Bit-선 precharge 회로

SRAM을 설계함에 있어 bit-선 precharge 회로는 매우 중요하며 그 기억소자의 특성에 큰 영향을 준다. 본 논문에서는 기본적으로 ATD ( Address Transition Detection ) 기술을 이용한 그림4 와 같은 고유한 회로를 사용하였다.

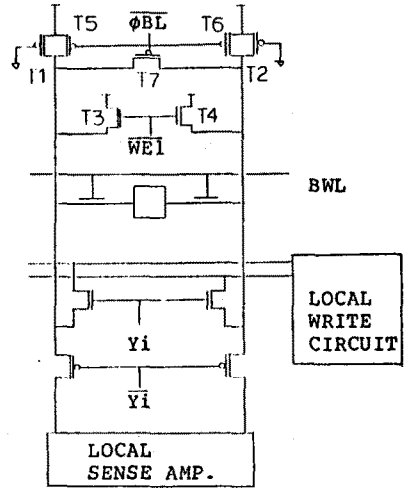


그림 4. Memory cell 과 bit-line 회로  
Fig. 4. Memory cell and bit-line circuit

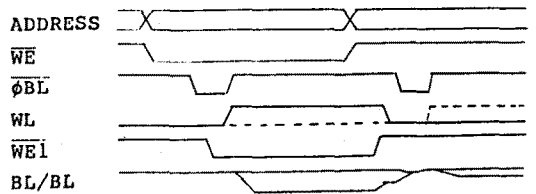


그림 5. Bit-선 신호의 timing deiagram  
Fig. 5. Timing diagram of the bit-line

이 회로는 read시 동작속도와 write 후 read cycle 에서 문제되는 잡음특성이 우수한 장점을 갖는다. 또한 이회로는 APD ( Automatic Power Down ) [2] 기술과 결합되어 cycle 시간이 긴 경우의 전력소비를 감소시켜 준다. 그림4 및 그림5 의 각 cycle 별 동작을 설명하면 아래와 같다.

Write cycle : 어드레스 입력 신호로부터 발생된 ATD pulse (  $\phi_{BL}$  )에 의한 bit-선 precharge가 끝난 후 T5, T6, T7 은 off 상태가 되어 write 동작이 고속으로 이루어 진다. 이때 T1, T2 는 on 상태이나 이들은 impedance가

매우 큰 transistor 로서 write 속도에는 거의 영향을 주지 않는다. write 시에는 보통 bit-선의 low 값이 0volt 에 가까우며 high 값은  $V_{CC}-V_t(NMOS)$  이 된다. 따라서 write 후 read cycle 에서는 precharge에 의한 잡음이 문제시 된다. 본 논문에서는 T3, T4 가 write 후 read cycle 에서  $\phi_{BL}$  신호보다 먼저 on 상태가 되도록 하였으며 이 경우 bit-선 의 low 값이  $\phi_{BL}$  신호가 동작되기 전에 일정한 level로 clamp 되므로 precharge에 의한 잡음이 줄어든다.

Read cycle : read cycle 에서  $\overline{WE1}$  신호는 high가 되며 이에따라 T3, T4 가 bit-선의 low 값을  $V_{CC}-V_t(NMOS)$  로 유지시켜 줌으로써 연속적인 read 속도를 빠르게 해주며 기억소자의 안정적인 동작을 보장해 준다. 한편, bit-선의 precharge 전압은 VCC 이므로 bit-선이 sense amplifier가 감지할 수 있는 전압 차로 분리되는 동안은 T3, T4 는 off 상태이므로 bit-선 분리 속도를 최대한 빠르게 해준다.

3) sense amplifier

memory cell에 의해 분리된 bit/ $\overline{bit}$  신호는 미약 하며 따라서 sense amplifier 를 통하여 증폭된다. 본 논문에서는 고속동작을 위하여 32개의 불럭 sense amplifier 를 사용하였으며 data는 4단의 current mirror 형 sense amplifier를 거쳐서 증폭된다. 이와같이 여러단의 amplifier를 사용하는 경우 잡음동에 의한 sense amplifier의 오동작 ( data flip ) 이 문제시되며 본 논문에서는 이 문제를 해결하기 위하여 4단의 sense amplifier를 순차적으로 동작시켰다.

고속동작을 위하여 sense amplifier를 여러개 사용하는 경우 sense amplifier 로 흐르는 DC current 는 매우 커진다. 본 논문에서는 data가 출력된 후 모든 sense amplifier를 disable 시킴으로써 sense amplifier에 의한 소비 전류를 감소시켰다.

IV. 공정 기술

본 기억소자는 1.2um 설계 규칙을 갖는 double-polysilicon double-metal CMOS 공정기술을 이용하여 제작되었다. 고속동작을 위하여 transistor의 gate 및 interconnection polysilicon은 polycide로 구성되었으며 transistor의 gate 길이는 1.2um(NMOS), 1.4um(PMOS) 이고 gate 산화막의 두께는 250 Å 이다.

Hot carrier에 의한 신뢰성 문제를 최소화하기 위하여 modified LDD ( Lightly Doped Drain ) 구조를 NMOS transistor에 적용하였다.

V. 소자 특성

전술한 설계기술 및 공정기술을 통하여 출력단의 부하가 30pF 인 경우 정상상태(  $V_{CC}=5V$ , room temperature )에서의 동작속도가 16ns 인 256 K SRAM을 제작하였다. 그림6 은 인가 전압(VCC)에 따른 소자의 어드레스 액세스 시간을 보여주고 있다.

그림7 은 cycle 시간에 따른 소자의 소비 전류로써 40MHz 동작시 55mA 이며 10MHz 동작시 15 mA 으로 감소되는 것을 보여준다.

대기시 전류는 memory cell 내부의 고저항 부하를 통한 전류가 3uA 으로 battery에 의한 data retention이 가능하다.

본 소자는 24pin 300mil DIP package에 내장되었으며 중요한 특성은 table1 에 요약된 바와 같다.

감사의 글

Test program 개발 및 소자 특성분석을 도와 주신 test 개발팀 김 창식, 이 자희, 김 현주씨께 감사드리며 또한, 소자 제작을 맡아 주신 여러 분들께 감사드립니다.

REFERENCES

- [1] Yoshimoto, M., et. al. " A 64Kb full CMOS RAM with Divided Word Line structure", ISSCC DIGEST OF TECHNICAL PAPERS, p. 58-59; Feb., 1983.
- [2] Isobe, M., et. al. " A 46ns 256K CMOS RAM ", ISSCC DIGEST OF TECHNICAL PAPERS, p. 214-215; Feb., 1984.

VIII/VIL = 2.2/0.8 volt  
PATTERN = March

VCC (V)

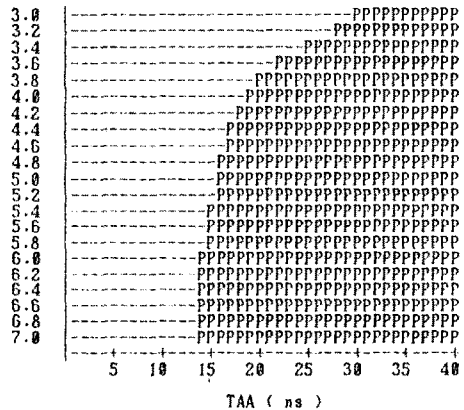


그림 6. 인가 전압(VCC)에 따른 어드레스 액세스 시간(TAA)  
Fig. 6 Address access time (TAA) versus VCC

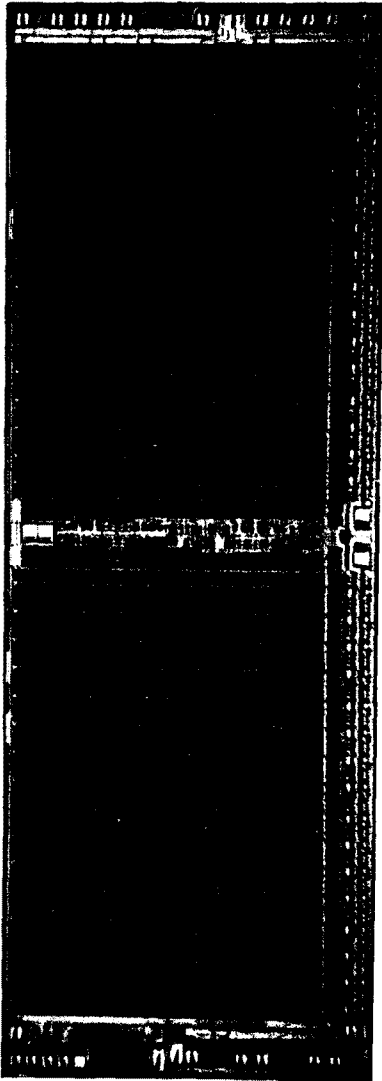


그림 1. Chip 사진  
Fig. 1. Microphotograph of chip

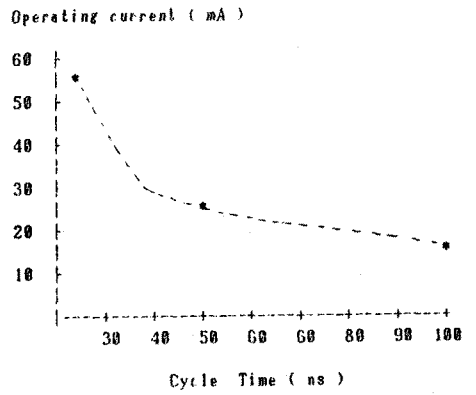


그림 7. Cycle 시간에 따른 동작 전류  
Fig. 7. Operating current versus cycle time

Organization	256K X 1
Chip size	4392 X 12636 $\mu\text{m}^2$
Cell size	8.4 X 14.2 $\mu\text{m}^2$
Access time	16ns
Operating current	55mA @40MHz 15mA @10MHz
Standby current	3 $\mu\text{A}$

표1. 소자 특성  
Table 1. Typical characteristics