

전류모드 CMOS에 의한 다치논리회로의 설계

성 현 경 강 성 수 김 흥 수
 인 하 대 학 교 전 자 공 학 과

Design of Multivalued Logic Circuits using Current Mode CMOS

Hyeon Kyeong Seong Sung Su Kang Heung Soo Kim
 Dept. of Electronics Inha University

ABSTRACT

This paper realizes the multi-output truncated difference circuits using current mode CMOS, and presents the algorithm designing multi-valued logic functions of a given multivalued truth tables. This algorithm divides the discrete valued functions and the interval functions, and transforms them into the truncated difference functions. The transformed functions are realized by current mode CMOS.

The technique presented here is applied to MOD4 addition circuit and GF(4) multiplication circuit.

1. 서 론

다치논리회로는 2진회로에 비하여 동일정보량을 처리하는데 상호연결의 복잡성이 감소하고 단위 면적당 높은 함수기능 및 고밀도 실현이 가능한 장점이 있고 고속연산, 메모리, 통신 및 화상처리 등에 응용되고 있다.[1-3] 이러한 이유 때문에 지난 수십년 동안 다치논리설계에 관한 많은 논문이 발표되어 왔다.

최근 다치논리회로는 전압모드의 논리소자보다는 신호의 가,감이 용이한 전류모드의 논리소자를 이용하여 회로를 설계하고 있으며 전류모드형의 논리소자는 ECL, I²L, CMOS 등이 사용되고 있다. 이들 소자 중 CMOS는 저잡음, 저소비전력 및 집적도가 높고, VLSI/ULSI화 설계에 적합하므로 전류모드형 다치논리회로에 많이 이용되고 있다.[1-3]

S.P. Onneweer 와 H.G. Kerckhoff는 전류모드 CMOS high-radix 회로를 설계하였고[4], T. Yamakawa는 하이브리드 모드에서 CMOS 다치논리회로를 보였다.[5] 또한 A.D. Sigh는 NMOS VLSI 4차 interface 회로를 설계하였다.[6]

본 논문에서는 다출력 절단차분회로를 전류모드 CMOS로 실현하였고, 주어진 다치 진리치표를 이산치

함수와 interval 함수로 분류한 후 절단차분식으로 변환하여 전류모드 CMOS를 이용하여 다치논리회로를 실현하는 방법을 제시 하였다.

2. 다치논리 스위칭 algebra 와 전류모드 CMOS의 기본 개념

본 논문에서 사용하는 다치논리함수 스위칭 algebra의 수학적 배경과 전류모드 CMOS의 기본회로는 다음과 같다.

(1) 수학적 배경[1-3]

1) Closed interval;

$$x^{[a,b]} = N-1 \quad \text{if } a \leq x \leq b$$

$$= 0 \quad \text{if otherwise}$$

2) Semi interval;

$$x^{[a]} = N-1 \quad \text{if } a \leq x$$

$$= 0 \quad \text{if otherwise}$$

3) Complement;

$$\bar{x} = (N-1)-x$$

4) $x \cdot y = \text{MIN}(x, y)$

5) $x + y = \text{MAX}(x, y)$

6) $x \otimes y = \text{MODSUM}(x, y)$

$$= (x+y) \bmod N$$

여기서 $a, b, x, y \in \{0, 1, \dots, N-1\}$

(2) 전류모드 CMOS의 기본회로[3]

1) 전류 스위치

전류 스위치는 그림 1과 같다. K는 K단위 전류원을 나타내며 이 전류 스위치는 다음 함수를 실현한다.

$$y = K \cdot x^{[0]} \dots \dots \dots (1)$$

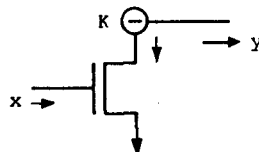


그림 1. 전류 스위치
 Fig.1. Current switch

2) 전류 미러회로

전류 미러회로는 그림 2와 같이 구성되며 (a)는 정(+)의 전류 미러회로이고 (b)는 부(-)의 전류 미러회로이다.

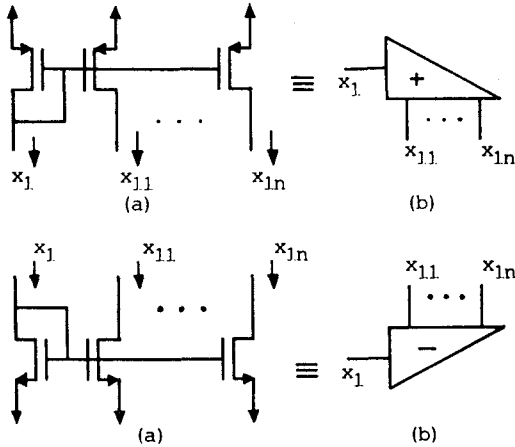


그림 2. 전류 미러회로

- (a) 정의 전류 미러회로
- (b) 부의 전류 미러회로

Fig.2. Current mirror circuit

- (a) Positive current mirror circuit
- (b) Negative current mirror circuit

3. 전류모드 CMOS에 의한 다치논리함수의 설계

(1) 절단차분회로의 설계

1) 단일출력 절단차분회로

CMOS에 의한 단일 출력 절단차분회로는 그림 3(a)와 같으며 (b)는 이 회로를 나타내는 기호이다. 그림 3의 N지 절단차분회로의 함수 실행은

$$y = K \boxplus x = K - x \quad \text{if } K > x \quad \dots (2)$$

$$= 0 \quad \text{if otherwise}$$

로 정의된다. 여기서 $K \in \{1, 2, \dots, N-1\}$ 이고 " \boxplus "는 절단차분 연산자이다.

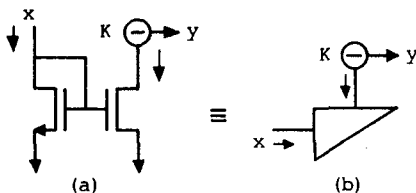


그림 3. 절단차분회로

Fig.3. Truncated difference circuit

2) 다출력 절단차분회로

CMOS에 의한 다출력 절단차분회로를 구성하면 그림 4(a)와 같고 (b)는 이 회로의 기호를 나타낸다. 그림 4의 N지 m출력 절단차분회로의 함수 실행은

$$y_i = K_i \boxplus x = K_i - x \quad \text{if } K_i > x \quad \dots (3)$$

$$= 0 \quad \text{if otherwise}$$

로 정의된다. 여기서 $i=1, 2, \dots, m$ 이고 $K_i \in \{1, 2, 3, \dots, N-1\}$ 이다.

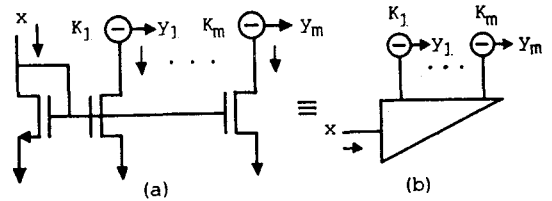


그림 4. 다출력 절단차분회로

Fig. 4. Multi-output truncated difference circuit

(2) CMOS 다치논리함수의 설계방법

임의로 주어진 다치 진리치표에서 다치논리함수를 설계하는 알고리즘은 다음과 같다.

순서1) 주어진 진리치표에 대하여 원소값을 이산치의 함수와 interval의 함수로 분류한다.

순서2) 이산치 함수는 원소값이 증가 또는 감소하는 가를 분류한다.

- 1) 원소값이 증가하면 최대치에 대하여 절단차분식을 구한다.
- 2) 원소값이 감소하면 1)의 절단차분식의 결과치에 대하여 부(-)가 되도록 한다.

순서3) 순서2)에서 구한 진리치표를 주어진 진리치표에서 차분을 구한다. 차분이 부(-)의 원소값을 가지면서 이산치를 가지면 순서2)를 반복하고 차분이 일정한 원소값을 가지면 순서4)를 행한다. 그리고 차분이 0이면 순서를 마친다.

순서4) interval의 함수이면 다음과 같이 절단차분식으로 만든다. 예로서 $f = K \cdot x^{[a]}$ 의 N지 단일변수 절단차분식을 만드는 방법은 다음과 같다.

- 1) $K \cdot x^{[a]}$ 와 $K \cdot x^{[b]}$ 로 분류한다.
- 2) $K \cdot x^{[a]}$ 를 $K \cdot (ax)$ 로 하고 $K \cdot x^{[b]}$ 를 $K \cdot x^{[b]}$ 로 한 후 두식을 더한다.
- 3) 합성한 두함수를 원소값 K에 대하여 절단차분식으로 한다. 즉,

$$f = K \boxplus [K \cdot (ax) + K \cdot x^{[b]}] \quad \dots (4)$$

이 된다.

순서5) 순서4)에서 구한 진리치표를 전의 진리치표에서 차분을 구한다. 만약 원소값이 이산치이면 순서2)를 행하고 차분이 0이 될때까지 순서를 계속한다.

순서6) 위의 순서에서 구성한 함수를 앞에서 정의한 CMOS 회로를 사용하여 다치논리함수를 설계한다.

4. 적용 예

3장에서 논한 다치논리함수 설계알고리즘을 이용하여 2변수 4치 modulo 가산회로와 GF(4)의 승산회로를 실현하면 다음과 같다.

(1) 2변수 4치 mod4의 가산회로

표 1(a)는 2변수 4치 mod4 가산 진리치표로서 회로실현 방법은 다음과 같다.

1) 진리치표의 원소값이 이산치를 가지고 증가형이므로 함수 f_1 은

$$f_1 = 6 \square [(3 \square x) + (3 \square y)] \dots\dots\dots(5)$$

이 되며 식 5의 진리치표는 표 1(b)와 같다.

2) 표 1(a)에서 표 1(b)의 차분진리치표는 표 1(c)와 같다.

3) 표 1(c)의 차분진리치표는 원소값이 일정한 interval을 구성하므로 함수 f_2 는

$$f_2 = 4 \cdot (x+y)^{[5]} \dots\dots\dots(6)$$

이다.

표 1. MOD4의 가산진리치표
Table 1. Addition truth table of MOD4

y \ x	0	1	2	3
0	0	1	2	3
1	1	2	3	0
2	2	3	0	1
3	3	0	1	2

(a)

y \ x	0	1	2	3
0	0	1	2	3
1	1	2	3	4
2	2	3	4	5
3	3	4	5	6

(b)

y \ x	0	1	2	3
0	0	0	0	0
1	0	0	0	4
2	0	0	4	4
3	0	4	4	4

(c)

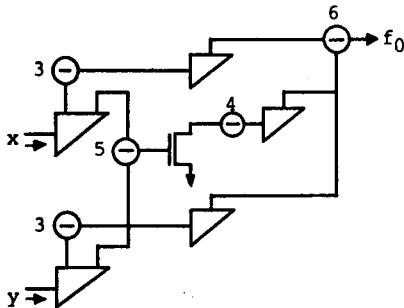


그림 5. MOD4 가산회로의 실현
Fig.5. Realization of MOD4 addition circuit

4) 표 1(a)의 함수 f_0 는

$$f_0 = f_1 - f_2 = 6 \square [(3 \square x) + (3 \square y) + 4 \cdot (x+y)^{[5]}] \dots\dots(7)$$

이다. 그러므로 식 7을 CMOS로 회로실현하면 그림 5와 같다.

(2) GF(4)의 승산회로

표 2(a)는 GF(4)의 승산 진리치표로서 회로실현 방법은 다음과 같다.

1) 진리치표의 원소값이 이산치를 가지고 증가형이므로 함수 f_1 은

$$f_1 = 5 \square [6 \square (x+y)] \dots\dots\dots(8)$$

가 된다. 그러나 승산회로에서는 x 또는 y가 0이면 출력은 항상 0이므로 전류원 1을 갖는 전류 스위치가 반드시 필요하다. 그러므로 전류 스위치 함수 $(x^{[1]} \cdot y^{[1]})$ 을 이용하여 함수 f_1 을 구하면

$$f_1 = 5 \cdot (x^{[1]} \cdot y^{[1]}) \square [6 \square (x+y)] \dots\dots(9)$$

되며 식 9의 진리치표는 표 2(b)와 같다.

2) 표 2(a)에서 표 2(b)의 차분진리치표는 표 2(c)와 같다.

3) 표 2(c)의 차분진리치표는 원소값이 일정한 interval을 구성하므로 함수 f_2 는

$$f_2 = 3 \cdot (x+y)^{[5]} \dots\dots\dots(10)$$

이다.

4) 표 2(a)의 함수 f_0 는

$$f_0 = f_1 - f_2 = 5 \cdot (x^{[1]} \cdot y^{[1]}) \square [6 \square (x+y) + 3 \cdot (x+y)^{[5]}] \dots\dots(11)$$

이다. 그러므로 식 11을 CMOS로 회로실현하면 그림 6과 같다.

표 2. GF(4)의 승산진리치표
Table 2. Multiplication truth table of GF(4)

y \ x	0	1	2	3
0	0	0	0	0
1	0	1	2	3
2	0	2	3	1
3	0	3	1	2

(a)

y \ x	0	1	2	3
0	0	0	0	0
1	0	1	2	3
2	0	2	3	4
3	0	3	4	5

(b)

y \ x	0	1	2	3
0	0	0	0	0
1	0	0	0	0
2	0	0	0	3
3	0	0	3	3

(c)

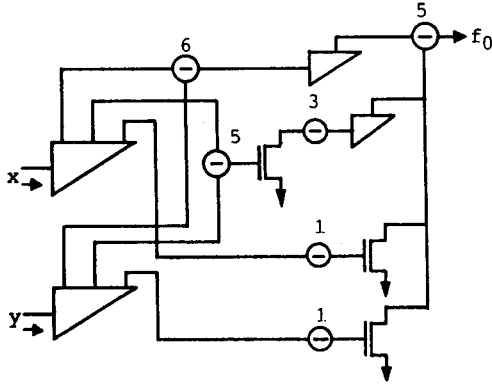


그림 6. GF(4) 승산회로의 실현
Fig.6. Realization of GF(4) multiplication

5. 결 론

본 논문에서는 다출력 절단차분회로를 전류모드 CMOS로 실현하였고 임의로 주어진 다치진리치표에서 다치논리함수를 설계하는 알고리즘을 제시하였다. 이 알고리즘은 진리치표를 이산치의 함수와 interval의 함수로 분류한 후 절단차분식으로 표현함으로써 효과적인 집적회로의 설계 이용성을 갖는 전류모드 CMOS를 이용하여 다치논리회로를 실현하였다.

전압모드회로는 2이상인 radix에서는 더 복잡한 반면 전류모드회로는 다치논리신호처리에 자연적이다. 그러나 전류모드 CMOS 다치논리회로는 전류흐름에서 발생하는 전력소비뿐만 아니라 정밀도와 스위칭속도가 문제 되므로 앞으로 이에 대한 많은 연구가 필요하다.

또한 최근 VLSI/ULSI 기술발달로 인하여 소자의 수보다는 설계절차 개발이 더 중요한 문제가 되리라 생각된다. 더우기 많은 독립변수를 갖는 함수를 효과적으로 설계하기 위한 알고리즘을 연구개발하는 문제가 여전히 남아있다.

References

1. K.C.Smith, "The prospects for multivalued logic; a technology and application view," IEEE Trans. Comput., Vol. C-30, pp.619-634, Sept. 1981.
2. S.L. Hurst, "Multiple-valued logic - its status and its future," IEEE Trans. Comput., Vol. C-33 pp.1160-1170, Dec. 1984.
3. K.C. Smith, "Multiple - valued logic; a tutorial and applicaion," IEEE Comput., pp.17-27, April 1987.
4. S.P. Onneweer and H.G. Kerkhoff, "Current - mode CMOS high - radix circuits," Proc. 1985 ISMVL, pp.60-69, May 1986.
5. T.Yamakawa, "CMOS multivalued circuits in hybrid mode," Proc. 1985 ISMVL, pp.144-151, May 1985.
6. A.D. Sigh, "Four - valued interface circuits for NMOS VLSI," Proc. 1986 ISMVL, pp.224-231, May 1986.
7. M.Davio and J.P.Deschamps, "Synthesis of discrete functions using I L technology," IEEE Trans. Comput., Vol. C-30, pp.653-661, Sept. 1981.