

DRAM을 사용한 고해상도 화상 메모리의 설계

박 건 작

창원 기능 대학

The Design of High Resolution Video Memory using DRAMs

Kun-Jahk Park

Chang-Won Industrial Master's College

Abstract

The most space-consuming element of digital image processing system is the video memory. Though this problem is solved by DRAMs, timing constraints posed by video data rates.

The cycle time of DRAMs can be diminished by serial transferring and reading or writing pixel data at the same time.

This paper presents the design of 1024x512 video memory using this technique.

서 론

화상 메모리는 SRAM 또는 DRAM을 사용하여 구성할 수 있다. 그러나 전자는 사이클 시간이 빠르고 회로 구성이 간단한 이점이 있으나 집적도의 한계성과 소비 전류가 크다는 단점이 있다. 반면 후자는 고집적이 가능하고 전력 소모가 적지만 사이클 시간이 전자보다 느리고 그 구동 회로가 복잡한 단점이 있다. 따라서 단점이 보완된다면 대용량의 고해상도 화상 메모리에 DRAM을 사용하는 것은 필연적이다. 구동 회로의 복잡성 문제는 최근 많이 등장한 DRAM 컨트롤러를 이용하면 해결되므로 사이클 시간이 문제이다. 이 문제는 DRAM을 여러 개 묶어서 입,출력 레지를 거쳐 화소 클럭에 따라 데이터를 직렬 전송하면 해결될 수 있다. 화상 메모리에서 하나의 어드레스는 화소(pixel) 하나에 대응된다. 따라서 네 개 또는 여덟 개의 화소를 화소 클럭에 맞춰 레지시킨 뒤 이들을 동시에 DRAM에 기억시키고 다시 레지를 통해 직렬로 액세스한다면 read 또는 write 사이클은 등가적으로 1/4 또는 1/8로 줄어든다. 최근 화상 처리용으로 256 x 256 또는 512 x 512 화상이 많이 이용되고 있지만 고해상도의 경우에 1024 x 512 또는 1024 x 1024 화상이 요구되므로 본 논문에서는 상기 개념에 입각한 1024 x 512 DRAM 화상 메모리의 설계에 대해서는 논한다.

2. 고해상도 화상

최근, 수년 동안 CCIR, ATSC등에서 고화질 TV의 방식

에 대해서 논의될 거듭해왔으나[1] ID(Improved Definition)TV와 ED(Enhanced Definition)TV로 좁혀진 느낌이지만[2] 일본에서는 EDTV 방식으로 1989년 부터 방송 실시를 준비중이다. [3] 또한 일본의 NHK에서는 HD(High Definition) TV 방식으로 1990년에 위성방송을 계획하고 있다. [1]

EDTV 방식의 개요를 살펴 보면 현 NTSC방식과 양립성을 갖고 있으며 현재의 수신기로도 수신이 가능하다.

NTSC방식과 주사선수, 필드 주파수, 화면의 종횡비등은 같지만 수직 해상도를 개선하기 위해 논 인터레이스(non-interlace) 방식을 채용하고 있으므로 수평 주사 주파수를 31.5 KHz로 2배 늘렸으며 휘도 신호 주파수도 7 MHz로 거의 2배 가량 높아졌다. 한편 고해상도를 위한 스튜디오용 고품위 TV에서의 주사선수는 종래의 525 라인에서 1125라인으로, 수평 주사 주파수가 33.75 KHz로, 휘도 신호 주파수가 20MHz로 대폭 증가된다.

고해상도를 실현하기 위해서는 디스플레이 장치에서의 밀발침이 이뤄져야함은 물론이다. 현재 사용되고 있는 CRT는 형광체의 피치가 최소 0.21(mm), 수평 표시 도트수가 1050 까지 있지만 그이상의 미세한 것도 개발되고 있다. 따라서 화상 처리에서의 고해상도 화상은 위에서 언급한 TV방식과 CRT의 성능을 토대로 해서 실현될 수 밖에 없다. 일반적으로 고해상도 화상은 1024(화소) x 525(라인) 이상을 말하며 현재 1024(화소) x 1024(라인)의 화상 처리 시스템이 개발되어 실용화되고 있다. [5]

3. 화상 메모리의 설계

DRAM을 사용한 화상 메모리에서 가장 큰 제한 요소는 액세스 시간이다. 따라서 TV의 주사 방식과 주사선수의 관점에서 화소 시간(pixel time)을 계산해 보자.

필드 주파수가 60 Hz, 논 인터레이스 주사이고, 525라인으로 주사한다면 필드당 1/60(s)=16.67(ms)가 된다.

DRAM을 사용한 고해상도 화상 메모리의 설계

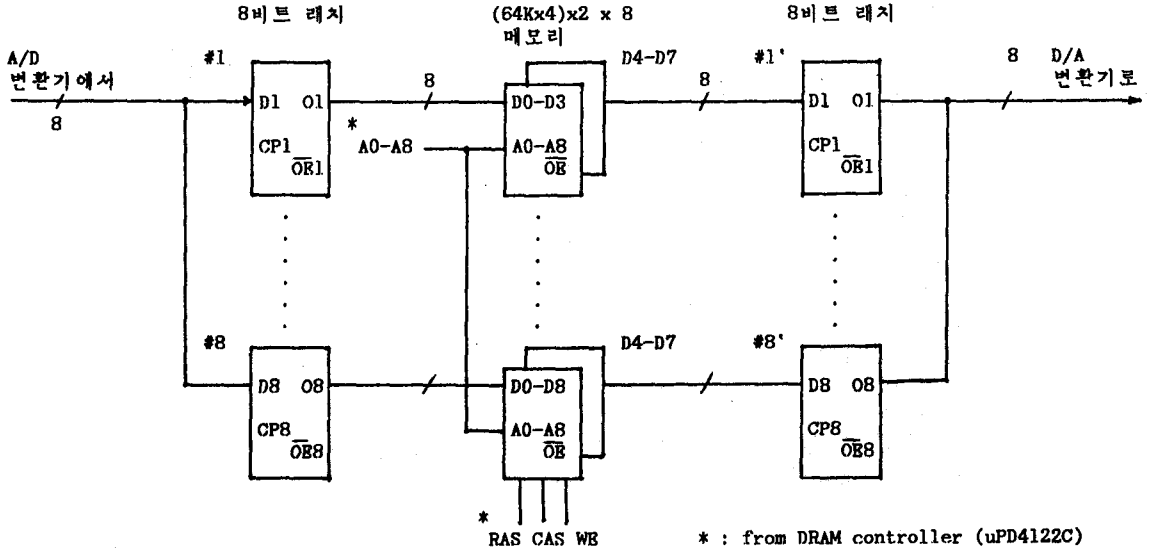


그림 1. 1024 x 512 화상 메모리의 구성도

따라서 라인당 주사시간은  $16.67(\text{ms}) / 525 = 31.75(\text{us})$ 이므로 1024(화소) x 512(라인)의 화상 메모리에서의 화소 시간은  $31.75(\text{us}) / 1024 = 31(\text{ns})$ 가 된다. 그러므로 하나의 화소를 기입(write) 또는 판독(read)하는데 사용되는 메모리의 read/write cycle은 31(ns) 이하가 되어야 한다.

그러나 DRAM의 read/write cycle 값은 일반적으로 200 - 300(ns)이므로 그대로 사용할 수가 없다.

그림 1에서 8개의 입력 래치에 주기가 31(ns) 즉 주파수가 32.26(MHz)인 화소 클럭에 의해 순차적으로 8개의 화소 데이터를 래치시킨 뒤 write cycle에서 동시에 write한다면 메모리측에서 볼 때 같은 read/write cycle에 8개의 화소를 액세스하므로 read/write cycle은 1/8로 줄어든다. 반면 출력 래치에서의 동작은 병렬로 래치된 8개의 화소 데이터가 read cycle에서 화소 클럭에 따라 순차적으로 read되어 다음 단의 D/A 변환기로 입력된다. 그림 1과 같은 메모리의 구성을 위해서는 x4비트의 DRAM을 이용하는 것이 편리하므로 64K x 4비트의 KM41464를 사용한다.

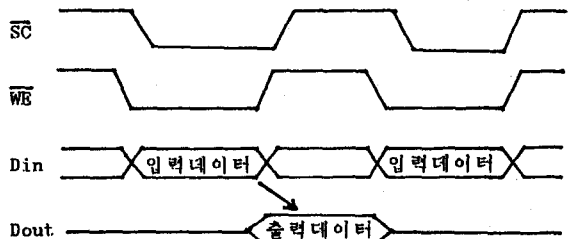
표 1은 KM41464A의 각종 cycle 시간을 나타내고 있다.

표 1 KM41464A의 사이클 시간(ns)

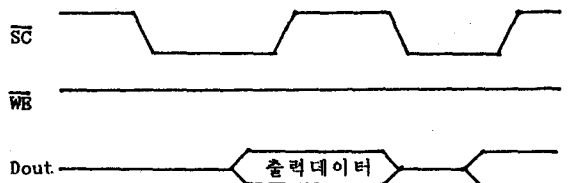
사이클 시간	41464A-12	41464A-15
RAS access time	120	150
read, write time	220 -	260 -
page mode time	120	145

표 1에서 액세스 시간은  $\overline{\text{RAS}}$  access time을 말하며, read/write cycle은 그림 2와 같이 화소 데이터를 read 또는 write하는 데 요구되는 시간을 말한다.  $\overline{\text{SC}}$  클럭의 하강 에지에서 그림 1의 입력과 출력 래치로부터 화소 데이터 그룹이 메모리 그룹에 입력 또는 출력된다.

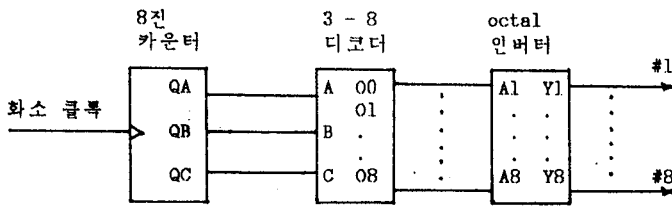
따라서 표 1에서 메모리 설계상 고려해야 할 시간은 read/write cycle이다. KM41464A-12를 사용하는 경우에 read/write cycle은 220(ns)이다. 8개의 화소 데이터들이 시간에 처리하므로  $220(\text{ns}) / 8 = 27.5(\text{ns})$ 가 되어 화소 시간 31(ns)를 만족한다.



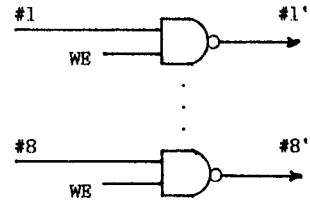
(a) write cycle



(b) read cycle



(a) 입력 serial 클럭 구동 회로



(b) 출력 serial 클럭 구동 회로

그림 3. 입·출력 래지 구동 회로

그림 1의 메모리 구성을 보면 64K x 4비트를 2개 병렬로 연결하여 64K 바이트가 되고 이들이 다시 8개이므로 모두 512K 바이트의 메모리 용량이 된다. 1024(화소) x 512(라인)의 화상 메모리는 화소의 양자화 비트를 8비트로 한다면 총 1024 x 512 x 8비트 즉 512K 바이트가 필요하므로 x 8 비트 메모리 하나에 1개의 화소가 대응되면 그림 1의 메모리 구성은 1024 x 512 화상 메모리의 조건을 만족한다.

다음에 입·출력 래지의 구동 회로에 대해서 생각해 보기로 한다. A/D 변환기로부터 입력한 화소 데이터는 화소 클럭에 따라 순차적으로 8비트 입력 지에 래지시키고자 그림 3(a)의 3-8 디코더 출력 #1...#8을 그림 1의 입력 래지 클럭 CP1...CP8에 연결해 준다. 그림 2(a)의 write cycle을 보면  $\overline{WB}$ 가 "L"이 되고  $\overline{SC}$  (DRAM 컨트롤러의 serial control clock)의 하강 에지에서 래지에 저장된 데이터가 메모리에 write되므로 입력 래지의  $\overline{OE}$  단자에 이들 신호를 AND로 취해 연결해 주면 된다. 이때 그림 2(a)에 나타난 바와 같이 입력된 데이터는 동일 액세스 시간에 Dout으로 출력된다. 그림 2(b)에서와 같이  $\overline{WB}$ 가 "H"이고  $\overline{SC}$ 가 하강할 때 read된다. 그림 3(b)의 출력 신호를 출력 래지의  $\overline{OE}1... \overline{OE}8$ 에 연결해 주면 출력 데이터는 순차적으로 D/A 변환기로 보내어진다.  $\overline{RAS}, \overline{CAS}, \overline{WE}$  신호와 A0-A8신호는 DRAM 컨트롤러 uPD4122C를 이용하면 간단히 해결될 수 있다.

4. 결 론

지금까지 언급한 화상메모리의 설계는 read/write cycle 모드이지만 표1에서와 같이 page 모드를 사용하는 경우에 액세스 시간이 1/2로 줄일 수 있으므로 [4] 화소 묶음을 8개에서 4개로 줄일 수 있다. 다시 말해서 그대로 8개의 화소를 묶어서 처리하는 방법으로 page 모드를 사용하면 동일 액세스시간을 갖는 DRAM을 사용하더라도 15.5 (ns)

의 화소 시간이 가능하다. 즉 1024 x 1024 화상 메모리 구성이 가능하다는 결론이다. 입·출력 래지에 74F374, 8진 카운터에 74F169, 3-8 디코더에 74F138, 인버터와 게이트에 74F240, 74F00을 사용하면 되지만 이들의 지연 시간이 2(ns) 급이므로 화상 메모리의 용량이 커질 수록 화소시간에 대한 지장이 없게끔 가능하면 고속용을 선택하고, 총 직렬 지연시간이 짧도록 관련회로를 설계할 필요가 있다. 앞으로 대응량의 화상 메모리는 DRAM으로 구성되어질 것이 확실하며 지금까지의 설계 개념을 도입한 화상메모리가 하나의 칩으로 개발되고 있다. [6]

참 고 문 헌

1. NIKKEI ELECTRONICS, no.403, pp127-137, sep. 1986.
2. 羽鳥光俊, テレビジョン 學會誌, vol.40, No.5, pp350-352, 1986.
3. NIKKEI ELECTRONICS, no.436, pp149, dec. 1987.
4. 木下健治, 畫像處理 시스템의 基礎 と 設計 · 製作, CQ 出版社, pp39, 1984.
5. 又カトコニクス編集部 編, 畫像處理, 技術調査會, pp19, 1987.
6. NIKKEI ELECTRONICS, no.431, pp115-122, oct. 1987.