

동기 안정도 개선을 위한 동기 시스템 장치화의 제안

임 정 석, 엄 흥 열, 장 대 익, 이 만 영
한양 대학교

Proposal of Framing System Realization for Synchronization Stability Improvement

Joung Suk Lim Heung Yeol Yeom Chang Dae Ig Man Young Rhee
Hanyang University

Abstract: The purpose of this paper is to propose a simple firmware realization of PCM framing system, which exploits LSI memories for performance improvement and hardware simplification. The proposed system simply consists of a tapped delay line for simultaneous observation of m framing-bits and ROM programmed sequence controller for framing process. Performance analyses are made in terms of misframe interval, sync-loss-detection time and reframe time. The proposed strategy proved to be significantly better in reframe time, stability and hardware implementation.

1. 서론

PCM FRAME SYNCHRONIZATION(간단히 PCM FRAMING)이란 다중화된 신호상에서 특정한 패턴의 동기어(SYNCHRONIZATION WORD)를 찾아 내는 과정을 말한다. 이러한 기능은 송신시 정보비트 사이에 일정 간격마다 특정 패턴의 프레임비트(FRAME BIT)를 삽입하고, 수신단에서는 수신되는 프레임비트마다 알고 있는 프레임 패턴과 비교함으로써 수행된다.

프레임 시스템의 성능은 동기가 상실된 경우 재동기를 하는데 소요되는 시간과 채널상에서의 오류 발생 유무에 관계없이 동기를 유지할 수 있는 능력에 의해 평가된다. 이러한 성능의 개선을 위하여 기존 전송 시스템과의 호환성을 고려, 기존의 프레임 포맷을 변경시키지 않은 새로운 동기 방식을 점차로 제안하고 있다.

본 논문에서 제시한 D/3 PCM 신호의 동기 방식은 m 개의 프레임 펄스를 하나의 부호어(CODE WORD)로 간주, 동기 기능을 수행한다. 이런 동기 방식에 응용이 매우 다양한 ROM과 RAM같은 LSI 소자의 성능 및 가격의 잇점을 이용하면, 하드웨어의 단순화 및 성능의 향상을 기대할 수 있음을 보였다.

2. 시스템 구조

(1) 기존의 D3동기 시스템

D3/PCM 신호는 그림 1. 과 같은 포맷으로 24 채널을 전송 한다. 한 프레임은 WORD INTERLEAVE 시킨 192비트의 음성신호와 1비트의 프레임비트로 구성되고, 한 프레임의 비트 수는 총 193(=24*8+1)비트이다. 12개의 프레임이 하나의 멀티프레임을 구성 하는 경우, 동기 패턴은 100011011100 이다. 기존의 D3동기 시스템에서는, 먼저 마스터 프레임의 동기를 수행한 다음, 이들 마스터 프레임 사이에 있는 멀티 프레임 패턴을 검색한다. 이러한 2단계 동기 과정에서는 마스터 프레임의 패턴을 검색하는데 대부분의 시간이 소요된다. T1시스템은 재동기에 소요 되는 시간을 50ms로 규정하고 있다. 위의 2단계 동기 방식을 채택하면, 재동기 시간이 약 43ms로 비교적 만족할만 하지만 음성 신호가 아닌 데이터의 전송시, 재동기 시간의 지연으로 인한 데이터 손실을 방지하기 위하여 재동기 시간을 극소화하는 것이 바람직하다.

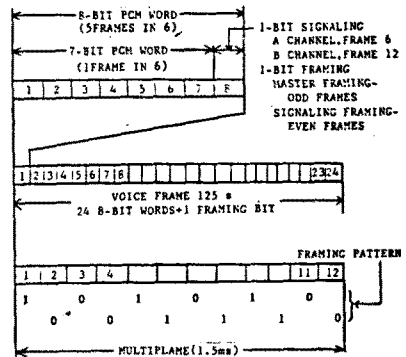


그림 1 D3 format PCM signal frame structure.

(2) 제안된 동기 시스템

기존의 2단계 동기 방식과는 달리 TAP의 인터벌이 프레임 길이와 같은 TAPPED DELAY LINE

을 사용하여 동기 패턴을 하나의 부호어로 간주 마스터 및 슬레이브 프레임의 동기를 한 과정으로 설정할 수 있는 새로운 동기 방식을 제안한다.

이러한 동기 시스템은 PS(THE PARALLEL M-BIT DATA SIGNAL)를 출력하는 DELAY LINE과 시스템의 모든 동작 기능을 제어하는 SEQUENCE CONTROLLER로서 장치화될 수 있다. SEQUENCE CONTROLLER는 동작 알고리즘을 프로그램한 ROM CHIP과 D-FLIP-FLOP으로 구성된다. (그림.2 참고) ROM의 두 출력 M_1, M_2 는 시스템의 상태를 규정하며 그림.3은 시스템 내부 상태간의 전이 과정을 보인 것이다.

시스템이 IN-FRAME-MODE 상태에서 동작할 때 SEQUENCE CONTROLLER는 PS와 FP(FRAME PATTERN)를 때 필터프레임(1.5ms)마다 한번씩 비교한다. 이때 시스템은 부호 오류로 인한 동기 상실과 실제의 동기 상실을 구분하게 되는데, 시스템의 안정된 동작을 위하여 허용 에러수(n)를 설정한다. 만일 PS가 여러 허용치를 초과한 경우 시스템은 S_0 상태에서 S_1 상태로 전이하게 되며, 또한 S_1 상태에서 다시 여러 허용치를 초과하는 경우 S_2 상태로 전이한다. 이때 시스템은 OUT-OF-FRAME-상태를 규정하며, 재동기 과정을 수행한다.

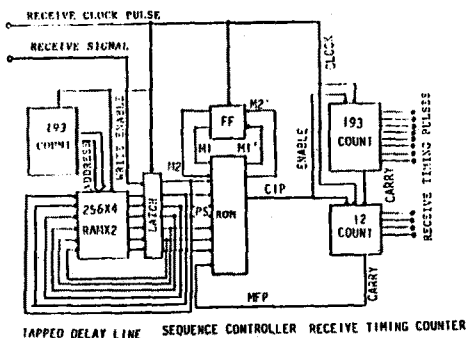


그림.2 제안된 동기 시스템의 장치화 블록도

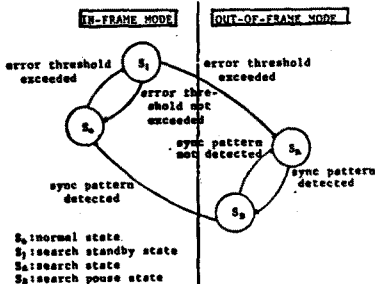


그림.3 동기 시스템의 상태 전이도

OUT-OF-FRAME MODE에서 동작하는 경우, SEQUENCE CONTROLLER는 곧 CIP(COUNT-INHIBIT-PULSE)로서 RECEIVE-TIMING-COUNTER를 DISABLE시켜 RECE-

IVED SIGNAL과 RECEIVE-TIMING-COUNTER간의 상호 위상을 한 비트씩 치환하게 된다. 이러한 치환은 올바른 프레임 패턴이 검출될 때까지 계속 진행되며, 이 동안에 MFP(MULTIFRAME PERIOD TIMING PULSE)는 HIGH상태를 유지한다. 재동기 시간을 단축하기 위하여 재동기 과정에서는 여러 허용치를 설정하지 않는다. 위의 치환 과정을 통하여 올바른 프레임 패턴이 검출된 경우, S_0 상태로 전이함과 동시에 SEQUENCE CONTROLLER는 CIP의 전송을 중지하여 RECEIVE-TIMING-COUNTER의 재작동을 시작하게 하고, 이후 한 필터프레임 후에 다시 올바른 프레임 패턴이 검출된 경우에만 S_0 상태로 전이한다. 이것은 첫번째의 패턴 검출이 정보 비트에 의한 오동기의 발생을 초래하는 것을 방지하는 역할을 한다. 따라서 연속 2번의 패턴검출이 되지 않는 경우에는 S_0 상태로 전이하며 위에 기술한 과정을 반복하게 된다. 그림.4.는 ROM의 프로그램에 대한 흐름도를 보인 것이다.

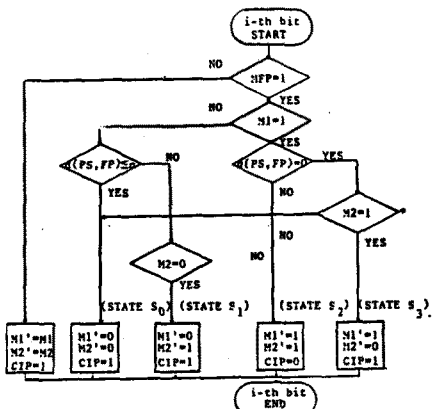


그림.4 동기 알고리즘의 흐름도

3. 성능 분석

(1) In-Frame-Mode의 성능 분석

In-Frame-Mode 상태에서 시스템은 부호 오류로 인한 잘못된 탐색 상태로의 전이 및 실제로 동기 상실로 인하여 탐색 상태로 전이하는 두 경우가 있다. 전자를 Misframe Interval, 후자를 Sync-Loss-Detection Time이라 정의하고 동기회로의 성능을 평가하는 요소가 된다.

Misframe Intervals: misframe interval은 Signal-Flow-Graph를 이용하여 계산할 수 있다. 그림5.는 S_0 상태에서 S_2 상태로의 전이 과정을 보인 것이다. 이로부터 전달 함수는 다음과 같다.

$$P_{20}(z) = \frac{P_2}{1 - (1 - P_2)(1 + P_2 z^{-1})^n} \quad \text{식.1}$$

윗 식에서 P_2 는 부호 오류 P_0 인 채널을 통하여 전송되는 m비트 프레임 패턴 상에 발생한 오류가 임계치 n을 초과할 확률이다. 따라서

평균 Misframe Interval T_{mf} 는 식.2와 같다.

$$T_{mf} = Q'_m(1) = \frac{1 + P_0 - P_0^2}{P_0^2} \cdot L \quad \text{식.2}$$

여기서 P는 식.3과 같다

$$P = 1 - \sum_{k=0}^m \binom{m}{k} P_0^k \cdot (1-P_0)^{m-k} \quad \text{식.3}$$

표1. 은 T의 계산치이다. 표에서 알 수 있듯이 여러 허용치를 설정하면 시스템이 훨씬 안정됨을 알 수 있다. ($P_0=10^{-3}$)

Sync-Loss-Detection-Time: 실제로 동기를 상실한 경우의 선이 확률은 다음과 같다.

$$P_0 = 1 - 2^{-m} \sum_{k=0}^m \binom{m}{k} \quad \text{식.4}$$

식1.에 식.4를 대입하면 평균 Sync-Loss-Detection-Time는 다음과 같다. 표.2는 T_{det} 의 계산값이다.

$$T_{det} = \frac{1 + P_0 - P_0^2}{P_0^2} \cdot L \quad \text{식.5}$$

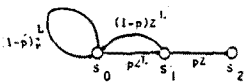


그림.5 동기상태로부터 동기상실상태의 선이

m	$T_{mf}, n=0$	$T_{mf}, n=1$	m	$T_{det}, n=0$	$T_{det}, n=1$
6	0.012	463.93	6	1.57	2.07
7	0.008	236.2	7	1.53	1.81
8	0.006	132.9	8	1.517	1.66
9	0.005	80.4	9	1.508	1.59
10	0.004	51.4	10	1.507	1.55
11	0.003	34.43	11	1.504	1.53
12	0.0028	24.0	12	1.502	1.51

표.1 MISFRAME INTERVAL 표.2 SYNC-LOSS DETECTION TIME

(2) Out-Of-Frame-Mode 성능

동기의 어긋남이 검출된 후 재동기의 전 과정은 그림.5와 같다. 절점 $b_{i,j}$ 는 RECEIVE TIMING COUNTER의 멀티 프레임 위상이 RECEIVED SIGNAL의 실제 멀티프레임 위상보다 i 비트 지연되어 있고, 올바른 프레임 패턴이 j 개의 멀티프레임 동안 검출된 상태를 나타낸다. 확률 q는 올바른 프레임 패턴을 검출하지 못할 때의 선이 확률이며 식.6과 같다.

$$q = 1 - 2^{-m} \quad \text{식.6}$$

올바른 프레임 패턴의 위상은 $b_{i,j}$ 에서 재설정되며 동기 상태로의 복귀 결정은 2개의 멀티프레임 인터벌 후에 이루어진다. m 비트 프레임중에 한 개 이상의 에러가 포함될 확률을 r이라 정의하면 이 확률은 $b_{i,j}$ 에서 $b_{i+1,j}$ 로, 또는 $b_{i,j}$ 에서 $b_{i,j+1}$ 로의 선이 확률이 된다.

$$r = 1 - (1-p)^m \quad \text{식.7}$$

시그널 플-토 그래프로부터 절점 $b_{i,j}$ 에서 $b_{i+1,j}$ 의 전달 함수 $Q(z)$ 는 다음과 같다.

$$Q(z) = \frac{(1-mq)^m z^m + mq(1-mq)^{m-1} z^{m-1} + \dots + mq}{1 + [mq(1-mq)^m + mq(1-mq)^{m-1} + \dots + mq] z^m} \quad \text{식.8}$$

여기서 $Q(z) = (1-z^m) z^m + z^{m-1} + \dots + z + 1$ 의 역변환을 식으로 부터 최대 평균 재동기 시간 T는 다음과 같다.

$$\begin{aligned} T_{ref} &= Q'_c(1) - 2L \\ &= (L-1) Q'_c(1) \\ &\quad + \frac{mq}{(1-mq)^m} \cdot [1 + (1-mq)(L+1) \\ &\quad + (2-mq)(L-1) Q'_c(1)] \end{aligned} \quad \text{식.9}$$

$$\therefore Q'_c = 1 + 2^{-m} L + 2^{-m} [(1+mq)L/P_0 - 1]$$

표.3은 T의 계산치이다.

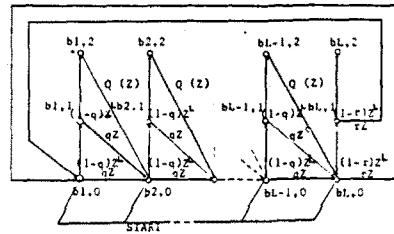


그림.5 재동기 과정의 시그널-플토 그래프

m	T_{ref}
6	58.20
7	29.47
8	15.44
9	8.47
10	5.01
11	3.28
12	2.42

표.3 재동기 시간의 계산치, $P_0=10^{-3}$

4. 결론

PCM 프레임 회로의 성능 개선 및 하드웨어의 단순화를 위한 장치화 기법을 보였다. 값싼 LS I 메모리를 이용, 여러개의 프레임 필스를 동시에 관찰함으로써 동기 회로의 성능을 개선할 수 있었으며, 하드웨어를 이용하는 시스템의 동작 논리 회로를 ROM을 이용한 SEQUENCE CONTROLLER로 대체, 전체적인 프레임 시스템의 단순화를 도모하였다. 또한 위에서 제시한 시스템의 성능 분석을 시그널 플-토 그래프를 이용하여 분석하였다.

결과적으로 본 논문에서 제시한 시스템은 기존의 시스템보다 적은 수의 IC CHIP 및 이음침간의 훨씬 적은 집속으로도 장치화 할 수 있었다.

참고 문헌

1. Frank F.E. Owen, PCM and Digital Transmission Systems, McGraw Hill.
2. RIKIO MARUTA, "A simple firmware Realization of PCM Framing System", IEEE Trans on Comm, vol COM-28 NO.8, 1980.
3. 김광조의 3인, "통신로의 오류조건하의 D3/PCM 신호의 프레임동기회로의 실현", 전자통신. 제9권, 2호, 1987.9.
4. DENIS T.R. MONHOZ, et al, "On Frame Synchronization of PCM System," IEEE Trans. on Comm. vol COM-28, p 1213-1218.
5. Naoshi Satoh, "Proposal of Framing System for Synchronization Stability Improvement" 전자공학회 논문지, 1984.4 vol J-67-B NO.4, p432-438.