

Systolic Array Processor Architecture를  
이용한 Discrete Hartley Transform의 병렬  
처리 실행.

강재권 주창희 최종수  
중앙대학교 대학원 전자공학과

Parallel Processing Implementation of  
Discrete Hartley Transform using Systolic  
Array Processor Architecture.

J.K.Kang C.H.Joo J.S.Choi  
Dept. of Electronics Engineering  
Chung-Ang University

ABSTRACT

With the development of VLSI technology, research on special processors for high-speed processing is on the increase and studies are focused on designing VLSI-oriented processors for signal processing. This paper processes a one-dimensional systolic array for Discrete Hartley Transform implementation and also processes processing element which is well described for algorithm. The discrete Hartley Transform(DHT) is a real-valued transform closely related to the DFT of a real-valued sequence can be exploited to reduce both the storage and the computation required to produce the transform of real-valued sequence to a real-valued spectrum while preserving some of the useful properties of the DFT is something preferred. Finally, the architecture of one-dimensional 8-point systolic array, the detailed diagram of PE, total time units concept on implementation this arrays, and modularity are described.

1. 서론

신호처리를 행함에 있어서 현대의 VLSI 소자의 발달은 놀랄만한 진척을 가져왔다. 그러나, 지금의 기술로서는 소재와 제조방법에 한계에 와 있기 때문에 고속, 고집적도를 가지면서도 저가격의 VLSI 소자를 제조하는데 어려운 점이 많다.

그래서 제조상에서 dimension 을 줄이기보다는 VLSI 를 설계하는데서 보다 나은 연산을 할수 있도록 시도하는 것이 지금의 연구 추세이다. 그중에서 기존의 처리소자(Processing Element) 를 잘 배열 하고 그들을 작동시키고 제어하는 적당한

clock network 를 구성함으로써 병렬 처리(Parallel Processing) 를 할수 있도록 하는 Systolic Array Processors Architecture 를 이용하여 신호처리전용 VLSI 설계를 위한 연산방식(Algorithm) 을 마련하고자 한다. 신호처리에는 여러가지 방법이 있지만, 그중 널리 알려진 것으로 Fourier Transform 을 들수가 있는데, 본 논문에서는 Fourier Transform 에서 파생되어 나온 Hartley Transform 을 사용하는데 이 Hartley Transform 은 Fast Algorithm 으로 실현되며, Fast Fourier Transform 과 같은 양의 급셈과 저장(Storage)을 필요로 하고 좀 더 많은 덧셈을 요구하지만, 선천적으로 실수값(real-value) 으로 되어있다는 특징하나로도 위의 손실을 보상받을 수 있다.

본 논문에서는 Systolic Array 설계에 응용한 Discrete Hartley Transform 을 이용하여 N = 8 point 의 Array 설계 및 PE(Processing Element) 의구성을 하고, 그 Modularity 에 대해 기술한다.

2. Systolic Array Architecture

2-1. 특징

- a) simple, regular design
- b) modularity, cost-effectiveness
- c) balancing computation with i/o

2-2. 종류

하나의 VLSI systolic chip 은 PE 와 그것들간의 interconnection 으로 구성되어 있고 PE는 한 두개의 register, 가산기 (adder), 곱셈기 (multiplier)를 포함 하며, interconnection 양식 ( pattern ) 은 PE 간에 local connection으로 단순하고 일정해 야 한다. 여기서 local connection이라 함은 서로 이웃하는 PE간에 communication이 이루어져야 함을 의미한다. 왜냐하면 이러한 array는 아주 고속으로 작동하기 때문이다. 그러면 다음의 그림으로 systolic array 종류를 살펴본다.

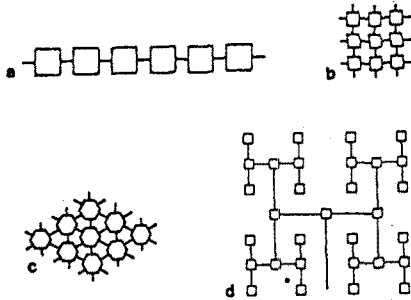


그림 1 전형적인 systolic arrays

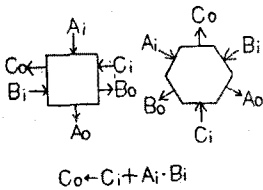


그림 2 inner product 계산을 위한 processor cell (=PE)

3. Discrete Hartley Transform

3-1. 기본이론

실(real) 함수  $f(t)$ 의 DHT는 다음과 같이 주어진다

$$H(u) = \sum_{t=0}^{Q-1} f(t) \text{cas}(2ut/N) \quad (1)$$

위식의 역(inverse) 변환은 다음과 같다

$$f(t) = \sum_{u=0}^{Q-1} H(u) \text{cas}(2ut/N) \quad (2)$$

여기서 Hartley에 의해  $\text{cas}t = \text{cost} + \text{sint}$ 로 정의한다

4. 제안한 N=8point DHT Systolic Array Architecture

4-1. N=8 point DHT 의 Factorization 및 성질

n=8 일때 DHT 는 다음과 같은 값을 가져야 한다.

$$\begin{aligned} H(0) &= f(0) + f(1) + f(2) + f(3) + f(4) + f(5) + f(6) + f(7) \\ H(1) &= f(0) + \sqrt{2}f(1) + f(2) + 0 - f(4) - \sqrt{2}f(5) - f(6) + 0 \\ H(2) &= f(0) + f(1) - f(2) - f(3) + f(4) + f(5) - f(6) - f(7) \\ H(3) &= f(0) + 0 - f(2) + \sqrt{2}f(3) - f(4) + 0 + f(6) - \sqrt{2}f(7) \\ H(4) &= f(0) - f(1) + f(2) - f(3) + f(4) - f(5) + f(6) - f(7) \\ H(5) &= f(0) - \sqrt{2}f(1) + f(2) + 0 - f(4) + \sqrt{2}f(5) - f(6) + 0 \\ H(6) &= f(0) - f(1) - f(2) + f(3) + f(4) - f(5) - f(6) + f(7) \\ H(7) &= f(0) + 0 - f(2) - \sqrt{2}f(3) - f(4) + 0 + f(6) + \sqrt{2}f(7). \end{aligned}$$

이 값에서 각 계수들은 그림 3에서 읽을 수 있다.

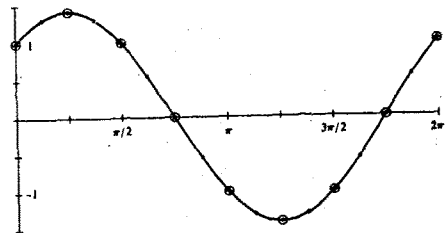


그림 3.  $y = \cos x$  의 graph. N=4일때 ⊕ 를 이용 하고 N=8일때 ⊙ 을 그리고 N=16일때 의미한 점들로 계수를 읽는다.

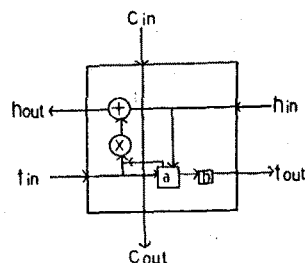
(1)식에서  $\text{cas}(2/N)$  항만을 고려해서 N=8 일때 각 값을 Factorization 시키서, 이 Vector 를 조사하면  $C_{ij} = C_{ji}$  임을 알수 있다. 이 성질 은 앞으로 제안할 Array 설계에 매우 유용한 성질이다.

그러면 구하고자 하는 8 point DHT 의 전반적인 Factorization을 기술하면,

$$\begin{bmatrix} H \end{bmatrix}_{8 \times 1} = \begin{bmatrix} C \end{bmatrix}_{8 \times 8} \begin{bmatrix} F \end{bmatrix}_{8 \times 1}$$

여기서 H는 구하는 DHT, C는 cas 항, F는 현(source) 신호이다.

4-2. Processing Element 의 동작 및 Array 의 동작.



a = Comparator & Memory, b = Switch

그림 4. PE의 동작 설계.

이 PE는 다음과 같은 표 1에 의해 동작을 제어한다.

h <sub>in</sub>	f <sub>in</sub>	a	b	f <sub>out</sub>
O	O	O	open	X
O	X	X	short	f <sub>in</sub>
X	O	X	"	"
X	X	X	"	"

표 1. f(원신호)의 이동을 제어하는 비교기와 스위치의 동작

본 연구에서 제안한 Systolic Array를 동작시키는 설명에서 단계를 clock ( ) 이라는 표시로 대신하고 clock 0 에서부터 clock 7 까지는 초기화시키는 과정이라 생각하고, clock 8 부터 실행되어가는 과정을 서술한다.

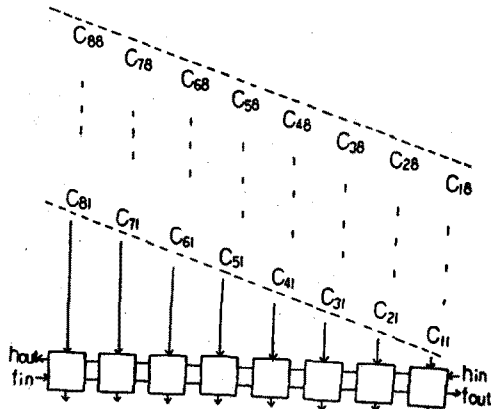


그림 5. 8 point DHT의 연산을 위한 1-Dimension Systolic Array.

이상과 같이 clock 23 까지 실제 연산을 수행하고 f8 이 8th PE를 완전히 빠져나가는데 필요한 clock 수는 7이다.

4-3. time unit 계산 및 point 확장에 따른 modularity

본 논문에서 제안한 8 point DHT Systolic Array의 총 t.u.는 다음 식으로 나타낼 수 있다.

$$\text{Total time unit} = 2(N-1) + 2N \text{ ---- (3)}$$

여기서, (N-1)은 초기화 t.u.; (N-1)은 마무리 t.u.; 2N은 실제 연산 시간이다.

(3)식을 이용하면 8 point DHT Systolic Array의 총 t.u.은 30이다. 여기서 실제 연산시간은

16이고 나머지는 초기화와 마무리 시간이다. 그리고 제안한 PE를 사용할 경우 N point DHT를 실행하는데 필요한 PE 수는 N 개이다. 이 8point DHT Systolic Array를 하나의 Package화 할때 그 다음의 확장되는 point 수는 8의 배수로 이루어 지므로 계속적인 연결로 다른 PE나 제어를 적용하지 않아도 확장에 대응할 수 있는 modularity를 가진다. 이렇게 확장에 대한 modularity를 지닐 수 있는 것은 단순한 종류의 PE만을 Array에 채용 함으로써 가능해 졌다.

참 고 문 헌

1. 이현수, "VLSI Algorithm and Architecture for Signal Processing", 경희대학교.
2. H.V.Sorensen, D.L.Jones, C.S.Burrus, M.T.Heideman, "On Computing the Discrete Hartley Transform", IEEE Trans. ASSP Vol.ASSP-33. No.4, Oct. 1985.
3. H.T.Kung, "Why Systolic Architecture?", IEEE Computer, Jan. 1982, pp.37-46.
4. D.I.Moldovan, "Modern Parallel Processing", Dep. of Electrical Engineering Systems, Univ. of Southern California, L.A., Ca., Jan. 1986.
5. 경종문, 김성대, 박규호, 이광수, "디지털 신호처리를 위한 VLSI 구조", 방한출판사, 1987.
6. R.N.Bracewell, "The Hartley Transform", England: Oxford Univ. Press, 1985.
7. -----, "The Fourier Transform and Its Applications", pp.385-393, McGraw Hill, New York, 2nd Edition, 1986.
8. H.G.Yeh, H.Y.Yeh, "Implementation of the Discrete Fourier Transform on 2-Dimensional Systolic Processors", IEEE Proceedings, Vol. 134, Pt.G, No.4, August 1987.
9. "VLSI와 병렬 계산기법", pp.45-69, '87 컴퓨터 하계 세미나, 한국 정보과학회.
10. S.Y.Kung, "On Supercomputing with Systolic/Wave-front Array Processors", Proceeding of IEEE, Vol. 72, No.7, July 1984.