

창립

40주년학술대회

논문 87-F-20-2

MOS Capacitor의 과도특성으로 부터 캐리어 수명결정에 관한 연구

하덕용⁰ 이상돈^{*}
한양대 대학원

류부영^{**} 김봉순^{***}
한양대 전기과 교수

A Study on the Carrier Lifetime Determination from
Transient Characteristics of MOS Capacitor

Ha Dukyong Lee Sangdon
Hanyang University

Ryu Buhyun Kim Bongsheup
Prof. of Hanyang University

I. 서론

MIS(Metal-Insulator-Semiconductor) Capacitor는 절연체와 반도체의 interface 및 bulk의 비평형 특성을 연구하는데 일맞는 구조로 인정되어 있다.

반도체에서 캐리어 lifetime은 bipolar device에서의 소위장시간, P-N 접합다이오드나 CCD에서의 누설전류 또는 dynamic RAM의 외복시간 등에 관련되기 때문에 많은 반도체 device의 동작에서 매우 중요한 parameter이다.

특히 generation lifetime은 P-N 접합다이오드와 MOS capacitor에 대해 공간전하영역에서의 캐리어 생성율을 특성지우는 인자가 되기 때문에 이것의 관측은 DRAM이나 CCD의 전하저장 성질에 대한 정보를 얻게된다.

MOS capacitor에서 lifetime을 측정하는 방법에는 정상상태방법과 step 전압을 인가한후 시간에 따른 커페시턴스의 변화를 관찰하여 MOS 소자의 비평형특성을 편리하게 연구하는 과도상태방법이 있다.

본 실험에서는 MOS-C를 inversion 영역으로 바이어스 시킨후 과도상태방법을 이용하여 inversion 캐리어밀도의 변화와 공핍영역폭의 변화를 구하여 반도체 device의 전기적 성질에 영향을 미치는 generation lifetime을 구하였다.

2. 관계 이론

1) Huang의 이론

P-type substrate를 가진 MOS capacitor를 초기에 강한반전층을 형성한후 deep depletion 영역으로 개단전압을 인가하면 공핍층 폭이 갑자기 늘어나 커페시턴스가 감소한다.

이러한 비평형상태에서 공핍증영역의 생성 중심으로부터 전자 정공쌍이 생성되어 반전층과 공핍영역가장자리로 움직여서 다시 평형상태를 이루게된다.

인가되는 계단전압

$$\Delta V_g = -\frac{qN_d W_d^2}{2kT \epsilon_0} - 2\phi_F \frac{qN_d (W_d - W_{df})}{C_0} - \frac{\Delta Q_n}{C_0} \quad (1-1)$$

(1)식 미분하면

$$\left(\frac{1}{C_0} + \frac{1}{C_f} \right) \frac{dW_d}{dt} + \frac{1}{C_0 q N_d} \frac{d\Delta Q_n}{dt} = 0 \quad (1-2)$$

반전층에서의 전자 증가는 공핍영역에서의 전자생성을과 같다.

$$\frac{d\Delta Q_n}{dt} = \frac{q n_i}{2\tau} (W_d - W_{df}) \quad (1-3)$$

τ : 전자의 carrier lifetime

$C_f >> C_0$ 의 가정하에 (2)식과 (3)식을 결합하면

$$\frac{dC}{dt} = \frac{C}{T} \left(1 - \frac{C}{C_f} \right) \quad (1-4)$$

$t=0$ 에서 $C=C(0)$ 을 이용하면 (4)식의 해는

$$\frac{C}{C_f} = \frac{1}{1 + \left[\frac{C_f}{C(0)} - 1 \right] e^{-\frac{t}{T}}} \quad (1-5)$$

Heiman에 의해 공핍층에서 생성율이 $\frac{g}{C_f} = \frac{n_i}{2\tau}$ 로 일어날때 공핍영역 W를 증가화시킬 충분한 시간 T(원화시간)는

$$gTW = N_d W$$

$$T = \frac{N_d}{g} = 2\tau \frac{N_d}{n_i} \quad (1-6)$$

2) Pierret의 이론

표면상성효과를 최소화 하기위해서 반전상태로 만든후 다시더 반전상태를 만들기 위해 개단펄스를 사용하여 c-t 과도상태를 기록하였다.

공핍영역에서 생성율 G는

$$G = \frac{n_i}{2\tau} (W - 2W_f) \quad 0 < \alpha < 1 \quad (2-1)$$

c-t 과도해석은 Heiman에 의해

$$\beta \ln \left[\frac{C_f / C(t_0) - \beta}{C_f / C(t) - \beta} \right] + \frac{C_f}{C(t_0)} - \frac{C_f}{C(t)} = \frac{t - t_0}{T} \quad (2-2)$$

여기서

$$\beta = \alpha + (1-\alpha) \frac{C_f}{C_0}$$

그리고 원화시간 T는

$$T = 2\tau \frac{N_d}{n_i} \frac{C_0}{C_f} \quad (2-3)$$

c-t 용답에서 C 값을 시간 t_0, t_1, t_2 로 3등분하여 $R = C_f / C(t_0)$ 정의하여 (2-2)식을 풀면 다음과 같다.

$$\beta \ln \left[\frac{R - \beta}{(3R/(2+R)) - \beta} \right] + R - \frac{3R}{2+R} = \frac{(t_1 - t_0)}{T} \quad (2-4.a)$$

$$\beta \ln \left[\frac{R - \beta}{(3R/(1+2R)) - \beta} \right] + R - \frac{3R}{1+2R} = \frac{(t_2 - t_0)}{T} \quad (2-4.b)$$

$$\frac{\beta \ln \left[\frac{R - \beta}{(3R/(2+R)) - \beta} \right] + R - \frac{3R}{2+R}}{\beta \ln \left[\frac{R - \beta}{(3R/(1+2R)) - \beta} \right] + R - \frac{3R}{1+2R}} = \frac{t_1 - t_0}{t_2 - t_0} \quad (2-5)$$

$$\beta \ln \left[\frac{R - \beta}{(3R/(1+2R)) - \beta} \right] + R - \frac{3R}{1+2R}$$

소수 캐리어의 lifetime

$$T = \frac{t_1 - t_0}{2\chi(N_D/n_2)(C_0/G_F)} \quad \chi = \frac{t_1 - t_0}{T} \quad (2-6)$$

에 의해 구할수 있다.

3. 시료제작 및 실험방법

1) 시료제작

직경 51n 비저항이 30Ω·cm 결정방형이 (100)인 P형 실리콘 웨이퍼를 표준공정에 의한 세척방법으로 세척한 후 승식산화방법으로 1100°C에서 열산화하여 6000Å의 질드산화막을 형성하였다.

양질의 게이트 산화막을 얻기 위해 P.R. 방법에 의해 퀄드 산화막을 예열한 후 0.6%의 T.C.E. 열산화법으로 게이트 산화막층을 온도 1000°C에서 약 400Å의 두께로 형성한 후 1000°C에서 질소분위기로 30분간 어닐링하여 산화막 고정전하의 감소를 피하였다.

전공증착기로 두께 5000Å의 Al을 증착하였으며 P.R. 방법에 의한 예열을 하여 면적 500μm × 500μm의 게이트 전극을 얻어 이것을 400°C에서 질소분위기로 30분간 Alloy를 하였다.

2) 실험방법

EG&G사의 모델410 C-V Plotter를 사용하였다. MOS-C 게이트에 정전압을 인가하여 강한반전상태를 형성시킨 후 여기에 게단전압 발생기를 이용하여 각각 +20V, +40V의 전압을 더 인가하여 시간에 따른 커페시턴스의 변화를 측정하여 이결과를 근거로 특성곡선을 구하였다.

4. 실험결과 및 고찰

MOS-C의 게이트에 +10V의 바이어스를 인가하여 강한반전상태를 형성시킨 후 여기에 게단전압 발생기를 이용하여 각각 +20V, +40V의 전압을 더 인가하여 시간에 따른 정전용량의 변화를 측정하였다.

그 결과는 그림1과 같으며 +20V의 게단전압을 인가한 순간 C/C_F 는 약 0.7이었고 +40V의 게단전압을 인가한 순간 C/C_F 는 약 0.4이었다.

각각의 전압에 대한 C-t곡선은 지수함수적으로 증가하여 +20V 인가시는 0.6sec, +40V 인가시는 0.9sec 후에 정상상태 커페시턴스값에 도달하여 평행을 유지하였다. 이 C-t 특성을 이용하여 위의 이론에 의하여 generation lifetime T 를 구하였다.

5. 결론

1) 각 전압의 크기에 따라 C-t곡선의 크기는 달라지나 τ 는 거의 비슷함을 알수있었다.

2) 사용한 사료의 산화막층 두께는 400Å 이었으므로 $C > C_F$ 라고 가정한 Huang의 방법보다는 Pierret의 방법으로 구한 값이 더욱 정확한 값이었다.

* 참고 문헌

1. Huang: Proceeding of IEEE vol 58 (1970) p. 1849

2. Heiman: IEEE Trans. E.D. vol ED-14 (1967) p. 781

3. Pierret: IEEE Trans. E.D. vol E-D-25 (1978) p. 1157

4. Schroder, Guldberg: Solid-State Electronics vol 14 (1971) p. 128
5

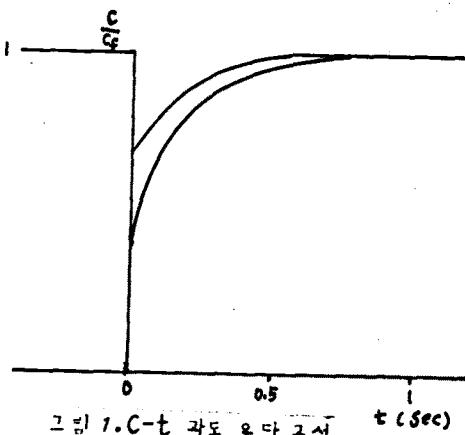


그림 1. C-t 과도 용 단계곡선