

Dual Digital Phase-Locked Loop 에 관한 연구

김수일 이상범 성상기 김중태 최승철
 숭실대학교 전자공학과

A study on the Dual Digital Phase Locked Loop

Su Il Kim Sang Bum Lee Sang Ki Sung
 Jung Tae Kim Seung Chul Choi
 Soonesil Univ. Dept. of Electronics

ABSTRACT

A Dual Digital Phase Locked Loop is analyzed, designed, and tested. Two specific configurations are considered, generating second and third order DPLL's; and it is found, using a computer simulation and verified theoretically.

As a result of computer simulation, the characteristic of designed I-DuLL is better than that of P-DPLL or C-DuLL.

1. 서론

PLL에서 주파수 offset이 있는 입력 신호에 대해서 정상 위상오차를 없애기 위해서 (1) Loop 필터에 완전 적분기를 이용해 완전 2차 PLL을 구성하는 방법 (P-D PLL), (2) 2개의 1차 PLL을 결합 Dual DPLL로 구성 완전 2차 PLL을 구성하는 방법 (C-DuLL)이 사용되고 있다. (1) 방법에서는 간섭파 특성이 나쁘고, 위상 비교기의 출력의 offset 전압이 적분기에 따라 증폭되어 VCO의 출력 주파수가 드리프트 되는 결점이 있다. (2)에서는 PLL 1과 2가 Dual로 결합하여 PLL1의 PD1의 출력이 PLL2의 VCO 입력에 가해진 위상오차에 감쇄율의 최저선택 (0.5-0.707)이 안되고 큰 진폭 간섭파가 존재할때 오동기를 일으켜 LOOP설계시 커다란 재약을 받는다.

한편 주파수가 ramp 함수 상에서 변동시 정상 위상오차가 없는 상태로 신호를 tracking하기 위해서 완전적분 3차 PLL이 필요하다. 그러나 Loop 필터에 2차의 완전 적분기를 사용한 종래의 완전적분 3차 PLL은 입력신호의 진폭이 작아지고 시스템이 불안정하여 동기불능이 되므로 S/N비가 낮은 환경에서는 적합하지 않다.

본 논문에서는 종래의 DuLL에 PLL2, PLL3에서 PLL1으로 개관회로를 첨가하여 새로운 DuLL (I-DuLL)을 제안하였다. 우선 이론 해석으로부터 종래의 회로의 결점 개선함을 보이고 다음에 디지털 신호 처리를 이용하여 회로를 구성했고 컴퓨터 시뮬레이션에 의해 제안한 I-DuLL이 우수하다는 것을 나타내었다.

2. 완전 적분기를 이용한 DPLL (P-DPLL)

DSP의 DPLL에 대해 P-DPLL과 VCO의 회로를 그림 1, 2에 나타내었고 Sampling되는 입력 신호는 $x = A \sin(2\pi kfc / f_s + \delta k)$ 로 표시된다--(1) 여기서 A: 입력 진폭, f_c : 입력주파수, δk : 입력 위상, f_s : Sampling 주파수, k: Step 수

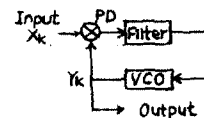


그림 1. 디지털 위상동기 루우프(DPLL)

Fig.1 Digital phase-locked loop (DPLL).

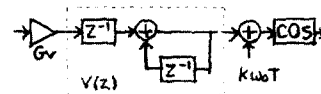


그림 2. 디지털 VCO

Fig.2 Digital VCO.

VCO의 전달 함수는 $V(z) = z^{-1} / (1 - z^{-1})$ --(2) 완전 적분기의 회로 구성 그림 3, 4에 나타내었고 전달 함수는 $F_p(z) = a(1 - bz^{-1}) / (1 - z^{-1})$, 1차일때--(3) $F_p(z) = a + b / (1 - z^{-1}) + c / (1 - z^{-1})^2$, 2차--(4) DPLL의 선형 동작 구성을 그림 5에, 공통 이득 $G = AGv/2$, 여기서 위상 비교기의 변한 이득: $A/2 |V_{od}|$ VCO의 변한 이득: Gv 이다.

δk 에서 θk 까지 전달 함수는 아래와 같고 완전 적분 2, 3차가 되어 정상 위상 오차가 발생되지 않는다.

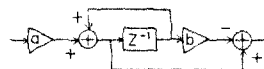


그림 3. 완전 적분기 (1차)

Fig.3. Perfect integrator.

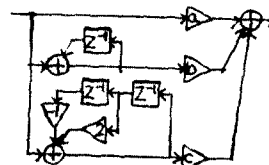


그림 4. 완전 적분기 (2차)

Fig.4. Perfect integrator.

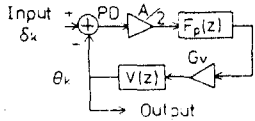


그림5. P-DPLL의 베이스 밴드 선형 등가회로

Fig 5. Equivalent block diagram of P-DPLL with perfect integrator (P-DPLL).

$$H_p(z) = \frac{aGz^{-1} - abGz^{-2}}{1 + (aG-2)z^{-1} + (1-abG)z^{-2}}$$

2차 DPLL일때 --- (5)

$$H_c(z) = \frac{(a+b+c)Gz^{-1} - (2a+b)Gz^{-2} + aGz^{-3}}{1 - (3-(a+b+c)G)z^{-1} + (3-(2a+b)G)z^{-2} - (1-aG)z^{-3}}$$

3차 DPLL일때 --- (6)

디지털 계의 주파수 특성은 $z = \exp(j\omega T)$ 로 저주파에서는 $z = 1 + j\omega T$ ($\omega T \ll 1$)가 성립하고 식(5)은 --- (7)

$$H_p(j\omega) = \frac{aGj\omega T + a(1-b)G}{(j\omega T)^2 + aGj\omega T + a(1-b)G}$$

Loop잡음 대역 B_L , 고유 주파수 ω_n , 감쇄율은 각각

$$B_L T = (aG+1-b)/4 \text{ --- (9)}, \omega_n T = \sqrt{a(1-b)G}$$

$$\text{--- (10)}, \zeta = (1/2)(aG/(1-b)) \text{ --- (11)}$$

선형 이산 계의 안정 판별은 변수 z 를 식(12)의 항 1차 변환으로부터 연속 시간 계의 Routh Hurwitz 변환을 사용한다. $z = (1+s)/(1-s)$ --- (12)

2차 P-DPLL 안정 조건은 $G < 4/(a+ab)$ --- (13.a)

3차 P-DPLL 안정 조건은

$$4a - c > 0, c/(b+c)a < G < 8/(4a+2b+c) \text{ --- (13.b)}$$

2차일때 감쇄율은 최적 선택이 가능하고 큰 진폭 간섭파에 오동기를 일으키는 결점이 있으며 이득은 식(13.a)에 의해 정해진다. 3차일때는 이득은 식(13.b)에 의해 상한과 하한이 정해지고 입력 진폭이 클때는 DPLL 전단에 AGC를 달아 소정의 값으로 정해지므로 안정 범위 상한은 문제가 없지만 입력 진폭의 작은 경우 AGC를 설치하여 신호 성분은 잡음에 억압되고 Loop이득은 하한치보다 작게 되어 불안정하다. 따라서 3차 P-DPLL은 이 때문에 간섭파에 오동기를 일으키며 실용에 적합하지 않다.

3. 종래의 Dual-DPLL (C-DULL)

C-DULL의 회로 구성을 그림6, DSP선형 등가 구성도를 그림7에 나타내었다. DPLL1은 DPLL2에 영향을 안받으며 입력신호에 주파수 offset 이 있을때 PD1에서는 정상위상오차가 발생하지만 PD2에서는 VCO2의 출력 주파수를 변화하게 하므로 필요한 전압이 PD1에서 공급되기 때문에 오차가 발생되지 않는다. VCO의 전달 함수는 식(2)로, 입력 위상 θ_k 에서 θ_{1k} , θ_{2k} 까지의 각각 전달함수는 식(13), (14)로 나타낸다

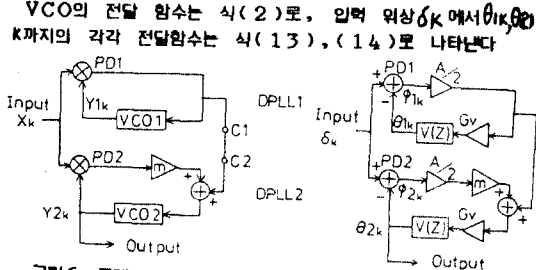


그림6. 종래의 디지털 2중 위상동기 루우프

Fig 6. Conventional Dual-DPLL (C-DULL).

그림7. C-DuLL의 등가 구성도

Fig 7. Equivalent block diagram of C-DuLL.

$$H_{c1}(z) = \frac{Gz^{-1}}{1 + (G-1)z^{-1}} \text{ --- (13)}$$

$$H_{c2}(z) = \frac{(1+m)Gz^{-1} + (mG^2 - (1+m)G)z^{-2}}{1 + ((1+m)G-2)z^{-1} + (mG^2 - (1+m)G+1)z^{-2}} \text{ --- (14)}$$

식(13)에서 1차 loop로 되어 간섭파 특성이 나쁘고 식(14)에서는 완전 적분 2차로 된다. 저주파 성분에서는

$$H_{c1}(j\omega) = \frac{G}{j\omega T + G} \text{ --- (15)}$$

$$H_{c2}(j\omega) = \frac{(1+m)Gj\omega T + mG^2}{(j\omega T)^2 + (1+m)Gj\omega T + mG^2} \text{ --- (16)}$$

식(15), (16)에서

$$B_{L2} T = \frac{(1+m)^2 + m}{4(1+m)} G \text{ --- (17)}, \omega_n T = \sqrt{m} G \text{ --- (18)}$$

$$\zeta = \frac{1+m}{2\sqrt{m}} \geq 1, (\min \zeta = 1; m = 1) \text{ --- (19)}$$

C-DULL에서는 감쇄율이 1보다 최적 선택 (0.5 - $1/\sqrt{2}$)이 안되어 LOOP설계에 큰 재약을 받는다.

C-DULL의 안정은 $mG^2 - 2mG - 2G + 4 > 0$ 일 때이고 DPLL1이 동기되 처음으로 2의 동작이 완전 적분 2차로 이루어지므로 동기 및 안입 범위는 1차 LOOP로 되는

DPLL1에 의해 정해져 종래의 동기 안입 범위와 유한의 동일치가 되고 간섭파에 대해서도 DPLL1에 의해 결정 되어 간섭파 특성이 나쁘다.

4. 개선된 Dual-DPLL (I-DuLL)

본 장에서 새로운 개량 DPLL (I-DuLL)을 제안하였다. 회로와 DSP 선형 등가회로를 그림 8.9 에 표시하였다.

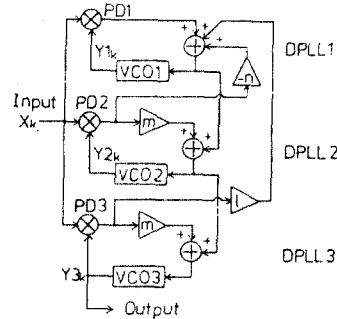


그림8. 개선된 2중 위상 루우프

Fig 8. Improved Dual-DPLL (I-DuLL).

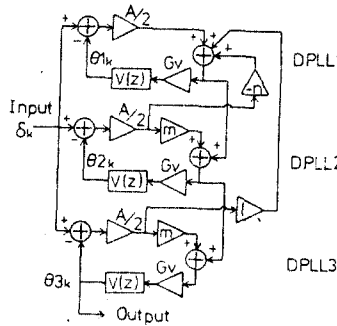


그림9. I-DPLL의 베이스 밴드 선형 등가 회로

Fig 9. Equivalent block diagram of I-DuLL.

(1) 2차 I-DuLL

그림 8에서 $n > 0, L = 0$, 그리고 VCO2의 출력 Y에서 시스템 출력으로 사용할 때 2차에 I-DuLL이 된다. VCO의 전달함수는 식(2)로 표시되고 입력 위상 δ_k 에서 θ_{1k}, θ_{2k} 까지의 페루프 전달 함수는 각각 식(21), 식(22)와 같이 된다.

$$H_{21}(z) = \frac{(1-n)Gz^{-1} + (mG^2 - (1-n)G)z^{-2}}{1 + ((1+m-n)G-2)z^{-1} + (mG^2 - (1+m-n)G+1)z^{-2}} \quad (21)$$

$$H_{22}(z) = \frac{(1+m-n)Gz^{-1} + (mG^2 - (1+m-n)G)z^{-2}}{1 + ((1+m-n)G-2)z^{-1} + (mG^2 - (1+m-n)G+1)z^{-2}} \quad (22)$$

식(21)은 불안전 2차로 되고 식(22)는 완전적인 2차로 된다. 저주파에서는,

$$H_{22}(j\omega) = \frac{(1+m-n)Gj\omega T + mG^2}{(j\omega T)^2 + (1+m-n)Gj\omega T + mG^2} \quad (23)$$

잡음대역 B_{L2} , 고유주파수, 감쇄율은

$$B_{L2} T = \frac{(1+m-n)^2 + m}{4(1+n-n)} G \quad (24)$$

$$\omega_n T = \sqrt{m} G \quad (25) \quad \zeta = \frac{1+m-n}{2\sqrt{m}} \quad (26)$$

그림 10에서의 같이 I-DuLL의 감쇄율의 선택범위는 C-DuLL에 비해 매우 넓고 최저치 선택이 가능하여 매우 유리해진다.

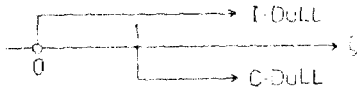


그림 10. 감쇄율의 선택 범위
Fig 10. Range of damping factor

2차 I-DuLL의 안정판별은 $mG^2 - 2mG + 2nG - 2G + 4 > 0$ 이다. DPPLL의 동작이 완전적인 2차로되며 정상위상 오차가 0이 되고 C-DuLL와 이득을 동일하게 하면 I-DuLL과 C-DuLL의 동기범위는 같고 J-DuLL의 인입특성과 간섭특성은 DPPLL에 따라 결정되어 C-DuLL 보다 우수한 특성을 가진다.

(2) 3차 I-DULL

그림(8)에서 $n > 0, L > 0$ system의 출력을 $Y_3 k$ 에서 얻을 때 개선된 3차 I-DULL이 된다.

δ_k 에서 θ_{3k} 까지의 Loop 전달함수 $H_{23}(z)$ 는

$$H_{23}(z) = \frac{\begin{matrix} (1+2m-n+L)Gz^{-1} - (2(1+2m-n+L) \\ -m(2+n-n)G)Gz^{-2} + (1+2m-n+L) \\ -m(2+m-n)Gm^2G^2)Gz^{-3} \end{matrix}}{\begin{matrix} 1 - (3 - (1+2m-n+L)G)z^{-1} + (3 - 2(1+2m \\ -n+L)G + m(2+m-n)G^2)z^{-2} - (1 - (1+2m \\ -n+L)G + m(2+m-n)G^2 - m^2G^2)z^{-3} \end{matrix}} \quad (27)$$

$H_{23}(z)$ 은 완전적인 3차로되고 안정판별은 식(28), (27)에 따라

$$(1+2m-n+L)(2+m-n) - m - m(1+2m-n+L) + (2+m-n)G + 2m^2(2+m-n)G^2 - m^3G^3 > 0 \quad (28)$$

2.에서 설명한 것에서의 문제는 입력 진폭이 작은 경우에 다시말하면 G가 작아지는 경우이다. 여기서 $G \ll 1$ 라하면 식(28)에서 G^2, G^3 항은 생략하고 안정하기 위해서 G의 범위는 상한만 존재하는 것으로 하여 입력진폭이 작은 경우에도 안정된 완전적인 3차 DPPLL이 실현되고 있다. 따라서 제안하는 M-DPLL에 대해서는 종래의 3차 P-DPLL에 있는 입력진폭 변동에 따라 system이 불안정하게 되는 결점이 극복된다.

5. 특성의 비교

기준되는 이득G를 식(29)에 각 system의 정수를 아래와 같이 표시했다.

$$G = AGv/2 = 0.01 \quad (29)$$

$$P-DPLL \text{ 2차 } a=1, b=0.95 \quad (30)$$

$$\text{3차 } a=1.4025, b=0.095,$$

$$c=0.0025 \quad (31)$$

$$C-DULL \text{ m}=0.5 \quad (32)$$

$$I-DULL \text{ 2차 m}=0.5, n=0.5 \quad (33)$$

$$\text{3차 m}=0.5, n=0.5858,$$

$$L=0.0858 \quad (34)$$

G가 0.1에서 변화하는 경우 특성을 그림 11-13에 나타내었다.

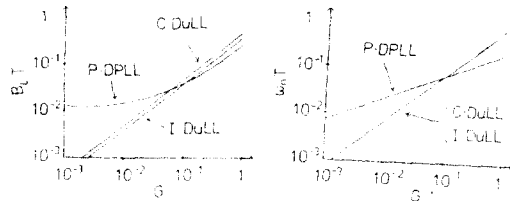


그림 11. 루우프 잡음 대역

Fig 11. Loop noise bandwidth.

그림 12. 고유 주파수

Fig 12. Natural frequency.

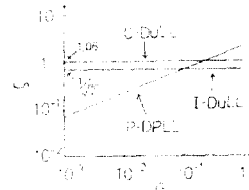


그림 13. 감쇄율

Fig 13. Damping factor.

G가 동일한 조건에서 C-DULL과 I-DULL 2차의 특성을 비교하면 잡음대역은 I-DULL이 좁고 고유주파수는 언제나 일치하며 감쇄율은 G의 값에 대해서 일정하기 때문에 입력 진폭 변동에 대해서 감쇄율은 일정하게 보존되고있다.

6. Computer Simulation

컴퓨터 Simulation에 의해 특성의 비교를 행하였다.

$f/f = 1/8$ 로 하고 각 system 정수는

식(29)-(34)을 사용하였다.

(1) 안정판별

입력진폭이 변동하여 Loop이득 G가 0.1에서 변화하는 경우 계의 안정 판별을 그림 14에 표시하였다. P-DULL 2차와 I-DULL은 G가 작은 경우에도 안정하게된다.

한편 P-DULL 3차는 불안정하여 발진한다.

(2) Pull-in range

무입력 잡음에서 입력이 일정한 주파수 offset $\Delta\Omega$ 가 있는 경우 인입이 어떤지 그림 15에 표시했다.

이때 입력위상과 정상위상오차 ϕ_∞ 은

$$\phi(z) = \Delta\Omega Tz / (Z-1)^2 \quad (35)$$

$$\phi_\infty = \lim_{z \rightarrow 1} (z-1)(1-H(z))\phi(z) \quad (36)$$

I-DULL 2차, 3차 모두 DPPLL의 정상위상 오차 $\phi_\infty = \Delta\Omega T / G$ 로 대칭으로하여 VCO2, 3에 제어전입을 공급하고도 $\phi_\infty = 0$ 의 상태에서 입력 offset를 가지는 입력에 따라온다. I-DULL과 I-DULL의 인입범위는 같고 전부 인입되고있다.

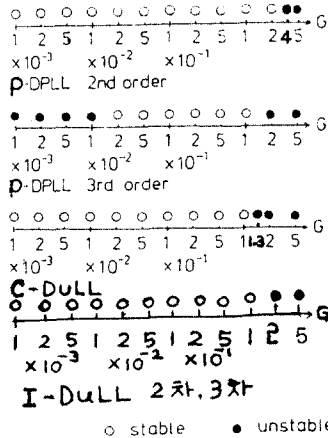


그림 14. 안정을 위한 루우프 이득
Fig 14. Loop gain for stability.

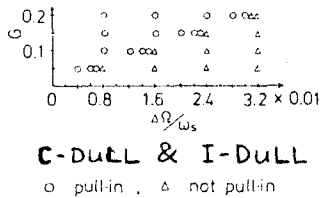


그림 15. 주파수 오프셋에 대한 인입 범위
Fig 15. Frequency offset for pulled-in.

(3) 정상위상오차
입력 각주파수가 단위시간당 $\Delta\dot{\Omega}$ 의 비율에서 ramp 함수상에서 변화하는 경우의 정상위상 오차의 측정결과를 그림 16에 표시하였다.

입력주파수가 $\Delta\dot{\Omega}$ 의 비율에서 ramp 함수상에서 변화하는 경우 입력위상 $\phi(z)$ 는

$$\phi(z) = \Delta\dot{\Omega} T^2 z / (z+1) / 2(z-1)^3 \quad \text{--- (39)}$$
 DPLL 2의 정상위상오차 $\phi_{\infty} = \Delta\dot{\Omega} T^2 / mG^2$ 을 대상으로 DPLL 3은 $\phi_{\infty} = 0$ 상태에서 주파수가 ramp 함수상에서 변화하는 입력에 따른다. P-DPLL 3차와 DPLL 3의 것을 측정된 I-DuLL은 완전적분이기 때문에 정상위상오차가 억압된다.

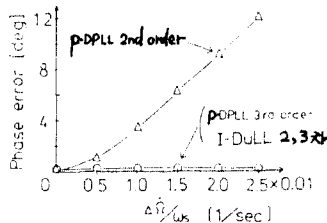


그림 16. 주파수 Ramp 입력에 대한 정상 위상오차
Fig 16. Steady-state phase error for frequency ramp input.

(4) 간섭파 특성
입력신호에 동기되는 상태에서 대진폭 간섭파가 부가되는 경우 동기가 보존되는 편정을 그림 17에 나타내었다. 입력신호의 진폭을 A1, 각주파수를 ω_0 라하고 정현파 간섭파의 진폭을 A2, 각주파수를 $\omega_0 + \Delta\omega$ 라하고 $R = A2/A1$ 으로 진폭비를 정한다. V_{CO} 의 출력주파수의 측정예에 의해 동관정을 행한다. 간섭파가 존재하는 환경에서 제안하는 2차, 3차 I-DuLL이 우수함을 나타내었다.

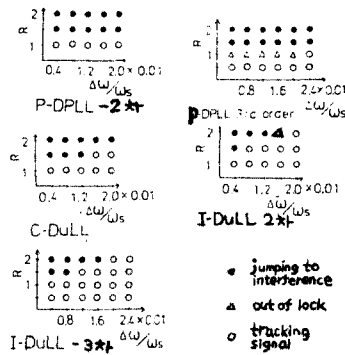


그림 17. 간섭파의 영향 ($G=0.1$)
Fig 17. Influences of interference.

7. 결 론

본 논문에서 완전적분 2차와 3차의 I-DuLL을 제안하였고 디지털 신호 처리 기법에 의해 회로를 구성하여 종래의 P-DPLL, C-DuLL과의 비교를 이론적 검토와 시뮬레이션에 의해 다음의 특성을 명확히 할수있었다.

(1) 2차 I-DuLL에서는 입력신호에 발생하는 정상 위상오차를 감소시킬 수 있었고 3차 I-DuLL에서는 입력진폭 변동에 대해 안정하게 되었다. (2) I-DuLL 2차에서는 C-DuLL과는 다르게 감쇄율의 선택범위가 크고 최적치 선택이 가능하여 회로설계가 용이하였다. (3) I-DuLL 2차와 3차는 종래의 P-DPLL, C-DuLL에 비해 간섭파가 존재하는 환경에서 가장 우수한 특성을 가졌다. 2차 I-DuLL은 DSP 이외에도 응용되고 2진 양자화된 DPLL의 구성에도 응용할수 있으며 3차 I-DuLL은 입력 반송파 주파수가 변동시 더구나 S/N비가 낮은 환경에서 양해지는 우주통신에 대해 극히 효과가 있다고 생각한다.

참 고 문 헌

1. Lindsey, W.C & Chie, C.M : "A Survey of Digital Phase-Locked Loops", proc. IEEE, 69, 4, pp410-431, Apr, 1981
2. S.C.Gupta : "Transient analysis of a PLL optimized for a frequency ramp input", IEEE, Trans. Space Electronics & Telemetry, SET-10, pp79-84, June, 1964
3. P.H.Lewis & W.E.Weinarten : "A comparison of second, third, and fourth order Phase Locked Loops", IEEE, Trans. Aerosp & Electron. Syst, AES-3, 4, pp720-727, July, 1967
4. J.Garodnick, J.Greco & D.L.Schilling : "Response of an all Digital Phase-Locked Loop", IEEE, Trans. Commun, COM-26, 6, pp751-764, June, 1974
5. 山崎, 中川, "安定性が改良された完全積分 3次デジタル位相同期ループ", 信学論(B), J69-B, NO.7, pp.706~714, July, 1986.