

TDM/FDM 변환장치용 디지털필터의 집적회로 설계

이 광 열, 김 봉 열, 이 문 기

A Semi-Custom IC Design of Digital Filter for TDM/FDM Transmultiplexer

Kwang Youb Lee, Bong Ryul KIM, Moon Key Lee

Dept. of Electronic Engineering, Yonsei University

ABSTRACT

A Semi-custom VLSI Digital Filter Design for TDM/FDM Transmultiplexer is described.

Using the polyphase network approach a filter bank composed of only all-passdigital filter sections was designed.

The use of all-pass filters as basic building blocks is shown to provide a Transmultiplexer structure that has low computational requirements, low quantization noise and high modularity.

A design of 1st, order, 2nd All pass filter is done using COMS 2-μm double metal.

1. 서론

전송로의 다중화 방식은 FDM과 TDM방식으로 구분되어 사용되기 때문에 아날로그 다중통신과 디지털 다중통신의 교환을 위한 TDM/FDM 변환장치가 중요시된다. [1]

TDM/FDM 변환방식에는 여러가지 알고리즘이 있으나 크게 FFT방식으로 구분된다. [2] 변환장치의 제작은 종래의 TTL 칩을 이용하여 큰 규모, 많은 소비전력이 요구되었다. 근래에는 low power schottky TTL, 전용 LSI, [3] 프로세서 [4]를 이용한 변환장치가 개발되고 있다. 그러나 현재 VLSI 기술이 발달함에 따라 적은 규모의 저전력 TDM/FDM변환장치의 구성이 가능하다.

본 연구에서는 처리속도가 빠른 다상회로와 DCT를 이용한 TDM/FDM변환장치의 채널필터를 VLSI 집적회로로 설계하였다. 특히 high modularity 에 의한 설계시간단축, 적은 계산량, 낮은 양자화 잡음의 장점을 갖도록 [5] 채널필터의 원시형(prototype) 필터로 2차의 전대역 통과 필터로 구성하였다.

이 방식은 TDM/FDM변환장치의 DSP블록을 구성하는데 용이하다. 따라서 본 연구에서는 채널필터의 기본블럭이 되는 1차, 2차 전대역 통과 필터칩을 설계하였다. 설계는 CMOS

2-μm 이중메탈공정으로 하고 설계시간 단축을 위해 실리콘, 콤팩트릴러를 이용하였다.

2. 전대역 통과 필터에 의한 TDM/FDM변환장치

TDM/FDM 변환장치의 주된 동작은 DSP블럭내에서 원하는 채널의 입력신호를 선택하는 것이다. 여기에는 SSB 변조방식과 다상회로에 의한 방식이 있다. 다상회로를 이용할 경우 구조는 복잡하지만 계산량이 감소하여 변환이 빠르다. [7] 다상회로를 이용한 24-channel 변환장치는 4-5KHZ 에 12개의 입력신호가 들어가며 112KHZ 로 샘플링된다. 0-4KHZ와 52-56KHZ는 보호 대역이 된다 그림-1과 같이 원하는 채널의 신호로 얻으려면 각 채널에 맞는 중심주파수 갖는 대역통과 필터가 설계되어야하나 원시형(prototype)의 지역통과 필터를 구성하고 나서 주파수 변환을 하면 된다.

원시형 필터의 전달함수는

$$H(Z) = \sum_{i=0}^{2n-1} 2^{-k} H_k(Z^{2^n}) \quad (N: \text{채널수})$$

와 같이 표시되고 $\pm W_n$ 으로 주파수 이동된 채널필터 $G_n(z)$ 은

$$G_n(Z) = H(Ze^{jW_n}) + H(Ze^{-jW_n})$$

따라서 FDM신호 $Y(m)$ 은 G_n 에 의해 추출된 sideband 신호의 합으로 얻게된다. 즉,

$$Y(Z) = \sum_{n=0}^{n-1} X_n(Z^N)G_n(Z) = \sum_{k=0}^{2n-1} Z^{-k} H_k(-Z^{2^k}) \cdot \sum_{n=0}^{n-1} 2 \cos k\omega_n X_n(Z^N)$$

이여, 두번째항을 time index m에서 다시 표현하면

$$V_k(m) = \sum_{n=0}^{N-1} 2(\cos k\omega_n)X_n(m), \quad k=0, 1, \dots, 2N-1$$

식(2)는 N 입력신호를 갖는 DCT가 된다.

TDM신호를 FDM신호로 얻기 위해서는 위 식(1)을 계산하면 되는데 이것을 DCT와 필터 bank로써 구현 할 수 있다. 그림-2는 DCT와 채널필터로 구성되는 TDM/FDM변환장치 블럭다이어그램이다. 이때 채널필터는 대역통과 필터와 interpolation 필터로 분리될 수 있다. high Sampling Rate는 계산이 복잡하기 때문에 Low Sampling Rate로 대역통과 필터와 DCT를 거친후 Sampling Rate를 증가시키면 회로가 좀더 간단하게 된다. [8]

한편 대역통과 필터를 IIR 전대역 통과 필터의 병렬 연결로 구성하게 되면 계산량은 감소하게 된다. 그림-3은 대역통과 필터와 Interpolation 필터를 전대역통과 필터만으로 구성된 TDM/FDM 변환장치를 나타낸다.

3. 원시형의 필터의 전달함수 계산

본 연구에서는 TDM/FDM변환장치의 원시형 저역통과 필터를 두개의 전대역통과(All Pass) 필터를 병렬 연결하여 구성하였다. 필터의 설계절차 [9]는 다음과 같다

1) 필터의 특성 결정

24채널 TDM/FDM변환장치를 전대역통과 필터를 이용하여 구성할 경우 원시형 저역통과 필터는 CCITT규정에 따르면 그 특성은 다음과 같다. 주파수 특성은 그림-4와 같다
Sampling Rate: 4KHz

Pass band frequency: 0 ~ 1.7KHz < 0.25dB

Stop band frequency: 1.76 ~ 2.0KHz > 75dB

3) Polynomial Q(z)계산

계산된 pole zero로 이용하여 전달함수 $H(z)=P(z)/D(z)$ 을 구하여 이것을 이용하여 $\hat{Q}(z)=\hat{P}(z)-Z^{-1}\hat{D}(z)$ D(z)의 값을 갖는 Q(z)을 구한다. 이때 Q(z)은 symmetry 특성이 있기 때문에 recurrive 방법으로 구할 수 있다.

4) All pass network의 pole, zero로 변환 $Q(z) \cdot P(z)$ 의 근을 구하면 이근이 주어진 IIR필터를 All pass network으로 구성할 때 pole이 된다.

5) All pass network의 전달함수 계산

그림-5는 8차의 IIR필터로 4개의 All pass network으로 구성된 블럭다이어그램이다. (4)에서 구한 8개의 pole은 unit circle 내부와 외부로 분리하고 내부 pole은 A_1, A_2 의 전달함수를 결정하고 외부 pole은 A_3, A_4 의 전달함수를 결정한다.

4. 원시형필터의 집적회로 설계

일반적인 2차전대역통과필터의 전달함수는

$$G_2(Z) = \frac{b_3 + b_2Z^{-1} + Z^{-2}}{1 + b_2Z^{-1} + b_3Z^{-2}}$$

로 표시된다. 앞에서 구한 4개의 All pass network의 전달함수로 부터 각각 b, b 를 구하게 되고 이계수는 회로에서 굵샘기의 입력값이 된다.

2차 전대역통과 필터는 16가지의 다른 [10] 구조로 구

성이 된다. 본 논문의 IIR필터는 pole position이 $r=0.24804$ 와 $r=0.74426$ 이기 때문에 Noise특성과 계산량에 의한 Delay를 고려하여 그림-6의 구조를 택하였다.

집적회로로 구현하기 위한 블럭다이어그램은 그림-7이며 그림-8 Interpolation 필터를 구성하기 위한 1차 전대역 통과 필터의 블럭다이어그램이다

회로내의 데이터 형태는 2.s complement와 Sign magnitude를 병행 하였다. 또한 숫자는 fixed point형태로 하고 입력 값이나 내부 데이터 값이 항상 1을 초과하지 않도록 Scale하고 최종출력에서 복원하는 방식을 택했다. 회로는 function 시뮬레이션을 통해 그림-9 그림-10과 같이 각 노드점에서 데이터가 정확히 동작함을 입증했다.

집적회로의 설계는 실리콘, 콤팩트일리를 이용하여 CMOS 2- μ m 이중메탈로 설계 하였다. [10]

설계된 칩의 레이아웃은 그림-11, 그림-12와 같다. 레이아웃면적은 1차필터가 $4995 \times 4300 \mu$ m이다.

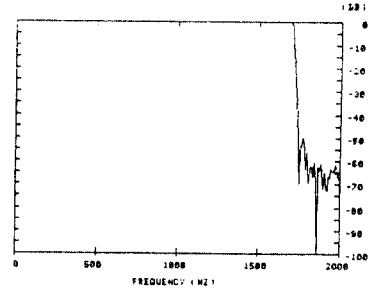
5. 결론

본 논문에서는 TDM/FDM변환장치에 사용되는 채널필터의 원시형 저역 통과 필터를 All pass 필터로 구성하고 2차 All pass 필터의 집적회로를 설계하였다. 또한 Interpolation 필터를 위한 1차 All pass 필터의 집적회로설계도 시행하였다. 2차 All pass 필터의 지연시간은 load에 pf일때 minimum 11.5ns, maximum 340ns이다. 따라서 4KHz로 샘플링한 경우 250ns가 요구되는데 이같은 충분히 만족될 수 있다.

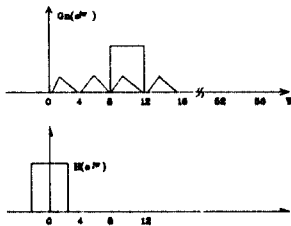
6. 참고문헌

1. HELMUT SCHEUERHAN "A Comprehensive Survey of Digital Transmultiplexing Methods", Proc of IEEE, vol 69, Nov, 1981
2. Freeny, "TDM/FDM Translation as an Application of Digital Signal Processing", IEEE Com mag, Jan, 1980.
3. ROSSITER, "A Modulan Transmultiplexer System Using Custom LSI Device", IEEE, Tr on COM, COM-30, July 1982.
4. WAKABAYASHI, "TDM-FDM Transmultiplexer System Using a Digital Signal Processor" IEEE Tr on COM, COM-30, July 1982.
5. BEDE LIU, "Transmultiplexer Design Using All-Pass Filters" IEEE Tr on COM, COM-30, July 1982.
6. 최병윤 "2차원 시스토크 FFT 프로세스설계" 연세대학원, 전자공학과 1986.
7. BELLANGER, "TDM-FDM Transmultiplexer Digital Polyphase and FFT" IEEE Tr on COM, COM-22, Sep. 1982.
8. BELLANGER, "Digital Filtering by Polyphase Network: Application to Samp -Rate Alteration and Filter

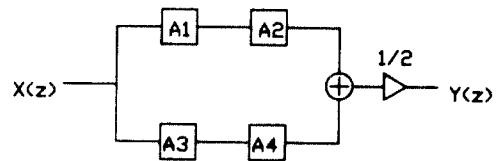
- Banks", IEEE Tr on ASSP, ASSP-24, APRIL 1976.
9. VAIDYANATHAN, "A New Approach to the Realization of Low-Sensitivity IIR Digital Filters" IEEE Tr on ASSP, ASSP-24, APRIL 1976.
10. HITRA "Digital All-Pass Network", IEEE Tr on CAS, CAS-21, Sep. 1976.
11. GENESIL FUNCTION SET vol-I, II, III, User's MANUAL, Korea Silicon Tech.



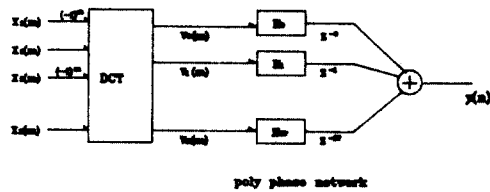
< 그림-4 > 원시형필터의 주파수 특성



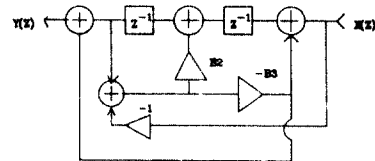
< 그림-1 > 채널필터와 원시형 필터



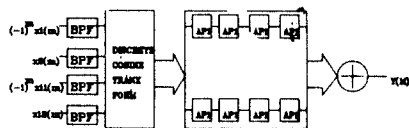
< 그림-5 > All-Pass필터로 구성된 저역통과 필터



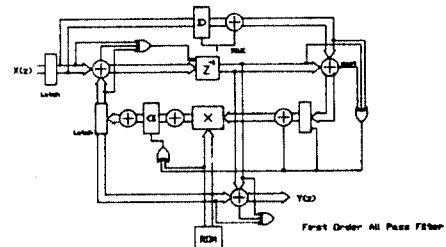
< 그림-2 > 다상회로와 DCT를 이용한 TDM/FDM 변환장치



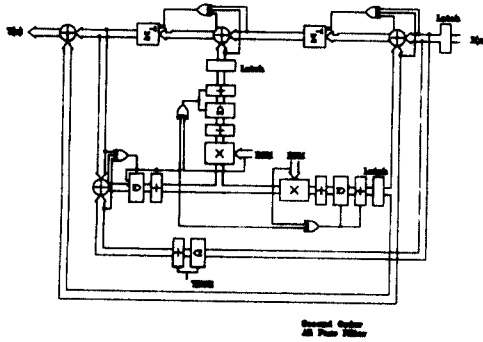
< 그림-6 > 2 차 All-Pass회로의 구조



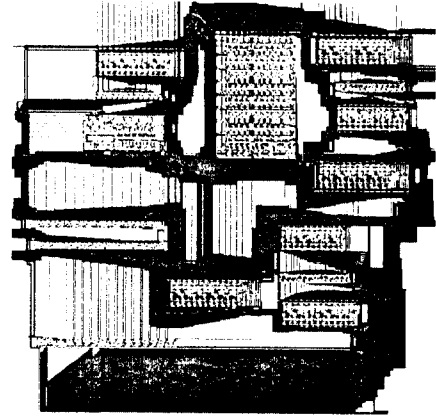
< 그림-3 > All-Pass필터를 이용한 TDM/FDM 변환장치



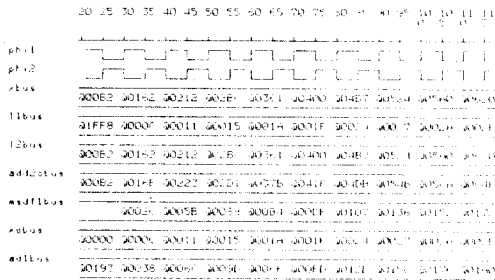
< 그림-7 > 1 차 All-Pass필터의 블럭다이어그램



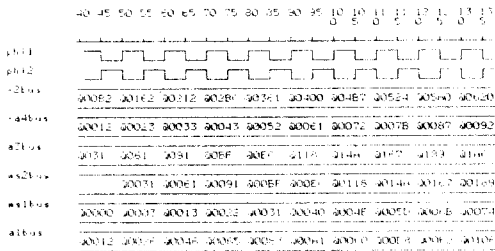
< 그림-8 > 2 차 All-Pass필터의 블록다이어그램



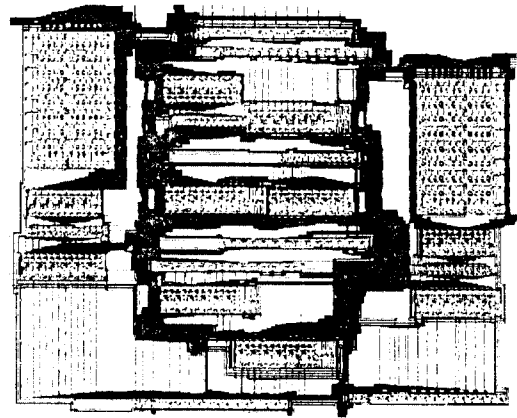
< 그림-11 > 1 차 All-Pass필터의 레이아웃



< 그림-9 > 1 차 All-Pass에 대한 function 시뮬레이션 결과



< 그림-10 > 2 차 All-Pass필터에 대한 function 시뮬레이션 결과



< 그림-12 > 2 차 All-Pass필터의 레이아웃

POLES	
REAL	IMAGINARY
-1.891744	.440971
-1.809890	.456918
-1.684167	.481287
-1.314690	.300246
ZEROS	
REAL	IMAGINARY
-1.928721	.370780
-1.241699	.336456
-1.968115	.050510
-1.295331	.096005

< 표-1 > 원시형 필터의 Pole, Zero