

반주기 표본화를 이용한 DPLL의 성능개선에 관한 연구

최영준 강철호
 광운대학교 전자통신공학과

A Study on the Performance Improvement of DPLL Using a Half Period Sampling

Young Joon Choi Cheol Ho Kang
 Dept. of Electronic Commun., Kwangwoon University

논문요지

본 논문에서는 입력 신호인 정현파의 위상을 PGZC(positive going zero crossing)에 대해 한 주기당 2회씩 추적하도록 하는 디지털 위상 동기 회로(DPLL)를 제시한다. 제시된 루우프는 한 주기당 2번의 표본화를 갖도록함으로써 한 주기당 하나의 표본을 취하는 기존의 DPLL보다 정상 상태에서의 위상오차 변동범위가 전체적으로 1/2로 감소되었고 연속 표본들간의 오차와 양자화 준위의 선택에 따라서 루우프의 전이 응답이 좋아짐을 알 수 있었다. 그 해석적 결과류 실제적으로 요구되는 조건들에 대하여 컴퓨터 시뮬테이션을 행함으로써 검증하였다.

ABSTRACT

In this paper, an all digital phase-locked loop(DPLL) has been proposed, which tracks the phase of the incoming signal twice per each cycle for positive going zero crossings (PGZC) of the signal.

The proposed DPLL has a half reduction of the steady state phase error fluctuation ranges in a whole, comparing with that of the conventional DPLL which tracks the phase of the incoming signal once per each cycle.

Also, It has been shown that this loop has a good transient response according to proper selection of the phase error between successive samples and the quantization level.

The analytic result has been verified by computer simulation for the practically required conditions.

제 1 장 서 론

아날로그 위상 동기 회로(APLL)는 통신 시스템의 여러 분야에서 중요한 역할을 한다.

DPLL의 성능, 속도, 신뢰도, 그리고 안정도의 개선과 LSI, VLSI에 의한 소형화와 가격의 감소와 추세에 따라 여러 형태의 DPLL이 연구되어져 왔다.

DPLL에 관한 연구는 APLL의 구성요소를 부분적으로 디지털 성분으로 대체함으로써 시작되었고, 전체 회로의 디지털화는 1970년대 초반에 이루어졌다 [1], [2], [3].

1973년에 Reddy와 Gupta는 입력 정현 신호의 위상을 PGZC에 대해 한 주기당 한 번씩 추적하도록 한 DPLL을 제시하였다 [4].

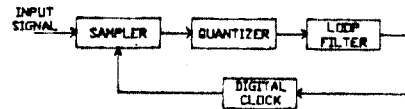


그림 1. Reddy & Gupta 가 제시한 DPLL의 구성도.

그림 1은 이러한 DPLL의 구성도류 나타낸 것으로 sampler는 입력 신호의 PGZC에 대해 하나의 표본을 갖음으로써 위상오차를 검증하고, 디지털 클럭은 그 위상오차에 따라 수정되어 입력 신호를 추적하게 된다.

이러한 루우프는 해석적인 면에 있어서 여러 형태의 DPLL들이 갖는 일반적인 성질들을 잘 나타내어 주기 때문에 현재까지도 DPLL의 해석과 응용에 있어서 기본이 되고 있다 [5].

그러나, Reddy와 Gupta 가 제시한 루우프는 정상 상태의 위상오차의 범위가 주변의 상태에 따라 민감하여 통신선로에서 항상 존재하는 잡음에 대해 좋은 성능을 갖지 못한다 [6], [7]. Reddy와 Gupta가 제시한 루우프의 성능을 개선하기 위한 여러 형태의 DPLL이 연구되어졌다 [8], [9], [10], [11]. 그러나, 그러한 루우프들은 해석상의 제한과 어려움이 따르며 회로의 구성이 다소 복잡하게 되는 단점이 있다 [5].

본 논문에서는 Reddy와 Gupta가 제시한 루우프의 성능을 보완하기 위한 보다 간편한 방법을 제시하였다. 제시된 DPLL은 두개의 sampler를 갖으며 클럭의 반주기마다 입력 신호의 PGZC에 대해 하나의 표본을 가짐으로서 정상 상태 위상오차의 변동범위를 감소시킬 수 있음을 보여준다.

제 2 장 회로의 구조와 위상 동기 동작

제 1 집 회로의 구조

그림2는 본 논문에서 제시한 루우프의 구성도를 나타낸 것으로 두개의 sampler, quantizer, 루우프 필터, 디지털 클럭으로 이루어진다.

sampler 1 에는 입력신호와 동위상인 신호가 인가되어 클럭의 상승 모서리에서 표본을 갖게되고, π 만큼 전이된 입력 신호는 sampler 2에 인가되어 PGZC에 대해 클럭의 하강 모서리에서 하나의 표본을 갖게된다.

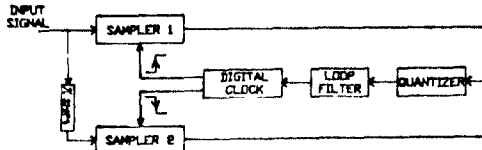


그림 2. 반주기 표본화를 이용하는 DPLL의 구성도

제 2 절 회로의 위상 동기 동작

위상동기 동작을 분명하고, 간략하게 설명하기 위하여 2준위 양자화기를 갖고 루우프 필터를 갖지 않는 디지털 회로에 대하여 고찰하며 회로의 입력 신호는 최대진폭이 일정한 정현 반송파형으로 잡음이 존재하지 않는다고 가정한다.

그림3은 기존 루우프의 위상동기 동작을 보여주는 것이다. Quantizer의 출력은 클럭의 다음 표본 주기 T(1)을 변화시켜

$$T(1) = T_0 - (T_0/N) \operatorname{sgn}[\phi(0)]$$

$$\text{, 단 } \phi(k) = \begin{cases} 1, & \phi(k) > 0 \\ 0, & \phi(k) = 0 \\ -1, & \phi(k) < 0 \end{cases} \quad \text{---(1)}$$

이 되게한다. 즉, 클럭은 T(1)초후에 sampler에 신호를 보내 다음 표본을 취하게 되고, 위상오차는 두번째 표본화 순간에서 t(0)에서의 표본화 위치보다 PGZC에 더욱 가까이 존재하기 때문에 감소하게 된다. 세번째 표본은

$$T(2) = T_0 - (T_0/N) \operatorname{sgn}[\phi(1)]$$

$$\text{, } \phi(1) = \sin a(1) \quad \text{---(2)}$$

의 시간후에 취해지며 표본화 순간은 PGZC에 더욱 가깝게 움직인다. k번째 표본은

$$T(k) = T_0 - (T_0/N) \operatorname{sgn}[\phi(k-1)] \quad \text{---(3)}$$

의 시간후에 취해지고, 최종 위상오차는 입력신호의 PGZC부근에서 발진하게 된다. 즉, 루우프는 발진 위상오차를 갖으면서 입력위상을 추적한다[2].

그림4는 본 논문에서 제시한 루우프의 위상동기 동작을 설명하여 주는 것으로 sampler 2의 입력 신호는 sampler 1의 입력 신호의 위상과 π 만큼의 차이를 갖고 클럭의 하강 모서리에서 표본화가 이루어진다. 그림에서 보여지는 것처럼 각 sampler는 클럭의 반주기마다 번갈아 하나씩의 표본을 갖음으로써 입력 신호의 위상을 추적하게되고, 그

표본들에 의해 적당한 수정 명령들이 클럭에 인가되어져서 다음 표본화주기를 변화시킨다.

제시된 루우프의 표본화 주기 T'(K)는 그림4의 T(k)의 1/2이된다. 그러므로 표본화 시간은 위상 오차에 따라

$$T'(k') = (1/2)T(k)$$

$$= (1/2)T_0 - (T_0/N) \operatorname{sgn}[\phi(k-1)] \quad \text{---(4)}$$

라고 쓸수 있다. 즉, 루우프는 식(4)에 따라 입력 신호를 추적하여 입력 신호의 PGZC 부근에서 정상 상태 발진 위상오차를 갖게된다.

제 3 장. 회로의 해석

본 장에서는 Reddy & Gupta 가 제시한 DPLL의 기본 방정식과 루우프의 일반방정식을 설명하고, 이로부터 본 논문에서 제시한 루우프의 방정식을 유도한다. 해석적인 간편성을 위하여 잡음이 존재하지 않는 경우를 고려한다.

제 1 절. DPLL의 수학적 모델

1. 루우프의 입출력 위상

입력 신호는 $A \sin[\omega_0 t + \theta_1(t)]$ 라한다. 여기서 ω_0 는 캐리어 주파수 [radian/seconds]이고, 입력에 의한 수정명령이 없는 디지털 클럭의 표준주기는 $T_0 = 2\pi/\omega_0$ 이다.

k번째 표본화 순간에 루우프에 인가된 신호는

$$A \sin[\omega_0 t(k) + \theta_1(k)]$$

$$\begin{cases} k: 0\text{을 포함하는 양의정수} \\ t(k): k\text{번째 표본화시간} \\ \theta_1 t(k) = \theta_1(k) \end{cases} \quad \text{---(5)}$$

이라 쓸수있고, 입력 신호의 위상은

$$\beta_1(k) = \omega_0 \cdot t(k) + \theta_1(k) \quad \text{---(6)}$$

이 된다. 이때의 클럭의 위상은

$$\beta_0(k) = 2\pi \cdot k \quad \text{---(7)}$$

가 된다. 또한, $\beta_0(k)$ 는 입력 신호의 위상으로 표현할 수 있다. 즉,

$$\beta_0(k) = \omega_0 t(k) + \theta_0 t(k) = \omega_0 t(k) + \theta_0(k)$$

$$\text{, } \theta_0 t(k) = \theta_0(k) \quad \text{---(8)}$$

이며 $\theta_1(k), \theta_0(k)$ 는 입력 신호의 위상과 캐리어 주파수에 따른 클럭의 출력 위상에 대하여 루우프의 방정식을 유도하기 편리하기 때문에 이들을 각 루우프의 입력, 출력 위상으로 정의한다.

2. Sampler

k번째 표본화 순간에서 sampler의 출력은

$$a(k) = A \sin[\beta_1(k) - \beta_0(k)]$$

$$= A \sin \phi(k)$$

$$\text{, } \phi(k) = \theta_1(k) - \theta_0(k): \text{위상오차} \quad \text{---(9)}$$

3. Quantizer

Quantizer의 특성을 Q[·]라 하면 k번째 표본화 순간에서의 양자화기의 출력은

$$Q[a(k)] = Q[A \sin \phi(k)] \quad \text{---(10)}$$

4. 무우프 필터

무우프 필터의 특성을 $D[\cdot]$ 라 하면 k 번째 표본화 순간에서의 무우프 필터의 출력은

$$b(k) = D\{Q[a(k)]\} \\ = 0 \text{을 포함하는 정수출력} \quad \text{-----(11)}$$

5. 디지털 클럭

클럭의 동작은 그림5.에서 설명한 것처럼 k 번째 표본화 순간에서

$$T(K) = T_0 - (T_0/N) \cdot b(k-1) \quad \text{-----(12)}$$

와 같이된다. 여기서 $b(k-1)$ 은 $k-1$ 번째 표본에서의 무우프 필터 출력이다.

그리고, 인접 상태들간의 위상오차 $\delta = 2\pi/N$ [radans], k 번째 클럭주기의 각주파수는 $W(k) = 2\pi/T(K)$ 가 된다.

제 2 절. 무우프의 방정식

1. Reddy와 Gupta가 제시한 무우프의 방정식

그림5.에서 k 번째 표본화 순간은

$$t(k) = \sum_{j=1}^k T(j) + t(0) \quad \text{-----(13)}$$

이 되고, k 번째까지의 전체주기에 걸친 전 출력위상은

$$\beta_0(k) = \sum_{j=1}^k W(j) \cdot T(j) = 2\pi k \quad \text{-----(14)}$$

이 된다. 식 (2) 로 부터

$$\theta_0(k) = \beta_0(k) - W_0 \cdot t(k) \quad \text{-----(15)}$$

이 되고, 이 식에 (12), (13), (14) 식을 대입하면

$$\theta_0(k) = \sum_{j=1}^k W_0(T_0/N) \cdot b(j-1) - W_0 \cdot t(0) \quad \text{-----(16)}$$

가 된다. 여기서 $\delta = W_0(T_0/N)$ 이므로

$$\theta_0(k+1) = \sum_{j=1}^k \delta b(j-1) - W_0 t(0) + \delta h(k) \quad \text{-----(17)}$$

이 되고, (11), (16), (17) 식으로부터

$$\theta_0(k+1) = \theta_0(k) + \delta D\{Q[\text{Asin}\phi(k)]\} \\ , \theta_0\{t(0)\} = \theta_0(0) - W_0 t(0) \quad \text{-----(18)}$$

그리고, 위상오차는 식 (18) 로 부터

$$\phi(k+1) - \phi(k) + \delta D\{Q[\text{Asin}\phi(k)]\} \\ = \theta_1(k+1) - \theta_1(k) \\ , \phi\{t(0)\} = \phi(0) = \theta_1\{t(0)\} - \theta_0\{t(0)\} \\ = \theta_1(0) + W_0 t(0) \quad \text{-----(19)}$$

가 된다.

또한, 그림4로 부터 표본화 시간 $t(k)$ 는 다음과 같이 나타낼 수 있다.

$$t(k) = t(0) + T(1) + T(2) + \dots + T(k)$$

여기서 (12) 식을 대입하면

$$t(k) = t(0) + kT_0 - \sum_{j=1}^k (T_0/N) b(j-1)$$

이 되고, (13) 식으로부터

$$\theta_0(k) = \theta_0(0) + W_0 t(k)$$

$$t(k) = t(0) + kT_0 - \frac{\theta_0(k) - \theta_0(0)}{W_0}$$

$$t(k) = kT_0 - \theta_0(k)/W_0 \quad \text{-----(20)}$$

가 된다. 이는 표본화 순간 $t(k)$ 가 입력 신호와 연관되어 k 에 대하여 선형적이 아님을 나타낸다.

식 (18), (19), (20)은 무우프의 출력과 입력위상, 위상오차와 무우프의 입력위상에 관련된 무우프 동작을 나타내는 차분 방정식이다.

2. 제시한 DPLL의 무우프 방정식

그림5에서 설명되는 것처럼 제시한 무우프의 표본화 주기를 $T'(k)$ 라 하면

$$T'(K) = (1/2)T(k) = (1/2)\{t(k) - t(k-1)\} \\ = (1/2) \sum_{j=1}^k T(j) \\ = (1/2)kT_0 - (1/2)(T_0/N) \sum_{j=1}^k b(j-1) \quad \text{-----(21)}$$

와 같이 $T(k)$ 에 관하여 정리할 수 있다.

이 식으로부터 제시한 무우프의 특성을 나타내는 일반 방정식을 다음과 같이 얻을 수 있다.

(1). 출력 위상 :

무우프의 출력 위상은

$$\theta_0(k) = \beta_0(k) - W_0 t'(k) \\ = \sum_{j=1}^k W(j) \cdot T'(j) - W_0 \left\{ \sum_{j=1}^k T'(j) + t(0) \right\} \\ = \sum_{j=1}^k (1/2)\delta b(j-1) , \delta = 2\pi/N$$

으로부터

$$\theta_0(k+1) = \theta_0(k) + (1/2)\delta D\{Q[\text{Asin}\phi(k)]\} \\ , \theta_0(0) = -W_0 t(0) \quad \text{-----(22)}$$

이 된다.

(2). 위상오차 :

위상오차는 $\phi(k) = \theta_1(k) - \theta_0(k)$ 로 부터

$$\phi(k+1) - \phi(k) \\ = \theta_1(k+1) - \theta_1(k) - (1/2)\delta D\{Q[\text{Asin}\phi(k)]\} \\ , \phi(0) = \theta_0(0) + W_0 t(0) \quad \text{-----(23)}$$

가 된다.

(3). 표본화 시간 :

$$t'(k) = (1/2)t(k) \\ = (1/2)kT_0 - \theta_0(k)/W_0 = \{kT_0 - \theta_0(k)\}/W_0 \quad \text{-----(24)}$$

유도되어진 (22), (23), (24)식들은 제시한 무우프의 특성을 나타내는 일반 방정식이다.

제 4 장. 무우프의 성능

본 논문에서는 무우프 필터를 갖지 않고, 잡음이 없는 무우프를 고려하여 양자와 준위의 변화에 따른 무우프의 응답을 논한다. 여기서 무우프 필터가 없다는 것은 $D(y) = y$ 임을 의미한다.

제 1 절. 위상 스텝을 갖는 입력에 대한 응답

위상 스텝의 크기 θ 에 대한 입력신호는

$$A \sin\{W_0(k) + \theta\} , \theta_1(k) = \theta \quad \text{-----(25)}$$

이다. 앞에서 유도된 일반 방정식으로 부터 $t(0)=0$ 인 경우의 무우프 동작을 묘사하는 차분 방정식은 다음과 같다.

$$t'(k) = (\pi k - \theta_0(k)) / \omega_0 \quad \text{----- (26)}$$

$$\begin{aligned} \theta_0(k+1) &= \theta_0(k) + (1/2) \delta Q [A \sin \phi(k)] \\ &, \phi(k) = \theta - \theta_0(k) \\ &, \theta_0(0) = 0 \quad \text{----- (27)} \end{aligned}$$

$$\begin{aligned} \phi(k+1) &= \phi(k) - (1/2) \delta Q [A \sin \phi(k)] \\ &, \phi(k) = \theta \quad \text{----- (28)} \end{aligned}$$

위 식들은 다음과 같은 루우프의 성질을 나타낸다.

1. 입력 위상은 $\pm \delta/2$ 범위 내에서 추적되어 정상 상태 발진 위상오차를 갖게 되며 상태수 N에 반비례한다. 제시된 루우프의 평균 정상상태 위상오차는 $|\phi_{avg}| \leq \delta/4$

가 된다. 이는 기존의 루우프보다 약 1/2로 감소되어진 정상상태 위상오차의 변동범위를 갖게됨을 나타내는 것이다 [4].

2. 루우프의 전이응답은 $\delta/2$ 에 정비례한다. 즉, 양자화기의 준위에 종속되어 N에 반비례한다. 주어진 N에 대하여 연속 표본들간에 발생할 수 있는 최대 위상 변화치는 $L\delta/2$ 가 된다. 이는 L이 증가할 때 보다 나은 전이 응답을 갖음을 나타낸다.

그림5의 (1), (2)는 기존의 루우프와 제시한 루우프의 위상 스텝에 대한 응답으로서 L=1, N=16, 24인 경우에 대해 컴퓨터 시뮬레이션한 결과를 나타낸 것으로 제시한 루우프의 정상상태 위상오차가 전체적으로 1/2 정도 감소하는 것을 알 수 있다.

그림6의 (1), (2)는 L=2인 경우로써 양자화의 준위 변화점을 $1/\sqrt{2}$ 로 하였을 때의 응답을 보여주는 것으로 양자화 준위를 증가시키면 정상 상태에서 루우프의 응답이 개선됨을 나타낸다.

제 2 절. 주파수 스텝을 갖는 입력에 대한 응답

주파수 스텝의 크기가 W-Wo인 입력 신호와 입력 위상은 각각 $A \sin(\omega t)$, $\theta_i(k) = (W-Wo) \cdot t'(k)$ 가 되므로 (24) 식으로부터

$$\theta_i(k) = (W-Wo) \cdot (\pi k - \theta_0(k)) \quad \text{----- (29)}$$

이 되고, (22) 과 (23) 식은

$$\begin{aligned} \theta_i(k+1) - \theta_i(k) &= (W-Wo)/\omega_0 \{ \pi - \theta_0(k+1) - \theta_0(k) \} \\ &= (W-Wo)/\omega_0 \{ \pi - (1/2) \delta Q [A \sin \phi(k)] \} \quad \text{----- (30)} \end{aligned}$$

$$\begin{aligned} \phi(k+1) &= \phi(k) + (W-Wo) \pi / \omega_0 - (W-Wo) (1/2) \delta Q [A \sin \phi(k)] \\ &, \phi(0) = \theta_i(0) = t(0) = 0 \quad \text{----- (31)} \end{aligned}$$

와 같이 된다.

루우프가 동기될 이룰 수 있는 대역은 처리되어지는 캐리어 주파수 부근의 총 드리프트(drift)로서 정의되어진다. 그러므로, 임의의 주파수 스텝에 대해 루우프가 동기되어 진다면 $\phi(k+1)$ 과 $\phi(k)$ 의 정상상태에서의 발진범위는 거의 같게 된다. 즉, K가 큰 값이 되면 $\phi(k+1) \approx \phi(k) = \phi_{ss}$

라할 수 있다. 그러므로, 식 (11)로부터

$$\{(W/Wo) (1/2) (2\pi/N) Q [A \sin \phi(k)]\} = (W/Wo - 1) / \pi \quad \text{----- (32)}$$

$$Q [A \sin \phi(k)] = (W/Wo - 1) N \quad \text{----- (33)}$$

이 되고, $Q [A \sin \phi(k)]$ 의 극대값은 $\pm L$ 이므로

$$(W/Wo - 1) N = \pm L \quad \text{----- (34)}$$

이 된다. 즉, 루우프가 동기되기 위한 최저, 최고 주파수는

$$W = \{N/(N+L)\} \omega_0, \quad W = \{N/(N-L)\} \omega_0 \quad \text{----- (35)}$$

이고, 동기범위는

$$W = W - W = \{2NL/(N-L)\} \omega_0 \quad \text{----- (36)}$$

과 같이 된다. 또한, 동기될 이르기 위한 조건은 $N/(N+L) \leq W/Wo \leq N/(N-L)$ ----- (37)

이 된다.

주파수 스텝을 갖는 입력에 대한 루우프의 응답은 다음과 같다.

1. 루우프는 정상상태 위상오차를 갖으며 (37) 식과 같은 동기 범위 내에서 주파수 스텝을 갖는 입력을 추적하며 이를 만족하지 않는 경우 발산하게 된다. (37) 식의 동기범위는 기존의 루우프와 같다 [4]. 즉, 제시한 루우프가 동기 대역의 손실 없이 정상상태 위상오차를 작게할 수 있어 보다 안정된 동기상태를 유지할 수 있음을 보여준다.

그림7의 (1), (2), 그림8의 (1), (2)는 각각 L=1, 2인 경우 루우프의 주파수 스텝에 대한 응답과 동기범위에 따른 위상오차값을 나타낸 것으로 제시된 루우프의 정상상태 위상오차가 1/2 정도 감소되었고, L값의 증가에 따라 보다 나은 전이응답을 갖게됨을 알 수 있다.

2. W/Wo가 정확하게 동기 대역의 경계치에 일치할 때 위상오차는 k>0에 대하여 일정한 값을 갖게됨을 그림7, 8로부터 알 수 있다. 그림8은 L=2인 경우로서 양자화 준위에 따라서 정상 상태에서 바이어싱(biasing) 효과를 갖게됨을 보여준다.

제 3 절. 양자화 준위의 변화에 대한 루우프의 응답과 L의 최대값

앞 장의 해석으로부터 위상오차의 발진과 정상상태 평균 위상오차가 다소 증가 되는 것을 감수할 수 있다면 그림9에 보이는 것처럼 주어진 N에 대해서 L을 증가시킴으로써 전이응답과 정상상태 위상오차가 개선되어질 수 있음을 알 수 있다.

그러나, (21) 식에서 $L > N$ 인 값들에 대해서 $Q [A \sin \phi(k-1)]$ 는 L이 되기때문에 입력 신호의 한 주기를 넘는 값들에 있어서는 유용하지 못하게 된다 [12]. 그러므로, 양자화 준위 L의 최대치가 위상오차의 상태수 N 보다 항상 작아지도록 양자화기의 설계시에 고려되어야 한다 [13], [14].

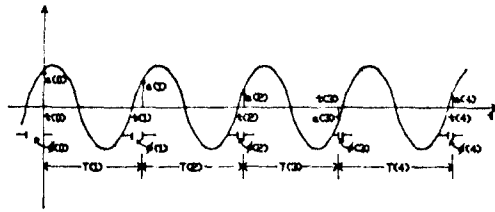


그림 3. 기존 DPLL의 입력 신호와 위상오차.

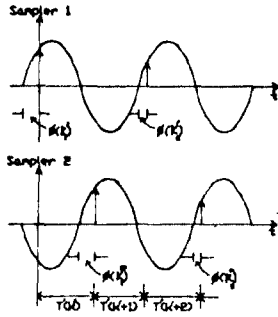


그림 4. 재시된 루우프의 입력 신호와 위상오차.

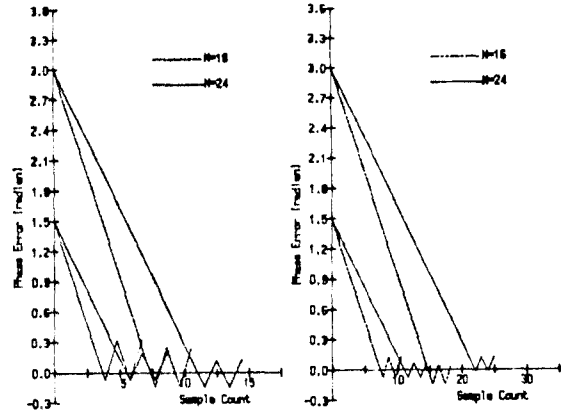
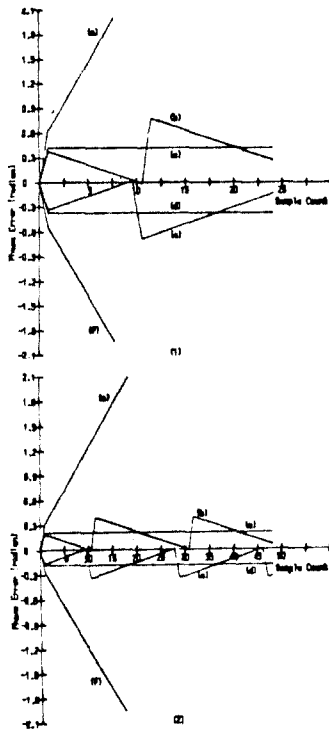


그림 5-(1). L=1인 경우 기존 DPLL의 위상 스텝에 대한 응답.

그림 5-(2). L=1인 경우 제시한 DPLL의 위상 스텝에 대한 응답.



(a) $W/W_o=16.5/15$, (b) $W/W_o=15.9/15$, (c) $W/W_o=16/15$
 (d) $W/W_o=16/17$, (e) $W/W_o=16.1/17$ (f) $W/W_o=15.5/17$

그림 7-(1). L=1 인 경우 기존 DPLL의 주파수 스텝에 대한 응답.

7-(2). L=1 인 경우 제시된 DPLL의 주파수 스텝에 대한 응답.

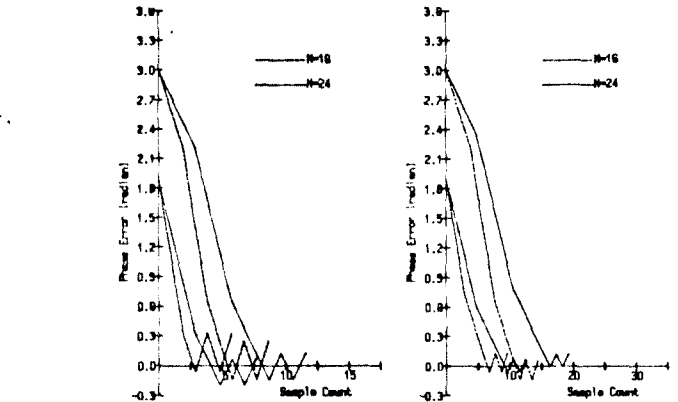
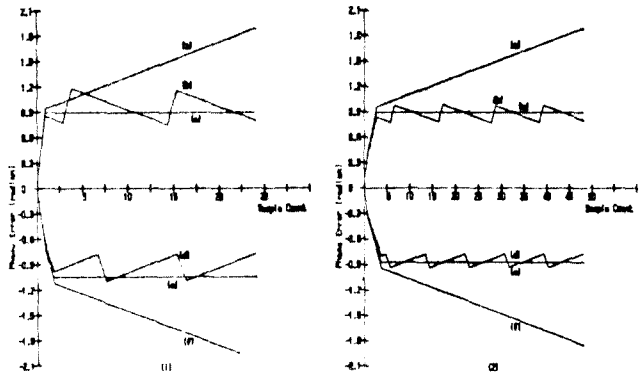


그림 6-(1). L=2인 경우 기존 DPLL의 위상 스텝에 대한 응답.

그림 6-(2). L=2인 경우 제시한 DPLL의 위상 스텝에 대한 응답.



(a) $W/W_o=16.5/15$, (b) $W/W_o=15.9/15$, (c) $W/W_o=16/15$
 (d) $W/W_o=16/17$, (e) $W/W_o=16.1/17$ (f) $W/W_o=15.5/17$

그림 8-(1). L=2 인 경우 기존 DPLL의 주파수 스텝에 대한 응답.

8-(2). L=2 인 경우 제시된 DPLL의 주파수 스텝에 대한 응답.

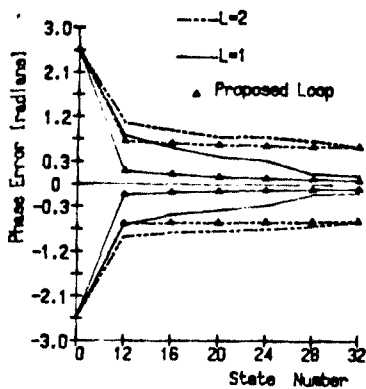


그림 9. L, N의 변화에 따른 정상상태 위상오차

제 5 장. 결 론

본 논문에서는 2개의 sampler를 이용하여 입력 신호의 PGZC에 대하여 신호의 위상을 2회씩 추적하는 DPLL을 제시하였다. 잡음과 루우프 필터가 없다는 가정하에서 Reddy와 Gupta가 제시한 루우프의 방정식으로부터 본 논문에서 제시된 루우프의 특성을 나타내는 방정식들을 유도하여 위상과 주파수 스텝 입력에 대한 루우프의 응답과 양자화 준위의 변화에 따른 특성을 고찰하고, 해석적인 결과들을 컴퓨터 시뮬레이션을 통하여 확인하였다. 제시된 DPLL은 기존의 루우프보다 정상상태에서의 위상오차값이 전체적으로 1/2로 감소되었고, 동일한 N, L값에 대해 보다 나은 천이 응답을 갖게 됨을 알 수 있었다.

본 논문에서 제시한 루우프에 대하여 잡음과 양자화 효과, 루우프 필터를 고려한 해석, 실제적인 통신 시스템에서의 응용등은 계속 연구되어야 할 것이다.

참 고 문 헌

1. Gardner F. M., "Phase Lock Techniques", John Wiley & Sons, Inc.: New York, 1966.
2. W. C. Lindsey & C. M. Chie., "A Survey of Digital Phase-Locked Loops", Proceeding of the IEEE, Vol. 69, NO. 4, April 1981.
3. S. C. Gupta, "Phase Locked Loops", Proceeding of the IEEE, Vol. 63, No. 2, Feb., 1975
4. C. P. Reddy & S. C. Gupta, "A Class of All DPLLs: Modeling and Analysis", IEEE Trans. on Industrial Electronics & Control Instrumentation, Vol. IECE-20, No. 4, November 1973.

5. Roland E. Best, "Phase-Locked Loops", McGraw-Hill Inc., 1984
6. W. C. Lindsey & C. M. Chie., "Acquisition Behavior of a First Order DPLL", IEEE Trans. Commun., Vol. COM-26, pp. 1364-1370, Sept. 1978.
7. N. A. D'Andrea & F. Russo, "A Binary Quantized DP-LL: A Graphical Analysis", IEEE Trans. Commun., Vol. COM-26, pp. 1355-1364, Sept. 1978.
8. Hisao Yamamoto & Shinsaku Mori, "Performance of a Binary Quantized All DPLL with a New Class of Sequential Filter", IEEE Trans. on Comm., Vol. COM-26, No. 1, Jan. 1978.
9. Jean-Paul Sandoze & W. Steenaart, "Performance Improvement of a Binary Quantized All-DPLL with a New Aided Acquisition Technique", IEEE Trans. on Comm., Vol. COM-35, No. 12, Dec. 1984.
10. J. K. Holmes, "Performance of a First-Order Transition Sampling DPLL Using Random-Walk Model", IEEE Trans. on Comm. Apr. 1972.
11. J. K. Holmes & Carl R. Tegnala, "A Second-Order All-DPLL", IEEE Trans. on Comm., Jan. 1974
12. G. T. Hurst & S. C. Gupta, "Quantizing and Sampling Considerations in DPLLs", IEEE Trans. Comm. Technol., Vol. COM-22, pp. 68-72, Jan. 1974.
13. N. A. D'Andrea & F. Russo, "Multilevel Quantized DPLL Behavior with Phase- and Frequency-Step Plus Noise Input", IEEE Trans. Comm. Technol., Vol. COM-28, pp. 1373-1382, Aug. 1980
14. C. A. Pomalaza-Raze & C. D. McGillen, "Digital Phase-Locked Loop with Clock and Sampler Quantization", IEEE Trans. Commun., Vol. COM-33, No. 8, Aug. 1985.