

Self-Test 기능을 갖는 FFT용 시스토크 어레이 셀

이 장규 강 병훈 최 병운 김 봉열 이 문기

A Systoric array cell with Self-Test Capability for FFT

Jang Kyu LEE Byeong Hoon KANG Byoung Youn CHOI Bong Ryul KIM Moon Key LEE
Dept. of Electronic Engineering, Yonsei University

ABSTRACT

This paper proposes Self test capability for systoric array processor handling Fast Founier Transform in real time. This processor is composed of five functional blocks for datareordering, result accumulation, Twiddle factor loading, butterfly control, and butterfly arithmetic.

Registers for data ordering, twiddle factor and data accumulation are Feedback shift register (FSR) and are used to generate random test pattern or signature analysis during test mode. Each test pattern generated by FSR enters the Butterfly unit and the result is compressed in accumulator for compare with good signature.

1. 서론

최근 반도체 기술의 발달과 함께 신호처리, 영상 처리 및 통신등의 여러분야에서는 대량의 데이터를 실시간으로 처리할 수 있는 프로세서들이 요구되고 있다. 그러나 칩내에서 소자의 밀도가 높아질수록 칩을 테스트하기 위한 어려움도 상대적으로 증가 하게 되므로 효율적이고 빠른 테스트 기법이 필요하게 되었다.

Built-in test방식은 부가적으로 hardware 가 증가한다는 단점이 있으나 테스트가 용이하여 VLSI 회로에 적합한 것으로 알려져 있다.[8,9] 이 중 LSSD(Level Sensitive Scan Design)은 Chip을 테스트 하는데는 효과적이거나 테스트를 위한 패턴들을 만드는데 어려움이 있기 때문에 FSR(Feedback-Shift-Register)을 패턴 발생기 및 테스트 응답 Compressor로 사용하는 Self-test방식이 많이 이용되고 있다.(5.9.11)

본 논문에서는 FFT연산을 위한 시스토크 어레이 셀을 설계하는데 있어서 테스트가 편리하며 Chip의 면적을 줄일 수 있는 Self-test방식을 제시 하였다. 업떡 레지스터는 데이터의 이동 및 버터플라이 연산 그리고 테스트 패턴 발생을 위해 사용 하였고, 연산 결과를 담고 있는 accumulator는 테스트 응답 compressor로서도 동작할 수 있도록 설계하였다.

2. 시스토크 셀의 구조

N point FFT 연산을 위한 기본 연산식은 DIT radix-2 반쪽 버터플라이기를 사용했을 경우 두 입력 A,B에 대해서 식(1)과 같이 표현 되고,(1,4) 그림(1)에서 그 연산식을 나타내고 있다.

HB = A\*B.W^nk (1)
o: operator( + or - )
n,k: 0,1,...,N-1
W: Twiddle factor

이 연산을 N개의 입력에 대해 2차원 시스토크 어레이 구조를 사용하여 수행하기 위해서는 N개의 셀을 정방향으로 배열해야 하며,(3) 이 때 사용되는 셀은 인접한 셀로 데이터가 이동하여 연산이 이루어질 수 있도록 상, 하, 좌, 우로의 데이터 이동이 가능해야 한다. 그림(2)에서 나타난 것과 같이 이 셀은 5개의 기능 기능 블록으로 나뉘어지며 그 각각의 블록은 FFT를 위한 데이터 이동 및 버터플라이 연산 그리고 셀 자체의 테스트를 할 수 있도록 설계하였다.

1). DIR(Data Input Register block)

DIR은 그림(2), 그림(3)에서와 같이 DIR-A와 DIR-B 두 종류로 구성된다. 이들은 모두 2개의 multiplexer와 한 개의 FSR로서 구성된다. DIR-A는 위에서 아래로, 또는 오른쪽에서 왼쪽으로의 데이터 이동을 할 수 있고

Scaling을 위해 Arithmetic Shift 능력을 가지며 테스트 시에서 random test pattern을 만들어준다. DIR-B는 데이터 이동이 아래에서 위로 그리고 왼쪽에서 오른쪽으로 이루어지는 점을 제외하고는 DIR-A와 같은 기능을 갖는다

### 2). DOR(Data Output Register Block)

DOR은 그림(4)에서 나타낸 바와 같이 초기의 입력 데이터 및 버터플라이 연산 결과를 담은 accumulator 역할과 함께 self-test 동안에 이 레지스터는 테스트 응답을 압축해서 저장할 수 있도록 Signature analysis의 기능도 가지고 있다. 이 때 accumulator의 실수와 허수부분을 2개의 multiplexer를 달아 테스트 시에는 18bit에 대한 Signature analysis가 이루어진다.

### 3).TWD(Twiddle factor register)

TWD는 DIR에 있는 FSR과 동일한 구조를 가지며 단지 Shift arithmetic 기능이 없을 뿐이다. 이것은 FFT의 각 Stage마다 필요한 회전인자값을 가지고 있을 수도 있고, Self-Test 할 때에는 random Test pattern을 발생시킬 수 있다.

### 4).HBAU(Half Butterfly Arithmetic Unit)

HBAU는 그림(5)와 같은 구조를 가지며, distributed 연산과 Merged연산을 바탕으로 8-bit데이터에 대해서 곱셈기 없이 덧셈만으로 버터플라이 연산을 수행할 수 있는 DIT radix-2 반쪽 버터플라이 회로이다.

### 5).CLU(Control Logic Unit)

CLU에서는 버터플라이를 수행하는 제어신호와 Self test를 하는 동안 필요한 제어신호를 만들어 낸다. CLU에서 받아들이는 start 신호는 항상 RA와 RB에 필요한 값들을 로드하고 들어온다. 한편 버터플라이 연산의 종료신호는 Counter값에 의해 결정되나, 테스트 동안에는 Counter를 쓰지 않고 테스트 패턴의 값에 대한 조합회로로서 만든 회로의 출력에 의해 결정된다. 이는 random 패턴을 만들어 낼때 m-bit 입력에 대해 최대  $2^m-1$  번만에 같은 값이 반복된다는 점을 이용한 것으로 따라서 항상 테스트 패턴의 초기값은 조합회로에서 주어지는 특정한 값을 넣어 주면 된다. 전체 CLU설계는 hardwired 방식에 따라 설계하였다. 그림(6), 그림(7)은 CLU의 제어 흐름도 및 그 회로를 각각 나타낸다.

## 3. 버터플라이 연산 및 Self Testing

시스템릭 셀이 외부와 주고받는 신호는 그림(8)에 요약한 것과 같다. 여기서 입력 데이터 및 ENDBT, TMS를 제외한 신호는 전체시스템릭 어레이를 제어하는 어레이 제어기로부터 오는 신호이며 ENDBT만이 어레이 제어기로 보내지는 신호이다.

버터플라이 연산은 TMS=0 입력 이루어지며 어레이 제어기에 의해 FFT의 매 Stage마다 회전 인자를 TWD에 저장하고 연산에 필요한 데이터를 이동한 후 BFTEN신호에 의해 RA, RB, TWD값을 가지고 수행된다.

Self-Testing은 TMS=1일때 테스트 종료 신호를 위한 특정한 16 bit 입력을 RA, RB와 TWD에 입력시키고 시작된다. 매 Clock마다 Random 테스트가 발생하고 DOR에서 그 결과에 대한 Signature analysis가 일어난다. 마지막에 남은 DOR의 Signiture는 RB로 이동해서 셀 외부에 있는 fault-free -signature와 비교되어 그 결과로 셀에 fault가 있는지 판단하게 된다.

그림(9)는 이 셀의 버터플라이 연산 및 Self-Test 경우에 대한 제어회로의 YSLOG 시뮬레이션 결과를 보여주고 있다. 이 셀의 모든 입출력 및 데이터이동은 bus를 통해 병렬로 이루어진다.

## 4. 결론

본 논문에서는 시스템릭 어레이를 이용한 FFT연산 및 그 회로의 Self-Testing을 위해 DIR및 TWD 그리고 DOR

가 공유됨으로써 부가적인 하드웨어를 줄이고 보다 효율적으로 데이터 이동이 가능한 시스템릭셀을 설계하였다. 여기서 제시한 시스템릭셀은 데이터 이동 및 연산을 위한 데이터 저장, 그리고 테스트를 위한 Random Test Pattern을 발생시키는 기능을 모두 가지고 있는 입력 FSR과, Accumulator와 Signature Analysis를 위한 레지스터 역할을 동시에 하는 출력 FSR을 가지며, 제어회로도 공유한다. 결과적으로 이 셀의 테스트를 위한 면적의 증가는 약 3-4%이다. 또한 모든 데이터의 이동이 병렬로 이루어져 입출력에 소모되는 테스트시간을 감소시킬 수 있게 되었다.

또한 이 셀을 서로 배열하여 어레이로 만들 경우에도 전체 셀의 테스트를 위한 시간 소비는 테스트 패턴의 입력과 출력을 병렬로 뽑아 내는 시간의 차이 외에는 동일하다고 볼 수 있다.

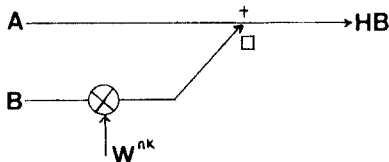
본 논문에서 설계한 셀은 다목적 공동설계(MPC) Project의 하나로 진행중인 FFT용 시스템릭 어레이 프로세서에 응용될 것이며 현재 그 레이아웃이 진행중이다.

## 5. 참고 문헌

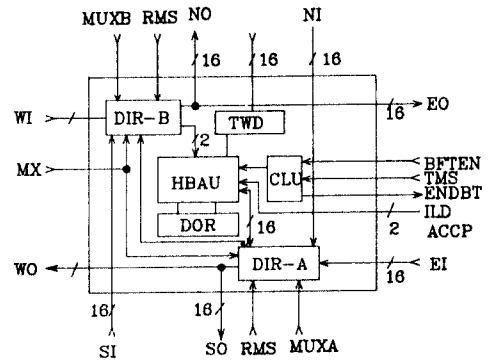
1. 이 문기 "다목적 공동설계(MPC) 개발 최종보고서" 과학 기술처, 1986
2. 이 문기 "다목적 공동설계(MPC) 개발 중간보고서" 과학 기술처, 1987
3. 신 경욱 "집적화된 FFT 연산용 시스템릭 어레이의

설계" 연세 대학교 석사학위 논문 1986

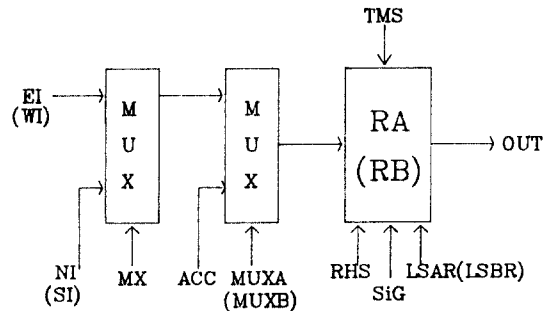
4. 이 장규, 최병운, 신 경욱, 이 문기 "시스토릭 어레이 구조의 FFT연산용 DIT Radix-2 Half Butterfly Arithmetic Unit 설계", 한국 전자 공학회 학술 대회 논문집, 1986
5. I.R. Mactaggart and M.A. Jack, "Radix-2 FFT Butterfly Processor Using Distributed Arithmetic", Electronic Letters. June. 1983, p.43.
6. Stanley A. White "A Simple FFT Butterfly Arithmetic Unit", IEEE. Trans. CAS. Apr. 1981 p.352.
7. Earl E. Swartzlander. JR. "Merged Arithmetic", IEEE. Trans., Comput., OCT. 1980
8. Thomas W. Williams and Kenneth P. Parker "Design for Testability -A Survey", Proc. IEEE. Vol. 71. p.98., Jan. 1983
9. M.S. Abadir and H.K.Reghbari "LSI Testing Techique", IEEE. Micro, Feb. 1983
10. Francis C. Wang and Dilip D. Bhavsar "A Bus -Organized Self-Test Processor Architecture", ICCD'86, p.164.
11. T.W. Williams "VLSI Testing", Advances in CAD for VLSI Vol. 5. pp.103-157.
12. John Fox, Giuseppe Surace and Paul A. Thomas "A Self-Testing 2 $\mu$ m CMOS Chip Set for FFT Applications", IEEE, JSSC Vol. sc-22. No.1, Feb. 1987.
13. Eugen I. Muehldorf and Anil D. Savkar, "LSI Logic Testing-An Overview", IEEE. Trans, Comput. Vol.c-30. No.1. Jan. 1981
14. YSLOG. "YSLOG User's manual", Yonsei Univ.



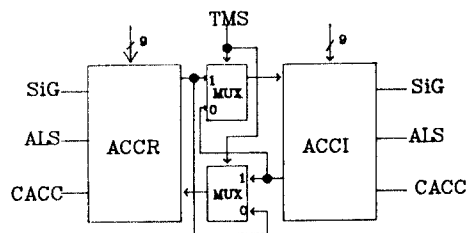
그림(1) 반쪽 버터플라이 연산식



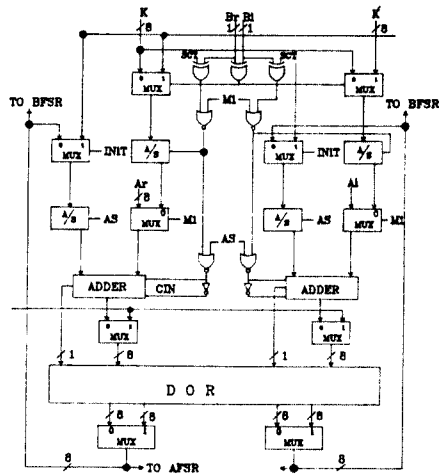
그림(2) 시스토릭셀의 내부 구성도



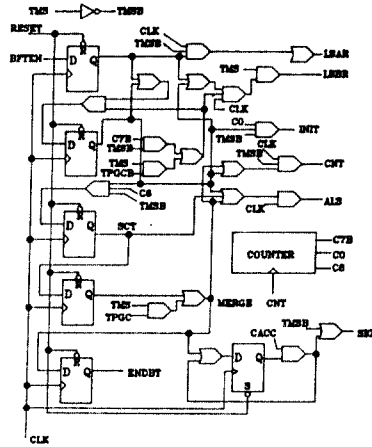
그림(3) DIR의 내부 구성도



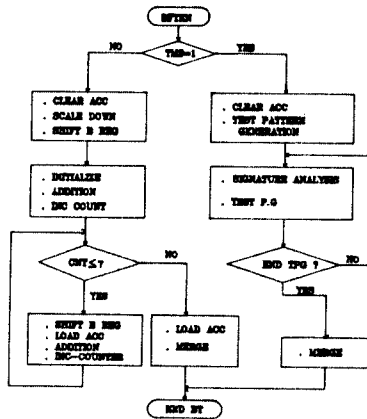
그림(4) DOU의 내부 구성도



그림(5) HBAU의 내부 구성도



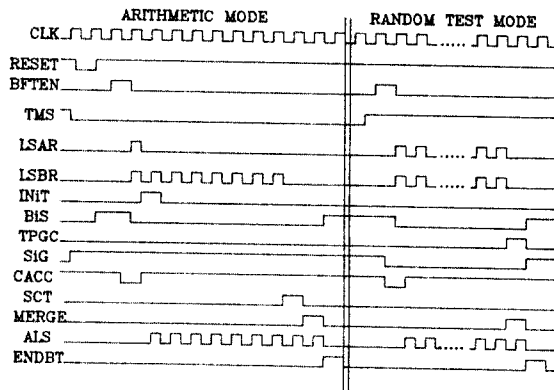
그림(7) CLU의 제어 흐름도



그림(6) CLU의 제어 흐름도

signal name	Characteristics
BFTEN	BUTTERFLY ARITHMETIC AND TESTING START
TMS	TEST MODE SET
ILD	DATA INITIAL LOAD
MX	HORIZONTAL OR VERTICAL DATA FLOW SELECT
MUXA(B)	ORDERING DATA OR RESULTING DATA SELECT
ACCP	ACCUMULATOR LOAD SIGNAL FOR DATA INITIAL LOAD
RMS	PARALLEL LOAD AND SERIAL FLOW MOD SELECT

그림(8) 시스토픽셀의 입출력 제어 신호



그림(9) 제어회로의 YSLOG 시뮬레이션 결과