

전하 전달을 이용한 순환형 D/A 변환기의 설계

문 용선[○] 김 정화 박 종안
조선 대학교 전자 공학과

The Design of a Cyclic D/A Converter Using Charge Transfer

Yong-sun Moon Chung-hwa Kim Jong-an Park
Dept. of Electronic Eng., Cho Sun Univ.

ABSTRACT

An new cyclic Digital-to-Analog converter using a switched capacitor integrator, which is much better than a resistor in temperature and linearity characteristics, is described. The cyclic converter has the advantages of minimum area and simplicity of implementation

Though 5n clock cycles are necessary to complete the conversion, the D/A converter proposed in this paper uses the reduced components of only one operational amplifier and two capacitors compared to the previous circuit (R.H. McCharles's)

I. 서 론

신호처리를 위한 능동 적분기에서 주요 파라메터인 R, C 적은 저항과 캐패시터의 절대값으로 정의되기 때문에 이전에 정확히 실현되기가 어려웠다. 또한 최근 IC 필터의 실현에서도 집적 저항은 큰면적의 실리콘 칩을 요구할 뿐 아니라 온도 특성과 선형성이 문제가 되는 것이다. 이러한 단점은 MOS 스위치와 캐패시터가 결합하여 기본 소자로서 저항 R을 모의함으로써 해결된다.

스위치드-캐패시터 (Switched-capacitor; SC)의 조합에 의한 저항 R의 대역은 SC 적분기를 실현하게 되었으며 이러한 SC 적분기의 시정수는 2개의 캐패시터 비와 클럭 주파수에 의해 제어 되는데 캐패시터 비는 MOS 기술에 의해 정확하게 제작될 수 있으며 온도 변화에 따른 영향도 적다. 이러한 SC 적분기의 실현 이후 SC 적분을 이용한 여러가지 신호 처리 응용 방식들이 발표되었다. 즉 1977년 R.H. McCharles 등은 순환형 A/D 변환기를 개발하였는데 캐패시터 수는 본해능에 따르지 않고 6개를 이용하였으며 스탭수는 8비트의 경우 16단에 의해 변환 동작이 이루어 지는 것을 제안하였다. 또한 Haruo Isaka 와 Yoshifumi Ame-

miya는 순환형 A/D 변환기를 구성함에 있어서 SC 적분기를 이용하였는데 8비트의 경우 평균 스탭수는 22이지만 캐패시터 수는 본해능에 따르지 않고 2개로 감소시키고 McCharles 등의 변환 회로 보다 연산 증폭기의 수가 1개로 감소된 회로를 제안하였다. 이러한 SC의 이용은 D/A 변환기에서도 널리 이용되어 R.H. McCharles 와 D.A. Hodges는 순환형 D/A 변환기를 제안하였는데, 이것은 2개의 연산 증폭기, 5개의 캐패시터, 그리고 6개의 스위치로 구성하였다.

본 논문에서는 SC 적분기를 이용한 순환형 D/A 변환기를 구성하는데 있어 8비트의 경우 최대 스탭수는 40 (5n)이지만 캐패시터 수는 본해능에 따르지 않고 2개로 감소시키며, R.H. McCharles 등의 변환 회로 보다 연산 증폭기가 1개로 감소된 변환 회로를 제안하였다.

II. SC 저항

스위치와 캐패시터를 결합하여 기본 소자로서 저항 R을 모의하는 회로는 그림 1과 같다 (1-3)

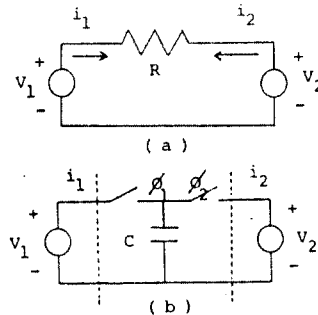


그림 1. 스위치드 캐패시터 저항
Switched-Capacitor Realization of Resistor

클럭 펄스의 주기를 T로 하면 전압원에 의한 전류는 식 1과 같다.

$$I = \frac{C \Delta V}{\Delta T} = -\frac{C(V_1 - V_2)}{T_c} \quad (1)$$

그러므로 저항 R은 다음과 같이 구해진다.

$$R = \frac{V_1 - V_2}{I} \quad (2)$$

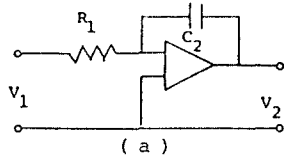
$$R = \frac{T_c}{C} = \frac{1}{f_c C} \quad (3)$$

III. SC 적분기

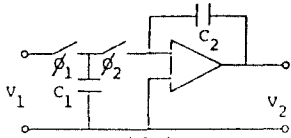
저항에 의한 적분기의 실험은 그림 2(a)와 같으며 전달 함수는 식(4)와 같다.

$$G(s) = \frac{V_2(s)}{V_1(s)} = \frac{1}{R_1 C_2 s} \quad (4)$$

또한 SC 저항을 이용한 적분 회로를 구성하면 그림 2(b)와 같다.(3)



(a)



(b)

그림 2. (a) RC 적분기 (b) SC 적분기
(a) RC Integrator (b) SC Integrator

클럭 펄스 ϕ_1 과 ϕ_2 의 2위상 비중첩 클럭에 의한 전하 이동은 다음과 같다. 즉 시간 $(n-1)T_c$ 일 때 C1과 C2에 축적되는 전하는 식5(a)와 식5(b)와 같다. (4-6)

$$q_{c1}[(n-1)] = C_1 V_1[(n-1)T_c] \quad (5(a))$$

$$q_{c2}[(n-1)] = C_2 V_2[(n-1)T_c] \quad (5(b))$$

시간이 nT_c 일 때 C2에 충전되어 있는 전하 전하는 식(6)이 된다.

$$q_{c2}(nT_c) = q_{c2}[(n-1)T_c] - q_{c1}[(n-1)T_c] \\ = C_2 V_2(nT_c) \quad (6)$$

윗 식들로 부터 식(7)이 구해지며 식(7)을 라플라스 변환하여 전달 함수를 구하면 식(8)과 같다.

$$V_2(nT_c) = V_2[(n-1)T_c] - \frac{C_1}{C_2} V_1[(n-1)T_c] \quad (7)$$

$$H(s) = \frac{V_2(s)}{V_1(s)} = \frac{-C_1/C_2}{e^{sT_c} - 1} \quad (8)$$

여기서 $S = j\omega$ 일 때 $|sT_c| \ll 1$ 라 하면 $e^{sT_c} \approx 1 + sT_c$ 가 되므로 식(8)은 다음과 같이 된다.

$$H(s) = \frac{-C_1/C_2}{sT_c} = \frac{-1}{s \cdot C_2/C_1 \cdot T_c} \quad (9)$$

적분기의 시정수가 $C_2 \cdot T_c / C_1$ 이므로 전달 함수는 클럭 주파수와 두개의 캐패시터 비로 제어될 수 있다. 캐패시터의 비는 MOS공정에 의해 아주 정확하게 제조될 수

있으며 온도 변화에 따른 영향도 무시할 수 있으므로 최근 캐패시터 비에 따른 전달 함수 변화를 이용하여 A/D, D/A 신호 변환 기술이 개발되고 있으며 변환 원리는 다음과 같다.

스위치 동작 전의 적분기의 출력 전압을 V_0 동작후 출력력을 V_0^* 이라고 할때 식(10)과 같이 된다.

$$V_0^* = V_0 - \frac{C_1}{C_2} V_1 \quad (10)$$

SC 적분 회로에서 C1과 C2값을 조정함에 따라 임의의 출력 값을 얻을 수가 있는데 $C_1 = C_2$ 로 하고 $-V_0$ 를 귀환해서 V1로 하면 식(10)은 식(11)이 된다.

$$V_0^* = 2V_0 \quad (11)$$

본 논문에서의 응용과 같이 $C_2 = 2C_1$ 로 하고 출력 전압 $-V_0$ 를 귀환하면 출력 전압은 식(12)가 된다.

$$V_0^* = V_0 + \frac{1}{2} V_0 \quad (12)$$

IV. 순환형 D/A 변환 알고리즘 및 회로 설계

소자 감소를 위한 순환형 D/A 변환기의 변환 알고리즘은 기준 전압을 V_R 이라할 때 다음과 같이 구성한 수 있다.

$$(1) a_1 = \mp b_1 V_R, a_1^* = \pm \frac{b_1}{2} V_R$$

$$(2) a_2 = \mp (b_2 + \frac{b_1}{2}) V_R, a_2^* = \pm \frac{1}{2} (b_2 + \frac{b_1}{2}) V_R$$

$$(3) a_3 = \mp (b_3 + \frac{b_2}{2} + \frac{b_1}{2^2}) V_R$$

$$a_3^* = \pm \frac{1}{2} (b_3 + \frac{b_2}{2} + \frac{b_1}{2^2}) V_R$$

⋮

$$(i) a_i = \mp (b_i + \frac{b_{i-1}}{2} + \frac{b_{i-2}}{2^2} \dots + \frac{b_2}{2^{i-2}} + \frac{b_1}{2^{i-1}}) V_R$$

$$a_i^* = \pm \frac{1}{2} (b_i + \frac{b_{i-1}}{2} + \frac{b_{i-2}}{2^2} \dots + \frac{b_2}{2^{i-2}} + \frac{b_1}{2^{i-1}}) V_R$$

————— (13)

이러한 변환 알고리즘에 따라 순환형 D/A 변환기를 설계하면 그림3과 같다.

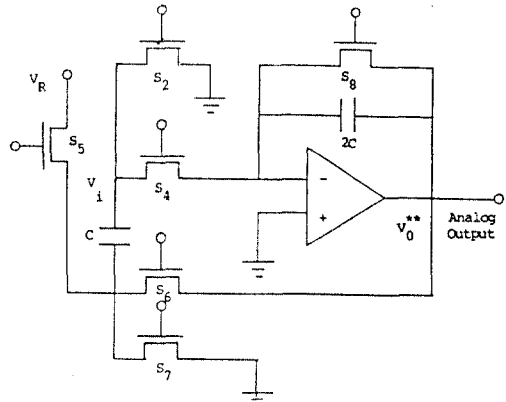


그림 3. 순환형 D/A 변환기
Cyclic D/A Converter

변환 동작은 다음 단계로 진행된다. 여기서 부호 비트를 제외하면 초기화 후 최초의 입력 비트는 LSB이며 스위치는 단락되는 것만을 표시한다.

단계1. 스위치 S6, S2를 단락한다.

$$V_i = -V_0$$

단계2. 스위치 S8를 단락한다.

$$V_0 = 0$$

단계3. 스위치 S4, S7를 단락한다.

$$V_0^* = V_0/2, \quad V_i = 0$$

단계4. (a) $b_i = 1$ 이면 스위치 S5, S2를 단락한다

$$V_i = -V_R$$

(b) $b_i = 0$ 이면 스위치 S7, S2를 단락한다

$$V_i = 0$$

단계5. 스위치 S4, S7를 단락한다.

$$V_0^{**} = \frac{b_i}{2} V_R + V_0^*$$

같은 방법으로 MSB까지 변환 과정은 계속된다. 그러므로 n비트의 D/A 변환 출력에 얻기 위해서는 최대 5n 단계를 필요하지만 "0" 비트가 많으면 3n단계에 접근할 수 있다. 이것은 McCharles D/A 변환기와 비교하여 스텝수는 증가하지만 연산 증폭기를 2개에서 1개로 감소되며 캐패시터는 5개에서 2개로 크게 감소된다.

V. 실험 및 결과

그림3의 모형을 제작하여 변환 알고리즘에 대한 시뮬레이션 실험을 시행하기 위한 플로우차트는 그림4와 같다.

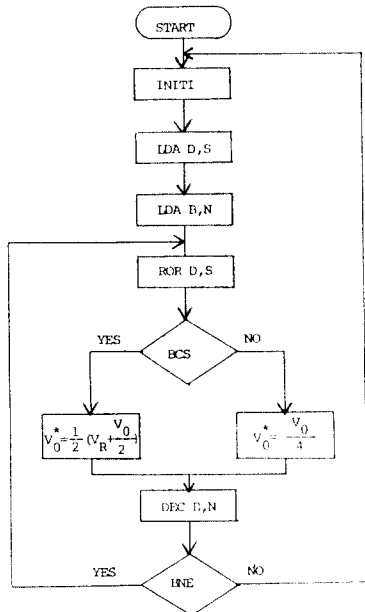


그림 4. 변환 알고리즘을 위한 플로우 차트
Flowchart for Conversion Algorithm

시스템 초기화 후 디지털 신호를 모뎀하고 비트 수에 따라 LSB부터 시프트된 디지털 신호의 각 비트값에 의해 마닐로그 값을 결정하여 변환 동작을 실행한다. 그림5는 변환 동작에 대한 실험 파형을 단계적 디지털 값에 대해 나타낸 것이다.

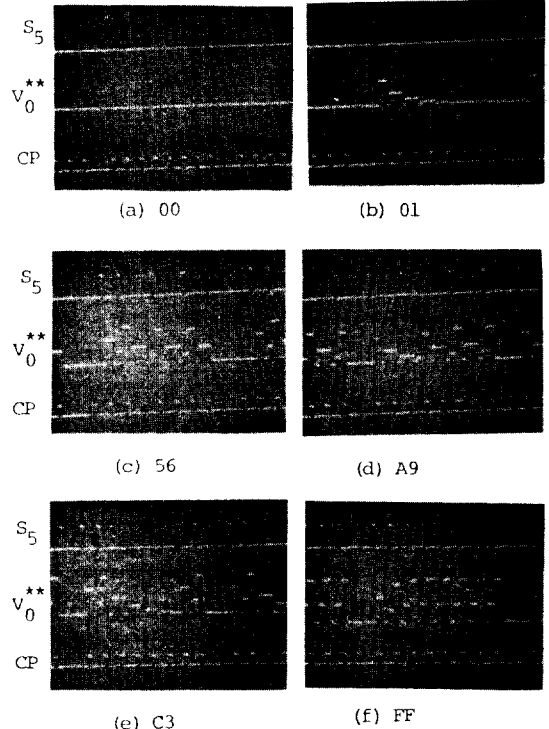


그림 5. 변환파형

Experimental Conversion Waveforms

그림5(d)는 디지털 신호 A9에 대한 변환 동작으로, 상의 파형은 디지털 신호중 "1"값에 대한 V_R 의 인가 전압을 나타내며 하의 파형은 비트 변환 동작 후 결정된 마닐로그 값을 출력측에 전달하는 제어 파형이다. 그리고 중의 파형은 각 비트 변환 따른 출력 전압을 나타내고 있다. 즉 초기화 리세트 후 라인 시프트된 LSB b0 값이 "1"이므로 V_R 이 인가되고, 다음 클럭에서 출력 전압은 식(13)에 따라 $V_0 = b_0 V_R / 2$ 이 된다. 다음 b1, b2 값이 각각 "0"이므로 출력 전압은 $V_R/4$, $V_R/8$ 로 감소되며 b3가 "1"이므로 출력 전압은 $V_0 = (b_3 V_R + b_0 V_R / 8) / 2$ 이 된다. 다음 b4의 "0"이 시프트된 후 $V_0 = (b_3 V_R / 2 + b_0 V_R / 16) / 2$, b5의 "1"이 시프트된 후 $V_0 = (b_5 V_R + b_3 V_R / 4 + b_0 V_R / 32) / 2$, b6의 "0"이 시프트된 후 $V_0 = (b_5 V_R / 2 + b_3 V_R / 8 + b_0 V_R / 64) / 2$, 그리고 MSB b7의 "1"이 시프트된 후 최종 출력은 다음 리세트 신호전 $V_0 = (b_7 V_R + b_5 V_R / 4 + b_3 V_R / 16 + b_0 V_R / 128) / 2$ 으로 나타낸다.

이와같은 마닐로그 출력 전압은 변환 주기, 연산 증폭기의 입력 오프셋 전압, 그리고 캐패시터 비정도에 따라 변환 오차가 발생하는데 n비트 디지털 출력을 얻는 경우 변환 오

차를 $1/2\text{LSB}$ 이하로 하기 위해 필요한 캐패시터 비정도는 식(14)와 같다.

$$a < \frac{1}{2^{n-1} - n} \quad (14)$$

그러므로 MOS 공장에서 얻을 수 있는 캐패시터 비정도 0.06%를 고려하면 본 D/A 변환기의 변환 능력은 10비트가 한계이다. 또한 적분용 연산 증폭기가 빠른 입력 변화에 응답하지 못한 경우, 캐패시터 C1에 충전되는 전하가 충분히 캐패시터 C2로 전달되기 전에 스위치의 ON, OFF 상태가 변하게 되므로 연산 증폭기의 주파수 특성은 변환 속도를 제한하게 된다. 그리고 MOS 연산 증폭기의 일반적인 입력 유효 전압인 2mV를 고려하면 본 논문의 8비트 분해능 달성은 가능하지만 10비트 용으로는 고성능 유효 전압 제거 회로가 필요함을 알 수 있다.

VI. 결 론

SC 적분기를 이용한 순환형 D/A 변환 알고리즘을 세 워 D/A 변환기를 설계하였으며, 그 회로 모형을 제작하여 변환 특성에 대해 실험적으로 고찰하였다.

본 논문에서의 순환형 D/A 변환기는 8비트의 경우 최대 스텝 수는 40이지만 R.H. McCharles 등의 변환 회로에 비해 캐패시터 수는 분해능에 따르지 않고 단지 2개로 일정하며, 연산 증폭기가 1개로 감소되었다. 그리고 MOS 캐패시터 비정도 0.06%와 입력 유효 전압 2mV를 고려할 때 8비트 D/A 변환이 가능하였으며, 변환 특성에 대해 고찰한 결과 변환 알고리즘에서 기대한 것과 동일하다는 것을 확인하였다.

REFERENCES

- (1). R.W. Brodersen, P.R. Gray, and D.A. Hodges, "MOS Switched-Capacitor Filters", Proc. IEEE, vol.67, pp.61-75, Jan. 1979.
- (2). R.W. Brodersen and T.C. Choi, "Comparison of Switched-Capacitor Ladder and CCD Transversal Filters", Proc. 5th int'l Conf. on Charge-Coupled Devices, pp.268-278 1979
- (3). B.J. Hosticka, R.W. Brodersen, and P.R. Gray, "MOS Sampled Data Recursive Filters Using Switched Capacitor Integrators", IEEE J. Solid-state Circuits, vol.SC-12, pp.600-608, Dec. 1977.
- (4). R.H. McCharles, V.A. Saletore, and D.A. Hodges, "An Algorithmic Analog-to-Digital Converter", IEEE Int. Solid-State Circuits Conf. Digest of Tech. Papers, PP.96-97, Feb. 1977.
- (5) R.H. McCharles and D.A. Hodges, "Charge Circuits for Analog LSI", IEEE Trans. Circuits and Systems, vol.CAS-25, No.7, pp.490-497, July 1978.
- (6). Haruo Isaka and Yoshifumi Amemiya, "An Analog-to-Digital Converter Using a Switched Capacitor Integrator", 일본 전자통신학회 논문지, vol.J64-C, No.9, Sep. 1981.