

CSMA/CD 시스템의 패킷 전송 방식에 대한 연구

권 상 호* 김 정 선**
*,** 한국항공대학 전자공학과

A study on the packet transmission method of CSMA/CD system

Chang Ho, Jeon* Jung Sun, Kim**

*,** Dept. of Avionics Eng., Hankuk Aviation College

ABSTRACT : In this paper, we have discussed the performance of packet transmission method (gate type) which are the buffered of multiple packet in CSMA/CD system.

1. 서론

CSMA/CD Protocol은 Bus형 LAN의 Media access control 프로토콜로서 많은 네트워크에서 이용되고 있다. 이것은 Random access protocol방식의 일종으로 사용자가 채널을 감지하여 다른 사용자와의 충돌되는 것을 알 수 있다. 따라서, 패킷 충돌이 발생하면 채널이 완전히 빈(empty)상태가 될때 까지 패킷을 전송 하지 않으므로 충돌 시간을 줄일 수 있고, 채널 이용률을 보다 향상 시킬 수 있다. 그러나, 이를 이용한 System에서의 패킷 재전송에 따른 시스템 불안정현상이 나타난다[1][2]. 지금까지 CSMA/CD(혹은 CSMA)시스템의 동특성에 대한 여러 논문에서는 각 단말이 한개의 패킷을 완전히 전송 하기 전에는 다음 패킷이 발생하지 않는다는 가정하에서 해석 하였으며, 각 단말이 1 패킷분의 Buffer만을 갖는 경우와 같다[3][4]. 그러나, 각 단말이 복수 패킷분의 Buffer을 갖고, 이 Buffer내에 패킷 대기행렬이 형성 되는 것으로 볼 수 있는 시스템을 Buffering기능 갖는 시스템(Buffered System)이라 한다[5][6].

본 논문에서는 각 단말이 유한 크기의 패킷 버퍼를 갖는 Slotted nonpersistent CSMA/CD System의 동특 성과 채널 획득 시에 버퍼내에 있는 모든 패킷을 일시에

전송하는 방식(Gate식)을 해석하여, 문헌[6]의 한번에 1 패킷만을 전송하는 방식(제한식)과 비교하고, 대기호가 있는 한 계속하여 패킷을 송신하는 방식(전처리식)에 대해 고찰하고[7][8]. 또한, 서로 간섭하는 대기 행렬을 평형점 해석(Equilibrium point analysis:EPA) 방식[9]을 이용한 Model해석과 Throughput 및 평균 패킷 지연특성을 구하여 시스템의 안정성에 대해 고찰한다.

2. Model 화

Slotted nonpersistent CSMA/CD protocol은 채널의 시간축이 최대 전파지연과 같은 크기의 slot으로 나누어져 있고, slot의 시작점에서만 패킷전송이 이루어 지는 것을 취급한다.

System을 Markov Model로 구성하기 위해 다음과 같은 가정이 필요하다.

- 가정 1) 임의의 2개의 단말간의 전송지연은 일정하며, τ (sec)라 한다.
- 가정 2) channel은 길이 τ 의 작은 slot으로 분할 되어 있다.
- 가정 3) 충돌 이외의 오차(error)는 무시한다.
- 가정 4) system은 M 개의 단말, 각 단말은 J 개의 패킷분의 Buffer을 갖는다.

가정5) 패킷 길이는 일정하고, 전송시간을 T (sec)으로 한다.

T 는 채널의 전송지연(τ)의 정수배로 하며, slot단위로 환산하면,

$$H = T/\tau = 1/\alpha \quad (\alpha = \tau/T) \quad (1)$$

가정6) 각 단말은 slot당 확률 σ 로 패킷을 발생한다. (패킷의 발생은 slot의 종료 시점에서 일어나는 것으로 한다.) 발생한 패킷은 buffer가 비어 있으면 격납되어 선착순으로 buffer내의 대기행렬에 가해진다.

가정7) Buffer내의 패킷은 선착순으로 처리된다.

즉, 대기행렬의 선두 패킷이 정확히 전송되기 전에는 다음 패킷은 전송되지 않는다. (FCFS.)

가정8) $\sigma \ll 1$.

가정9) 채널의 길이는 수시로 행한다.

가정10) Buffer내에 패킷을 갖는 단말은 독립적으로 slot을 확률 p 로 slot의 시작점에서 채널을 감지한다. Idle이면, 대기행렬의 선두 패킷을 바로 전송한다. 한편, busy이면 다음 slot에서 확률 p 로 다시 감지한다.

가정11) 한개의 패킷이 전송에 성공하면, 그 시점에서 buffer내에 있는 모든 패킷을 연속하여 전송한다 (Gate식). 한개의 패킷이 전송에 성공하면, 그 시점에서 buffer내에 있는 모든 패킷을 연속하여 대기오가 없어 길때까지 전송한다 (전처리식). 단, 전송중에 발생한 패킷은 전송하지 않는다. 한개의 패킷이 전송에 성공할때, 이 패킷은 즉시 buffer에서 제거된다.

가정12) 패킷이 전송에 실패한 경우, 전송을 시작한 것으로부터 K slot후에 충돌을 포함한 모든 단말은 전송을 중지하고 다음 slot부터 독립적으로 slot을 확률 p 로 채널을 감지한다.

가정13) $J \geq 3$ 으로 한다.

상기 가정들에서 시스템내 단말의 취득상태는 slot단위로 변화하므로, slot의 시작점에서 이산시간 Markov Model로 구성한다. 그러나, 이와같이 구성된 Model은 EPA를 사용하여 해석하기에는 곤란하다. 따라서, 해석이 용이한 근사Model로 구성한다.

성공전송기간(패킷전송에 성공한 채널이 idle되가기까지의 기간)과 실패전송기간(패킷전송에 실패한 채널이 idle되가기까지의 기간)에서 새로운 패킷 발생에 대해 다음과 같이 가정한다(그림1).

가정14) 채널 획득시점에서 k 개의 패킷을 갖는 단말로부터 성공전송기간(길이: $(kH+1)$ slot)과 실패전송기간(길이: $(k+1)$ slot)에서 각각 확률 α_k, λ 로 한개의 패킷을 발생하며, 2개 이상의 패킷은 발생하지 않는다.

$$\alpha_k = \begin{cases} (kH+1)\sigma & 1 \leq k \leq J-1 \\ (J+1-H)(H+1)\sigma & k=J \end{cases} \quad (2)$$

$$\lambda = (k+1)\sigma \quad (3)$$

또한, 패킷발생은 성공 혹은 실패전송기간이 완료한 순간에 있는 것으로한다.

식(2)에서 $k=J$ 인 경우는 채널 획득시점에서 buffer가 full이기 때문에, 새로운 패킷을 받을 수 없는 상태이다. 그러나, 선두의 패킷이 전송을 끝내면 buffer가 비게 되므로 받을 수 있는 상태가 된다.

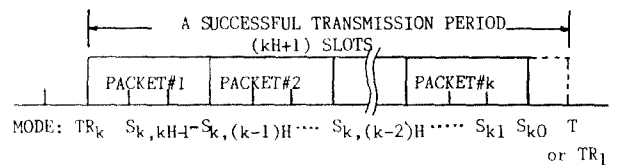


그림 1. 하나의 성공전송기간에서의 모드 천이.

Mode transition in a successful transmission period.

또한, σ 가 작으므로 α 의 값이 특별히 크지 않는 한 가정4)에 의한 오차는 적다. 위의 조건하에서 시스템을 Model화한 근사Model을 그림 2.에 나타내었다.

그림에서 각각형은 각 단말의 취득상태로서 Mode라 하며, 각 단말은 모두의 어느 한곳에 있고, slot에 의해 천이한다. Mode의 천이는 slot의 완료시점에서 이루어 지고, 각 slot의 시작점에서 Mode를 구성한다.

그림 2.에서 T mode는 단말이 패킷을 갖지 않는 상태. TRk mode($1 \leq k \leq J$)는 단말이 k 개의 패킷을 갖고 전송 대기 상태이며, 단말은 slot마다 확률 p 로 채널을 감지한다. TRk mode($1 \leq k \leq J$)는 Busy채널을 감지했을때, 새로운 패킷발생시에는 다음 slot에서 TRk 모드로 천이하고, 패킷이 발생 하지 않았을 경우는 TRk 모드로

전이한다. TR_J mode는 단말의 buffer가 full로 채워져 있는 상태이므로, 채널을 busy로 검지한 경우는 TR_J 모드에 다시 머문다.

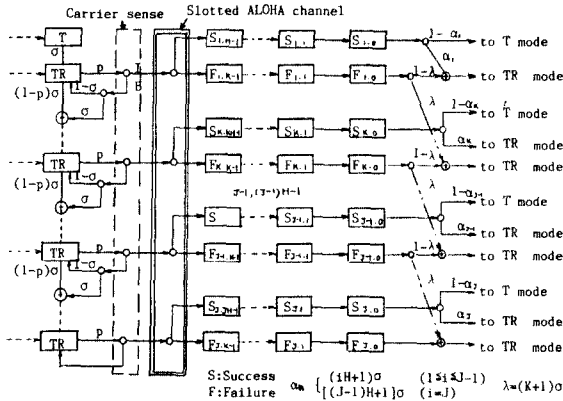


그림 2. Slotted nonpersistent buffered CSMA/CD system (gate식)의 근사 모델.

An approximate model of a slotted nonpersistent buffered CSMA/CD system (gating type)

가정 (11)과 (14)로부터 $OK_k(n)$ ($1 \leq k \leq J$) 모드는 패킷전송을 완료하고, 수신을 기다리는 상태, 즉, Buffer내 모든 패킷을 전송하고 비어있는 상태이다. $FK_{k,0}$ ($1 \leq k \leq J$) 모드는 충돌한 모든 단말이 패킷전송을 중지하고 채널이 idle 되기를 기다리는 상태이며, $F_{J,0}$ 모드에서의 전이는 단말의 버퍼가 full이기 때문에 확률 1로 TR 모드로 전이한다.

3. 평형점 해석

그림 2에서 TR_k, OK_k , $FK_{k,i}$ ($1 \leq k \leq J$, $0 \leq i \leq KH-1$, $0 \leq j \leq K-1$) 모드에 있는 단말 수를 각각 $N_k, M_{k,i}, \chi_{k,j}$ 라 하고, 이경우의 상태 Vector $\mathcal{N} = (N_k, M_{k,i}, \chi_{k,j})$ 는 대략 유한 상태 Markov chain이 된다. 따라서, system을 표현하는 상태 vector는 다차원이 된다. CFA 방식을 이용하여, 평형점은 각 모드에서 평균증가 단말수가 zero가 되는 점으로 보고, 이 조건을 모든 모드에 적용하여 평형점 방정식을 구한다.

3.1 평형점 방정식

System은 정상상태에 있는 것으로 해석하기 위해 먼저, 어느 slot의 시각점에서 시스템이 상태 n에 있고, 채널이 idle인 조건하에서 TR_k모드에 있는 단말이 패킷 전송에 성공할 확률 $SK(n)$ 는

$$SK(n) = N_{kP}(1-P)^{M_k} \prod_{j=1, j \neq k}^J (1-P)^{M_j}, \quad (1 \leq k \leq J) \quad (4)$$

$$\text{여기서, } (1-P)^{M_k} \approx e^{-M_k \cdot P}, \quad P/1-P \approx P \quad (5)$$

이 되는 근사를 이용하여,

$$SK(n) \approx N_{kP} \quad (6)$$

$$G(n) \approx \sum_{k=1}^J \alpha_k G_k(n) = \sum_{k=1}^J N_{kP} \quad (7)$$

으로 정의한다. 따라서, 식 (4)는

$$OK_k(n) = G_k(n) \cdot e^{-G(n)}, \quad (1 \leq k \leq J) \quad (8)$$

또한, 함수 $P_2(n)$ 을

$$P_2(n) = \begin{cases} 1 & \text{채널이 idle인 경우.} \\ 0 & \text{채널이 busy인 경우.} \end{cases} \quad (9)$$

으로 정의한다.

$SK(n), G(n), P_2(n)$ 을 간단히 SK, G, P 로 표기하기로 하자. 그림 2의 각 모드에서 시스템이 상태 n에 있을때, 증가 단말수의 조건부 기대치를 구하여 zero로 놓고, 독립적으로 식을 정리하면, (단, 각 식의 좌변은 유출되는 단말 수, 우변은 유입되는 평균 단말 수를 나타낸다.)

TR mode:

$$(M_k - \sum_{k=1}^J (N_k + \sum_{i=0}^{KH-1} M_{k,i} + \sum_{j=0}^{K-1} \chi_{k,j})) \delta = \sum_{k=1}^J (1 - \alpha_k) N_{k,0} \quad (10)$$

TR_k mode:

$$N_{kP} + N_{k(1-P)} \delta = N_{kP}(1-P_2)(1-\sigma) + N_{k-1}(1-P) \delta + N_{kTP}(1-P_2) \delta + \lambda \chi_{k-1,0} + (1-\lambda) \chi_{k,0} \quad (2 \leq k \leq J-1) \quad (11)$$

TR_J mode:

$$N_{JP} = N_{JP}(1-P_2) + N_{J-1}(1-P) \delta + N_{JTP}(1-P_2) \delta + \lambda \chi_{J-1,0} + \chi_{J,0} \quad (12)$$

OK_k mode:

$$M_{k,0} = M_{k,1} = \dots = M_{k,KH-1} = OK_k P_2 \quad (1 \leq k \leq J) \quad (13)$$

FK mode:

$$\chi_{k,0} = \chi_{k,1} = \dots = \chi_{k,K-1} = (N_{kP} - SK) P_2 \quad (1 \leq k \leq J) \quad (14)$$

식 (11)~(14)에서 $(1-P_2)$ 와 P_2 의 "Switching 기능"에 주의하여 식 (9)로부터 상태 n에서 채널이 idle이면, $(1-P_2)$ 을 포함한 항은 없어지고, busy이면 P_2 을 포함한 항이 제거된다.

식 (10)~(14)의 상태 vector n는 정수치 vector와

관계없이 EPA에서의 평형점 \mathcal{N}_e 는 실수치 vector에 있는 것으로 본다. 시스템의 정상상태 확률분포를 \mathcal{N}_e 에 존재하는 단일한 Impulse $\delta(\mathcal{N}-\mathcal{N}_e)$ 로 치환한 것과 같으므로, 상태 vector n 의 함수를 하나의 불규칙변수 $x(n)$ 로 생각하면, 이의 기대치는

$$E[x(n)] = \int x(n) \delta(n-\mathcal{N}_e) dn = x(\mathcal{N}_e) \quad (15)$$

EPA에서는 하나의 불규칙 변수 기대치는 평형점에 따른 값에 근사한다. 식(10)~(15)의 해석을 위해 $P_1(\mathcal{N}_e)$ 의 관계식이 필요하다.

식(15)로부터 $P_1(\mathcal{N}_e) = E[P_1(n)]$ 이고, 식(9)로부터 $E[P_1(n)] = Pr[P_1(n)=1]$ 이 되므로, $P_1(\mathcal{N}_e) = Pr[P_1(n)=1]$ 로 근사한다. 즉, $P_1(\mathcal{N}_e)$ 는 slot의 시작점에서 채널이 idle인 확률에 근사한다.

$$P_1(\mathcal{N}_e) = 1 - \sum_{k=1}^J \sum_{n=0}^{k-1} \mathcal{M}_k \\ = 1 - K P_1(n) (1 - e^{-G(n)}) \sum_{k=1}^J \mathcal{O}_k(\mathcal{N}_e) \quad (16)$$

여기서, $P_1(n) = (1 - e^{-G(n)}) \sum_{k=1}^J \mathcal{O}_k(n)$ 는 실패전송시간이 생길 확률이다. 따라서, 식(16)의 3항은 P_1 모두에 단말이 존재할 확률이다. 식(16)~(14), (15)을 정리하면,

$$\mathcal{M}_k \sum_{k=1}^J k \mathcal{O}_k P_1 = \mathcal{N}_J \mathcal{O} (1 - \mathcal{O}_J) P_1 \mathcal{O} \\ + K(\mathcal{N}_J - P_1 \mathcal{O}_J) P_1 \mathcal{O} \quad (17)$$

$$P_1 = 1 / [1 + K \sum_{k=1}^J k \mathcal{O}_k / (1 - e^{-G}) \sum_{k=1}^J \mathcal{O}_k] \quad (18)$$

$$\mathcal{N}_1 = \mathcal{O}(1 - A) / \mathcal{O} \quad (19)$$

$$\mathcal{N}_k = A^{k-1} \mathcal{N}_1 \quad (2 \leq k \leq J) \quad (20)$$

$$\mathcal{N}_J = A^{J-1} \mathcal{N}_1 / (1 - A) \quad (21)$$

$$A \triangleq \frac{(1 - P_1) \mathcal{O} + K(1 - \mathcal{O}) \mathcal{O} P_1 (1 - e^{-G}) P_1}{(1 - P_1) \mathcal{O} + K(1 - \mathcal{O}) \mathcal{O} P_1 (1 - e^{-G}) P_1 + \mathcal{O}^J} \quad (22)$$

식(17)은 시스템이 정상상태에 있다면, 당연히 성립하는 관계식이다. 식(17)~(22)는 $y=e^{-G}$ 와 P_1 에 대해 2차원적으로 해를 구한다. $0 \leq y \leq 1$, $0 \leq P_1 \leq 1$ 이므로, 양변수는 구간[0, 1]에서 해를 구하는 것이 용이하다.

해법의 순서는

1) $y = 0$; $y^{(0)} = 1$ ($\mathcal{O} = 0$)

2) $y = 0$; $P_1^{(0)} = 1$

3) 식(22)에서 A를 계산

4) 식(19)~(21)에서 $\mathcal{N}_1 \sim \mathcal{N}_J$ 를 계산

5) 식(6)~(8)에서 $\mathcal{O}_1 \sim \mathcal{O}_J$ 를 계산

6) 식(10)의 양변 계산

7) $y = y^{(i)}$; $P_1^{(i)} = P_1^{(i-1)}$ δ 단, δ 는 충분히 작은 정수.

8) $P_1^{(i)} \leq 0$ 이면 10)을 계산, 아니면 3)을 계산

9) 식(17)의 양변계산, 계산치가 충분히 작은 허용치 이하이면, 평형점이 구해진 것으로 한다.

10) $y^{(i)} \leq 0$ 이면, 계산종료, 아니면 2)를 계속 반복수치계산의 해는 1 혹은 3개이었다. 3개의 경우는 2개의 국소 안정평형점과 1개의 불안정 평형점을 갖는 쌍안정 system이었다.

3.2 Throughput와 평균 패킷 지연

시스템이 상태 n 일 경우 throughput $\mathcal{O}(n)$ 는 1 패킷 전송시간당 정확히 전송된 패킷 수를 말한다.

$$\mathcal{O}(n) = \sum_{k=1}^J \sum_{n=0}^{k-1} \mathcal{M}_k \quad (23)$$

윗식이 0 혹은 1 중 하나의 값을 취하는 것에 주의하여 식(13)과(23)으로부터 다음식이 얻어진다.

$$\mathcal{O}(\mathcal{N}_e) = \sum_{k=1}^J k \mathcal{O}_k(\mathcal{N}_e) P_1(\mathcal{N}_e) \quad (24)$$

Bufferless기능을 갖는 시스템은 버퍼에서 패킷의 overflow가 없으면 throughput는 입력율과 같게된다(즉, $\mathcal{O} = \mathcal{M}$)다. \mathcal{O} 는 $\mathcal{O}(n)$ 의 n 에 대한 기대치이고, $\mathcal{O}(\mathcal{N}_e)$ 와 근사한다.

평균 패킷 지연 D 는 패킷이 발생하여 정확히 전송하여 끝날때까지의 평균시간이며, 1 패킷 전송시간 단위로 나타낸다. EPA에서는 모든 불규칙 변수의 기대치는 평형점 값에 근사하므로 다음식이 성립한다.

$$D = \mathcal{N} / (K \sum_{k=1}^J k \mathcal{O}_k P_1 + (1 - \mathcal{O}_J) \mathcal{O} P_1) \\ + \sum_{k=1}^J \mathcal{O}_k P_1 / (K \sum_{k=1}^J k \mathcal{O}_k P_1 + (1 - \mathcal{O}_J) \mathcal{O} P_1) \quad (25)$$

$$\mathcal{O}_J = \mathcal{N}_J / (K \sum_{k=1}^J k \mathcal{O}_k P_1 + (1 - \mathcal{O}_J) \mathcal{O} P_1) \quad (26)$$

$$\mathcal{O} = \mathcal{M} / \sum_{k=1}^J k \mathcal{O}_k P_1 \quad (27)$$

식(26)~(27)으로부터

$$\hat{D} = \sum_{k=1}^J k \mathcal{O}_k P_1 \quad (28)$$

따라서, $D = \hat{D} / \mathcal{O}$ 공식에 의해 D 는

$$D = \hat{D} / \mathcal{O} \quad \text{단위: 패킷전송시간} \quad (29)$$

인리고, 임의의 한 단말에서 버퍼내 패킷 수를 나타내는 불규칙변수를 K_i 라 하면, $\mathcal{N}_k = Pr[K_i=k]$ 는 $2k$ 에 근사한다.

$$\text{즉, } E[k] = Z_k/M \quad (0 \leq k \leq J) \quad (30)$$

식(30)을 이용하여 버퍼내 패킷수의 평균 $E[N]$ 와 분산 $\text{Var}[N]$ 가 계산된다. Buffer overflow 확률 B 는

$$B = (M \delta H - \bar{N})/M \delta H \quad (31)$$

\bar{N} 를 $G(\lambda/\mu)$ 에 근사시켜 식(17), (24), (26)를 뒷식에 적용하면, $B = Z_J/M$ 이 얻어진다. 따라서, 식(30)으로부터 $B = \pi_J$ 가 된다.

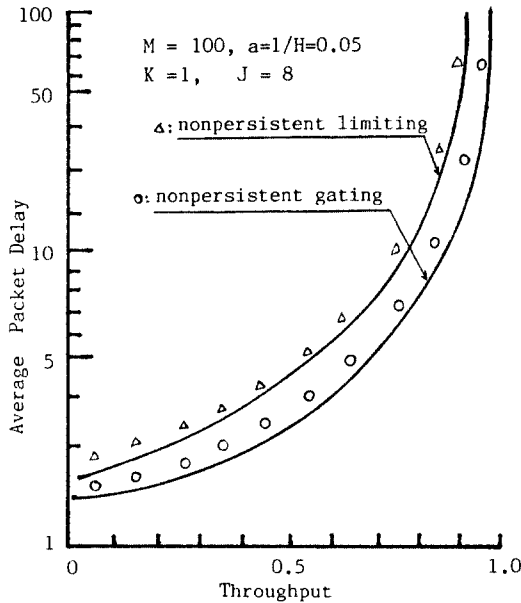


그림 3. Buffered CSMA/CD의 throughput-평균 패킷 지연 tradeoff 특성.

Throughput-average packet delay tradeoff for buffered CSMA/CD.

4. 결과 고찰

Slotted nonpersistent buffered CSMA/CD를 EDMA 방식으로 해석하여 동특성과 비퍼내에 있는 모든 패킷을 일시에 전송하는 방식과 문헌[10]의 제한식과 성능을 비교하면, 그림 3과 같이 $M = 100$, $a = 1/H = 0.05$, $k=1$, $J=8$ 인 시스템의 Throughput, 평균 패킷 지연 tradeoff 특성의 기대치와 simulation 결과를 얻었다. 단, schedule 확률 p 를 입력을 대해 최적치를 선택하였다. 그림 3.에서 모든 throughput 영역에서 gate식이 제한식보다 적은 평균 패킷지연과 최대 throughput가 크게 나타난다. 제한식의 경우는 일시에 1 패킷만을 전송하는 방식이므로 채널 전송 지연의 비는 1가 된다. 한편,

gate식에서 채널의 부하가 크게될때는 많은 패킷을 연속하여 전송된다. k 개의 패킷이 연속하여 전송된다면, 이것의 성공전송기간과 채널 전송지연과의 비는 kH 가 된다.

따라서, gate식의 최대 Throughput에 대해서 H 가 큰 경우와 같은 결과가 얻어진다. 앞으로, 전처리방식과 한번에 복수개의 패킷을 전송하는 제한식에 대한 연구가 필요할 것으로 본다.

참고 문헌

- [1] R.M.Metcalf and D.R.Boggs, "Ethernet distributed packet switching for local computer networks", ACM, Vol.19, NO.7, pp.395-403, July, 1976.
- [2] F.A.Tobasi and U.B.Hunt, "Performance analysis of CSMA/CD", Computer Network, 4, pp.245-259, Oct. 1980.
- [3] E.Coyle and B.Liu, "Calculation of the stability characteristics and buffer requirements of asynchronous CSMA/CD networks", Conf. Rec. ICC'82, pp.7F.1.1-7F.1.5, Philadelphia, PA, June, 1982.
- [4] J.Silvester and I.Lee, "Performance modeling of buffered CSMA/CD: An iterative approach", Conf. Rec. GLOBECOM'82, pp.1195-1199, Miami FL, Nov. 1982.
- [5] Hideaki Takasi and L.Kleinrock, "Mean packet queueing delay in a buffered two-user CSMA/CD system", IEEE, Trans. Commum. Vol.COM-33, NO.10, pp.1136-1139, Oct. 1985.
- [6] F.A.Tobasi, "Analysis of a two-hop centralized packet radio network - Part(2): Carrier Sense Multiple Access", IEEE, Trans. Commum. Vol.COM-29, NO.2, pp.208-216, Feb. 1980.
- [7] Hashida and Gisaku Nakamura, "Analysis of multiple[1]: Exhaustive Type", 연구실용화보고(일본), Vol.19, NO.6, pp.1125-1136, 1970.
- [8] Hashida, "Analysis of multiple[2]: Gating Type", 연구실용화보고(일본), Vol.19, NO.6, pp. 1055-1064, 1970.
- [9] Akira Fukuda and Shuji Tasaka, "The equilibrium point analysis: A unified analytic tool for packet broadcast networks", Conf. Rec. GLOBECOM'83, pp.1133-1140, Nov. 1983.
- [10] Shuji Tasaka and Ito Hara, "Performance of CSMA/CD system with buffering operation", 전자통신학회 정보연구보고 시스템부문 전국대회강연논문지(일본), Vol.335, 1983.