

유지보수 신호용 다중화/역다중화기

김 종호, 신 동관, 고 정훈, 이 만섭
한국전자통신 연구소 광통신 시스템 연구실

Multiplexer/Demultiplexer for monitor & control data

Kim, J. H., Shin, D. K., Ko, J. H., Lee, M. S.
ETRI Photonic Systems Section

Abstract

Muldex for monitor & control data is for transmitting the data related to surveillance, control, orderwire and monitor by using the overhead bits in the DS-5 frame. Frame structure for m&c data is our own type. This muldex can be used in 140Mb/s system.

We briefly describe the design requirements and hardware for the m&c muldex.

1. 서론

유지보수 신호용 다중화/역다중화기는 565Mb/s 광전송 시스템에서 시스템의 정상적인 운용을 위해 현재 약 32kb/s의 전송속도를 갖는 감시제어, 절체 등의 신호를 565Mb/s 프레임내의 오버헤드 비트를 이용하여 전송하는 기능을 한다. 이 때 사용하는 프레임은 독자적인 구조를 취하고 있다. 또한 565Mb/s 시스템이외에도 앞으로 사용될 수 있는 140Mb/s 시스템에도 이용할 수 있도록 설계되어 있다. 여기서는 본 다중화/역다중화기의 설계요구사항을 중심으로 기술하고 하드웨어에 대해서 간단히 기술하였다.

2. 다중화기

1) 프레임의 구성

가. DS-5용의 프레임 구성

DS-5 프레임에서 사용자는 3개의 오버헤드 비트를 이용할 수 있으며 이때, 이 오버헤드 비트의 전송속도는 210, 190kb/s 가 된다. 이를 13으로 나누었을 때 그 전송속도는 약 16kb/s가 된다. 따라서 13개의 비트를 묶어 하나의 서브프레임으로 하고 이중 한 비트를 프레임 패턴용 비트로 하면 나머지 12개의 비트를 이용하여 약 16kb/s의 배수가 되는 네이타를 전송하는 것이 가능하다. 이를 기초로 하여 프레임은 표 1과 같이 4개의 서브프레임을 갖는 분산식 구조를 갖도록 하였다.

<표 1> DS-5용 다중화 프레임 구조

1st	F1	I0	I1	·	·	·	I10	I11
2nd	F1	I0	I1	·	·	·	I10	I11
3rd	F0	I0	I1	·	·	·	I10	I11
4th	F0	I0	I1	·	·	·	I10	I11

F1: 프레임 비트 1 F0: 프레임 비트 0
I0-I11: 정보 비트

나. DS-4용의 프레임 구성

DS-4 프레임에서 사용자는 4개의 오버헤드 비트를 이용할 수 있으며 이때, 이 오버헤드 비트의 전송속도는 145, 979kb/s 가 된다. 이를 9로 나누었을 때 그 전송속도는 약 16kb/s가 된다. 따라서 9개의 비트를 묶어 하나의 서브프레임으로 하고 이중

한 비트를 프레임 패턴용 비트로 하면 나머지 8개의 비트를 이용하여 약 16kb/s의 배수가 되는 데이터를 전송하는 것이 가능하다. 이를 기초로 하여 프레임은 표 2와 같이 4개의 서브프레임을 갖는 분산식 구조를 갖도록 하였다.

<표 2> DS-4용 다중화 프레임 구조

1st	F1	I0	I1	...	I6	I7
2nd	F1	I0	I1	...	I6	I7
3rd	F0	I0	I1	...	I6	I7
4th	F0	I0	I1	...	I6	I7

F1: 프레임 비트 1 F0: 프레임 비트 0
I0-I7: 정보 비트

2) 입출력 데이터의 구성

가. 입력 데이터의 구성

위의 프레임 구조하에서 사용자는 16, 32 또는 64kb/s 데이터를 임의로 선택하여 이용할 수 있다. 이때 입력 데이터와 프레임내의 타임슬롯은 역다중화기가 간단해 질 수 있도록 각각 다음과 같이 대응시킨다.

16kb/s 데이터는 각각 I0 - I11 까지 하나씩 대응하며 32kb/s 데이터는 DS-5용의 프레임에서 (I0, I6), (I1, I7), (I2, I8), (I3, I9), (I4, I10), (I5, I11)에, DS-4용의 프레임에서는 각각 (I0, I4), (I1, I5), (I2, I6), (I3, I7)에 대응하고 64kb/s 데이터는 DS-5용의 프레임에서는 각각 (I0, I3, I6, I9), (I2, I4, I7, I10), (I3, I5, I8, I11)에, DS-4용의 프레임에서는 각각 (I0, I2, I4, I6), (I1, I3, I5, I7)에 대응한다.

물론 이때 한 비트를 중복 사용, 예를 들어 32kb/s 데이터를 I0와 I4에 사용하고 있을 때 해당 비트에 대응하는 16 또는 64kb/s 데이터를 사용하려 하면 에러가 발생한다.

나. 출력 데이터의 구성

출력 데이터는 DS-5나 DS-4 프레임내의 한 비트에 다시 다중화된다. 한편, 이 출력 데이터를 운용 시스템 중 임의의 한 시스템과 예비 시스템으로

동시에 보내는 구성을 취할 시 예비 시스템과 운용 시스템은 각각 독자적인 클럭으로 동작하므로 유지보수 신도의 다중화에 이용된 클럭과 최소한 어느 한쪽은 서로 동기가 맞지 않는 클럭으로 데이터를 읽고 쓰는 경우가 발생한다. 따라서 이러한 경우가 발생하였을 때 클럭간의 위상차를 비교검출하여 어느 정도이상의 위상차가 발생하였으면 그 위상차를 보정하여 데이터가 운용 및 예비 시스템에 모두 정상적으로 다중화되도록 해 주는 것이 필요하다.

3) 하드웨어의 구성

위의 같은 입출력 데이터의 구성 및 프레임의 구조에 맞는 다중화기의 전체적인 구조도는 그림 1과 같다.

3. 역다중화기

1) 프레임 동기

프레임 동기를 위한 동기 알고리즘은 다음과 같다: 연속된 4개의 프레임 비트중 2개 이상이 틀린 경우 동기 상태에서 비동기 상태로 전환하고 비동기 상태에서 연속된 8개의 프레임 비트가 맞으면 동기 상태로 전환한다.

이 동기 방식의 상태전이도는 그림 2와 같다.

프레임 동기 방식의 주요 변수인 평균동기상실구간, 비동기검출시간, 최대평균 동기회복시간은 각각 다음과 같다.

가. 평균동기상실구간

동기 시스템이 동기 상태에서 비동기 상태로 전이하는 평균시간을 말하며 상태전이도에서 보면 A → E로 가는 시간이 된다. 이 계산에 필요한 수식은 이미 나와 있으므로 [2], [3] 그 계산결과만을 보면 DS-5용인 경우 약 240일, DS-4용인 경우 약 240일 정도이다.

나. 비동기검출시간

동기 시스템이 실제의 프레임 패턴이 아닌 무작위의 데이터에 의하여 가상 동기 상태로 동작할 때 이를 감지하여 동기 상태에서 벗어나는 데 걸리는 시간을 말한다. 계산치는 DS-5용인 경우 약 270 us, DS-4용인 경우 약 270us 정도이다.

다. 최대평균 동기회복시간

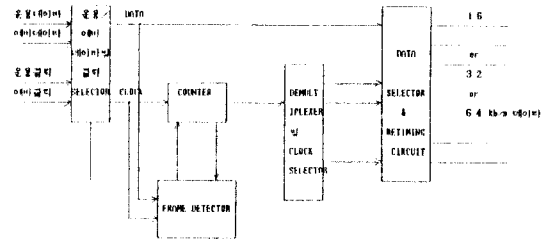
동기 시스템이 비동기 상태에서 올바른 프레임 패턴을 찾아 동기 상태로 돌아가는 평균시간으로 이의 최대치를 구하기 위하여 프레임 비트 마보 다음의 위치부터 프레임 패턴을 찾는다고 가정한다. 계산치는 DS-5용인 경우 약 4 ms, DS-4용인 경우 약 3ms정도이다.

2) 하드웨어의 구성

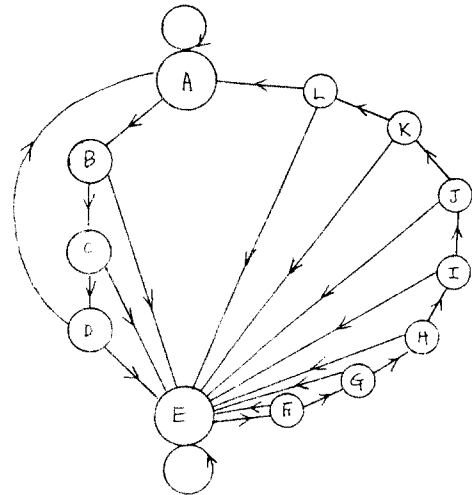
역다중화기의 전체적인 하드웨어의 구성은 그림 3과 같다.

4. 결론

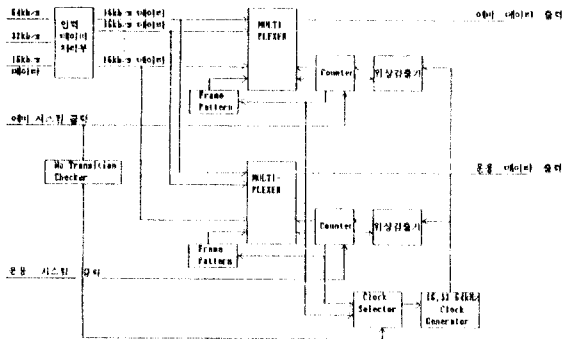
본고에서는 현재 개발 완료된 유지보수 신호용 다중화/역다중화기에 대해 소개하였다. 개발한 시스템은 실험을 통하여 그 성능이 확인되었다. 또한 현재 개발된 다중화/역다중화기는 시간립, 교신외부 등을 피하기 위하여 게이트 어레이 회로 실현할 예정이다.



(그림 3) 역다중화기의 구성도



(그림 2) 동기방식의 상태전이도



(그림 1) 다중화기의 구성도

참고 문헌

1. 삼민우 외 "장파장 광통신 시스템 연구" 한국전자통신연구소, 1983. 12
2. 신동관 "90Mb/s 광전송 시스템의 프레임 동기 방식에 관한 성능 개선" 대한전자공학회 논문지, 1987. 3
3. 김중우 외 "유지보수 신호용 다중화/역다중화기" ETRI Tech, memo TM-87-1410 1987. 4
4. Arthur B. Williams "Electronic Filter Design Handbook" 1981, pp5-33 5-67