

140Mb/s 다중화/역다중화기

고 정훈, 김 종호, 신 동관, 유 강희, 이 만섭

한국 전자 통신 연구소 광통신 시스템 연구실

140Mb/s Multiplexer/Demultiplexer

Ko, J. H., Kim, J. H., Shin, D. K., Yoo, K. H., Lee, M. S.

ETRI Photonic Systems Section

Abstract: We have developed a 140Mb/s mul-
dex as a part of a 565Mb/s Optical Fiber
Transmission System. We have developed a
new reframe circuit for the bunched frame
structure used in the muldex.

1. 서 론

본 논문에서는 44.736Mb/s(DS-3) 디지털 계위
신호 3개를 묶어 이미 존재하고 있는 유럽의 D4와 같은
139.264Mb/s 디지털 신호로 다중화하는 장치인
140Mb/s 다중화/역다중화기의 구성과 사용된 프레임
구조에 대해서 기술한다. 139.264Mb/s는 최근 확정된
한국 디지털 다중화 계위의 4차군 신호에 해당 된다 [1].
140Mb/s 다중화기는 CCITT의 권고를 참고로 이미 미국
AT&T와 그 외 몇 회사에서 동일한 프레임 구조와
알고리즘을 사용하고 있으며 본 연구실에서 개발한
140Mb/s 다중화/역다중화기도 제품의 오관심 등을
고려하여 그 프레임 구조와 알고리즘을
채택하였다 [2, 3, 4].

140Mb/s 다중화/역다중화기에서는 이미 본
연구실에서 개발한 분산식 프레임 구조의 90Mb/s
시스템에서와는 달리 다발식 프레임 구조를 사용하고
있으며 이를 위한 동기 회로로 직접 동기 방식과 빔렬
동기 방식 등 몇 가지를 고안하였으나 [5] 본 장치를 처리
속도가 충분히 빠른 ECL gate array로 집적화할 것을
고려하여 가장 간단하며 빠른 처리 속도를 요하는 직접
동기 방식을 채용하였다.

2. 프레임 구성

그림 1.은 140Mb/s 다중화/역다중화기의 프레임
구조이다. 프레임은 프레임 동기 신호를 기준으로 3개의
종속신호 채널과 6개의 서비스 채널 그리고
비동기(asynchronous) 다중화에 필요한 스테어링 제어
비트로 구성되어 있다. 한 프레임은 다중화/역다중화기의
하드웨어양과 동기성능이 고려되어 954 비트의 길이를
갖고 있으며 각각 159비트를 갖는 6개의 부프레임으로
구성되어있다. 6개의 서비스 비트중 두번째 비트는
시스템의 BER 측정을 위한 패리티 비트로 사용하고
있으며 나머지 채널은 감시, 운용을 위해 사용자에게
할당되어 있다. 라인 오류에 대비하여 각 종속 신호 당
5개의 스테어링 제어 비트가 있으며 역다중화기에서는 다수
우선(majority decision)으로 디스터빙 여부를
결정한다.

3. 다중화기/역다중화기의 구성

다중화기는 프레임 동기 신호와 3채널의 종속 신호,
서비스 채널, 스테어링 제어 비트를 묶어 프레임을
형성시키며 역다중화기는 프레임 동기 신호를 이용하여
동기를 얻어내며 이를 기준으로 3채널의 정보채널과
서비스 채널을 분리하고 스테어링 제어 비트로 디스터빙
여부를 판단하여 프레임 내의 스테어링 비트를 제거하여
정보 손실 없이 원래의 종속 신호를 재생한다.

다중화기/역다중화기의 구성도는 각각 그림
2., 그림 3. 과 같다. DS-3 종속신호와의 정합시는

G. 703에 따라 B3ZS 코딩이 사용된다. 다중화기에서 각 종속 신호는 버퍼(elastic store)를 갖고 있는 45Mb/s 동기화 회로로 다중화 클럭에 동기시간다. 종속 신호는 44.736Mb/s의 속도로 버퍼에 저장되며 이로부터 다시 리드(read) 클럭 발생기에 의해 오버헤드 비트 자리와 스테밍 요구에 따라 스테밍 정보 비트 위치에서 클럭 펄스가 억제된 139.264/3MHz의 리드클럭으로 읽혀나간다. 또 종속 신호가 없을 때는 수신측의 검보 발생을 막기 위해 정신호를 삽입한다. 다중화된 신호는 클럭 성분을 늘리기 위해 스크램블된 후 140Mb/s 동기화회로를 거쳐 565Mb/s 다중화기로 보내진다.

140Mb/s의 다중화 신호는 역동기화 회로를 거쳐 565Mb/s 역다중화기로부터 수신된다. 다중화신호에서 3개의 종속 신호와 그의 오버헤드 비트를 분리하기 위한 각종 어드레스 비트가 발생된다. 분리된 3개의 신호는 45Mb/s 역동기화 회로의 버퍼를 통해 PLL에서 만들어진 클럭으로 원래의 종속신호로 복원된다. 또 140Mb/s 장치가 하나의 독립된 시스템으로 운용 될 것을 대비해 서비스 채널만을 분리하고 삽입할 수 있는 모듈/인서트 기능을 두었다.

5. 프레임 동기 회로

다중화 장치에서 가장 중요하다고 할 수 있는 프레임 동기 회로도 병렬 처리 방식 등 고안된 몇가지의 방법 중 그 동작 속도가 충분히 빠른 ECL gatearray로 구현될 것을 고려하여 빠른 처리 속도를 요하지만 가장 간단하게 구성할 수 있는 직접 동기 방식을 채용하였다. 그림 4.는 수신된 다중화 신호내에서 동기들 얻어내기 위한 프레임 동기 회로의 구성도이다. 여기서 사용한 프레임 동기 알고리즘은 CCITT에서 34Mb/s-140Mb/s 다중화에 사용한 것과 동일하다. 사진 1.은 다중화신호로부터 프레임 배열 신호를 검출하여 발생시킨 검출 펄스와 동기회로에서 발생된 동기펄스를 나타낸다. 정상적인 동기모드에서는 RS-ff은 계속 세트되며 검출펄스가 발생되지 않을 때에는 RS-ff은 동기펄스에 의해 리세트되어 비동기 모드로 천이 된다.

이러한 프레임 동기 회로의 성능은 평균 동기 상실 구간과 최대평균 동기 회복시간의 두가지 파라미터로 평가된다 [6]. PCM 통신 장비에서는 라인 오류가 증가해도 가능한 동기를 유지하여야 하는데 채택한 동기 알고리즘에 따라 동기 회로를 구성하였을 때 평균 동기 상실 구간은 $BER=10E-4$ 에서 38.2일이 된다. 동기 상실을 검출하고 다시 동기를 회복하는 데 걸리는 시간인 최대 평균 동기 회복 시간은 $BER=10E-4$ 에서 $4L + 1.23L = 35.8$ [usec]가 된다. 여기서 L은 한 프레임에 해당되는 시간이며 error free일 때 동기를 회복하는 데 걸리는 시간만을 50개의 샘플로 측정해 본 결과 평균 0.705L이 되어 계산치에 만족함을 알 수 있다.

5. 결 론

565Mb/s 광통신 시스템의 일부로 140Mb/s 다중화 장치를 개발, 동작 성능을 확인하였으며 이는 신뢰도와 전력 손실, 장치의 크기등을 개선하기 위해 gatearray화를 거쳐 대용량 전송망에 사용 될 것이다. 140Mb/s가 한국 디지털 계위에 하나이므로 565Mb/s 광통신 시스템의 일부로 뿐만 아니라 140Mb/s 광전송 장치나 M34 다중화 장치에 직접 응용될 수 있을 것으로 기대된다. 지터에 대한 시스템의 성능 해석 등 시스템 최적화를 위한 연구는 계속 진행될 예정이다.

* 사 사

본 연구는 KTA의 출연금으로 수행되었습니다.

* 참고 문헌

- [1] 한국 전기 통신 공사, 공개 자료, 1986
- [2] J. Druspteen, "A 1+1 protected digital muldex for 3x45Mb/s to 140Mb/s conversion", Phillips Telecommunication Review, vol. 40, No. 3, September 1982
- [3] Bengt Lagerstedt, "Digital Multiplexer for 24 Channels", Ericsson Review No. 1, 1984

