

565Mb/s 다중화/역다중화기

신 동관, 고 정훈, 김 종오, 이 만섭, 심 창섭  
한국 전자 통신 연구소 광통신 시스템 연구실

565Mb/s Multiplexer/Demultiplexer

Shin, D. K., Ko, J. H., Kim, J. H., Lee, M. S., Shim, C. S.  
ETRI Photonic Systems Section

Abstract

565Mb/s Multiplexer/Demultiplexer have been developed as a part of the 565Mb/s Optical Transmission System. We describe their functions and configurations with the design philosophy.

I 서론

최근에 한국 전기 통신 공사에 의해 설립된 국내 디지털 다중화 계위 [1] 중 5차군에서 동작하는 565Mb/s 광전송 시스템은 한 시스템 당 8064 음성 채널을 전송할 수 있으며 따라서 운용 시스템: 예비 시스템 수를 11:1 로 하는 시스템을 구성할 경우 88704 음성회선을 전송할 수 있으므로 점차 그 수요가 늘어나고 있는 국내 기간 통신망에 이용될 전망이다.

본 논문에서는 565Mb/s 광전송 시스템 중의 핵심 부분인 565Mb/s 다중화/역다중화기에 대해 소개하고 있다. 400Mb/s 급 이상의 디지털 다중화기/역다중화기의 설계는 선로 임피던스의 matching 문제, critical 타이밍 문제, 고속 프레임 동기 회로의 설계 문제, 그리고 입력 데이터와 입력 클럭 사이의 위상 조절 문제 등의 해결을 요한다.

본 논문에서는 이러한 문제점을 해결하여 고신뢰도를 갖기 위한 565Mb/s 다중화/역다중화 시스템 설계 측면에서 기술하고 있다.

II 다중화 프레임 구성

565Mb/s 다중화기란 4 채널의 DS-4 종속 신호들과 여타 서비스 채널들 그리고 종속 신호외의 스테밍 제어 상태를 나타내는 스테밍 제어 비트들을 프레임 배열 신호를 기준으로 하여 DS-5(564, 992Mb/s) 다중화 프레임을 형성시키는 시스템이며, 565Mb/s 역다중화기는 프레임 배열 신호로부터 프레임 동기 클럭을 발생시켜 이를 기준으로 각각의 종속 신호들과 서비스 채널들을 분리하고 또한 스테밍 제어 비트들로부터 각 종속 신호들의 스테밍 제어 상태를 검출하여 정합과정에서 필요한 스테밍 비트들을 제거함으로써 정보 손실이 발생하지 않도록 하는 시스템이다. 따라서 다중화, 프레임은 다중화/역다중화기의 하드웨어 양, 프레임 동기 성능, 대기시간 지터 성능 등에 매우 밀접한 관계를 가지고 있다.

565Mb/s 다중화/역다중화기에서는 CCITT Rec. G954 [2]에 권고된 그림1의 프레임 구조를 채택하였으며 이는 기존의 90Mb/s 광전송 시스템에서 채택하고 있는 분산식(distributed) 프레임 구조와는 다른 다발식(bunched) 프레임 구조로 되어 있다. 한 프레임 당 총 비트수는 2688 비트이며, 한 프레임 당 7개의 부프레임(subframe)으로 구성되어 있다. 다중화기/역다중화기 설계시의 하드웨어 동작의 최적화를 위해서는 프레임 구성을 위한 프레임 계수기의 최적 설정 문제가 고려되어야 하며 이를 위해 선택한 계수

인자는  $2 \times 2 \times 6 \times 16 \times 7$  로 하여 주소빈지 발생을 용이하게 하였다 [3].

### III 다중화기/역다중화기의 구성

565Mb/s 다중화/역다중화기의 설계는 140Mb/s 속도 이상에서는 단지 비트 고대 삽입/분리 기능만을 하도록 하며 그 이하의 속도에서 필요한 기능을 수행하도록 하여 critical 타이밍 문제를 해결함으로써 안정된 시스템 동작을 유지하였다. 다중화/역다중화기의 구성도를 각각 그림2 그림3에 도시하였다. 여기서 다중화기의 최종단은 바로 4:1 mux 로 구성할 수도 있으나 상용 IC를 이용할 경우 565MHz 클럭 신호의 감쇠 등 문제가 발생하므로 이를 해결하는 방안으로서 선택하였다. 현재 추진 중인 게이트 어레이 IC에서는 이러한 문제점들을 고려할 필요가 없으므로 이를 약간 수정할 예정이다. 다중화 신호는 병렬 스크램블러에 의해 부작위화되므로써 클럭 재생시에 유리하도록 하였다. 역다중화기는 패리티 검출기에 의해 전송 BER을 간접 측정할 수 있으며, 이러한 정보는 동기 이탈 정보(SYNC-LOSS) 등과 함께 ISPM(in service performance monitoring) 유니트를 거쳐 유지-보수 시스템으로 전달됨으로써 시스템 동작이 비정상일 때 자동 질체의 수단을 이용하여 시스템의 가용도(availability)를 높인다. 광송수신기와의 정합은 NRZ 스크램블 데이터로 하고 있으며, 광송신기로 전달되는 다중화기의 출력은 565Mb/s 데이터뿐이므로 위상 조절의 문제가 발생하지 않으나, 역다중화기는 광수신기로부터 565Mb/s 데이터와 565Mb/s 클럭을 전달받으므로 역다중화기의 입력단은 이들 사이에서 위상이 적절하게 조절되어야 한다. 이러한 문제점들은 자기 조절 타이밍 클럭 재생회로 [4]에서 이들 사이의 위상이 적절하게 조절하므로써 해결할 수 있다. DS-4 종속 신호들과의 정합 시는 CMI 코드를 사용하고 있으며, DS-3 신호와의 정합은 140Mb/s 다중화/역다중화기를 이용하여 행한다.

### IV 프레임 동기 성능

DS-5 다중화 프레임은 종래의 국내 다중화/역다중화 장치에서 사용하고 있는 분산식 프레임 구조와는 다른 다발식 프레임 구조로 되어 있으며, 이를 위한 고속 프레임 동기 회로들 상용 IC를 이용하여 제작할 경우, ECL 논리 소자들의 신호 임피던스를 PCB 상에 정확히 맞추기가 어려울 뿐만 아니라 귀환 회로 상에서의 신호 지연에 기인하는 critical 타이밍 문제, 그리고 신호의 유도성에 기인하는 저주파 여파 기능으로 인한 신호 감쇠 등 여러 가지 원인에 의해 제작한 회로의 신호도가 크게 떨어지는 문제점이 있다. 본 시스템에서는 병렬 인입 기법을 이용하여 프레임 동기 회로의 동작 속도를 140Mhz 로 하여 신뢰도가 높고, 원하는 요구 성능도 충분히 만족시킬 수 있으며 또한 역다중화기 고유의 기능인 채널 분리를 용이하게 할 수 있는 프레임 동기 회로를 설계하였다 [5]. 프레임 동기회로의 프레임 동기 성능은 평균 동기 상실 구간, 평균 비동기 검출 시간, 평균 동기 회복 시간 등으로 나타낼 수 있으며 [6] 설계된 프레임 동기회로의 프레임 동기 성능은 다음과 같다.

평균 동기 상실 구간: 26.5 일 (BER =  $10E-4$ )

최대 평균 동기 회복 시간: 42.8 usec (BER =  $10E-4$ )

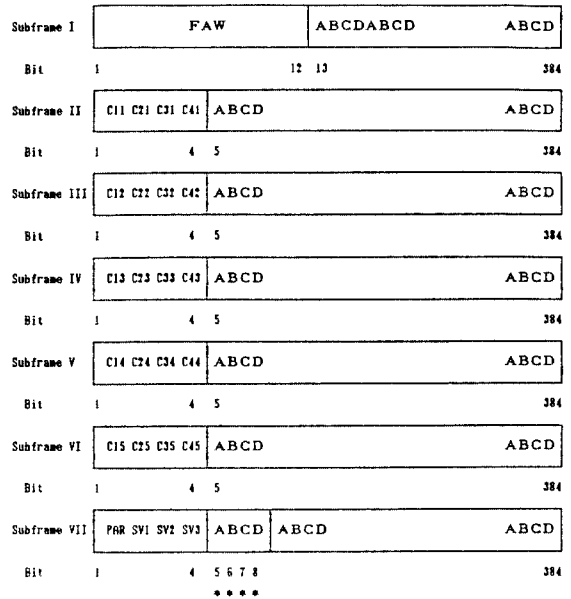
### V 결론

본고에서는 현재 개발 완료된 565Mb/s 다중화기/역다중화기에 대해 소개하였다. 개발한 시스템은 실험을 통해 동작 성능을 확인하였으며, 지터 문제, 최적 신호 부호화의 선택 문제들은 앞으로의 연구를 통하여 최적화 시킬 예정이다. 또한 현재 개발된 다중화/역다중화기 중의 대부분의 소자들은 게이트 어레이 IC로 실현하여 저전력 손실, 적은 용량, 고신뢰도를 갖는 시스템이 되도록 추진하고 있다. 개발된 다중화/역다중화기들은 기간 전송 시스템에서 사용될 뿐만 아니라 이러한 기술들은 광가입자 네트워크에서도 유용하게 적용되리라 기대된다.

\*\* 본 연구는 KTA 출연 연구의 일환으로 수행된 것이다.

참고 문헌

1. 한국 전기 통신 공사, 공개 자료, 1986
2. CCITT, "CCITT Rec. G954", 1985.
3. 신 동관 외, "단국/중계국용 565Mb/s 다중화/역다중화기", ETRI TM-1410-06, 1987. 3
4. 신 동관 외, "Self-Correcting Clock Recovery Circuit With Improved Jitter Performance", Electronics Letters, 1987. 1, 29.
5. 신 동관, "565Mb/s 단국/중계국용 다중화/역다중화기", ETRI 광통신 시스템 연구실 내부자료
6. 신 동관 외, "90Mb/s 광전송 시스템의 프레임 동기 방식에 관한 성능 개선", 대한 전자 공학회지 1987. 3.



\* Bits available for pulse stuffing  
 FAW Frame alignment word (111110100000)  
 ABCD Bits belonging to the tributaries A,B,C,D  
 Cij Control bits for pulse stuffing  
 SVi Service bits  
 PAR Parity bit

그림1. 565Mb/s 다중화 프레임 구조

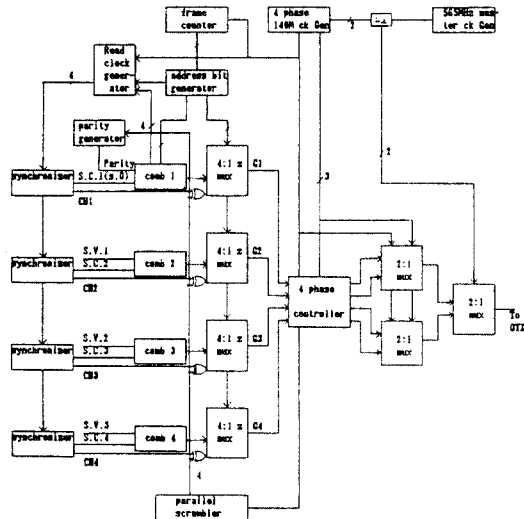


그림2. 565Mb/s 다중화기의 구성도

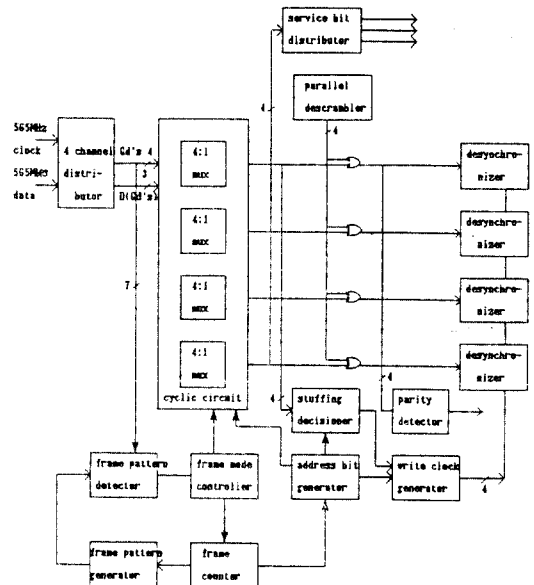


그림3. 565Mb/s 역다중화기의 구성도