

VTR Servo Motor 제어용 칩로의 IC 와

이광엽, 임충빈, 이문기, 김용석, 홍헌식, 김용환, 김영웅
* 연세대학교 전자공학과 ** 삼성전자 종합연구소

Design of VTR Servo Motor IC

Lee Kwang-Youb, Im Chung-Bin, Lee Moon-Key, Kim Yo ng-Serk,
Hong Heun-Serk, Kim Yong-Hwan, Kim Young-Woong
*Dept. of Elec., Eng., Yon Sei Univ. **R&D Center Sam Sung Elec., Co.

Abstract

In this paper, a servo motor control IC for VTR is developed using standard cell library. All the cells are designed by single metal and the 3um design rule.

A desinged circuit consists of cir-cuits which generate a switching pulse and a control reference signal in VTR.

The operation of VTR chip is verifi-ed by COSMOS simulator. Finally, layout is drawn by YOSELA.

1. 서론

최근 집적회로의 복잡도가 증가하고 낮은 생산 비용 과 짧은 개발시간이 요구됨에 따라 CAD 기술이 요구 되게 되었다. 설계방식으로 기층적 설계개념이 도입 되었는데 이러한 방식으로는 게이트 어레이, 표준셀 라이 브러리, PLA 등이있다. 이들은 비교적 소량의 특수 목적을 위한 집적회로 설계에 많이 이용되고있다.

표준셀은 그 기능이 확인되고 특성을 자세히 기술해 놓으므로 셀을 이용한 설계시간을 줄일 수 있을 뿐만 아니라 설계한 후 그 동작을 정확하게 예측할 수 있게 된다. 표준셀을 이용한 설계방식은 게이트 어레이에 비하여 최적 배선, 배선과 불필요한 게이트를 없 이므로 칩면적을 효율적으로 사용할 수 있다. 위와같은 표준셀 의 효율적이고 편리한 장점을 이용하여 VTR 서어보 모 타 제어용 집적회로를 설계 하였다.

본 논문에서는 드럼모터에서 얻은 PG 펄스와 주 파 수를 1/3으로 감소시켜 드럼모터의 회전 에 따른 비교 신호의 기준이 되는 펄스폭이 1.5msec 인 펄스를 발생시키는 회로를 설계한다. 또한 영상신호 계에서 필

요한 PG 펄스에 동기된 칩셀간에 걸친 신호를 연 속적인 신호로 전환시키는 턴업회로의 프리엠프 스위 칭 펄스와 엣지전환 펄스 발생회로를 설계한다.

회로의 동작확인 은 mixed-simulator 인 COSMOS 시뮬레이터를 이용하여 logic 과 timing 시뮬 레이션을 실행하였다. COSMOS 시뮬레이터는 대규 모 회로에서 빠른시간내에 회로의 동작예측을 가능하 게 해준다.

2. 표준셀 library 의 특성

서어보 모 타 제어용 집적회로를 구성하기 위해서는 랜덤 논리 게이트들과 플립플롭등의 셀이 필요하다.

셀의 구조자의 칩셀깊이는 최소깊이로 모두 3um 로 하였고 칩셀폭은 시간지연특성을 좋게하기 위하여 주어진 셀높이 안에서 최대로 하였다. 많은 입력을 갖 는 NAND 나 NOR 게이트는 N-MOS 를 기준 으로한 지 령의 연결방식으로 설계하게되면 DC 전 담 특성이 저하되고 입력 단자간에 지연시간의 차를 갖기되므로 3입력단자로 제한하고 그 이상의 단자가 필요한 게이트는 2입력과 3입력게이트를 조합하여 구성하였다. 버퍼는 최소의 지연시간을 얻기 위해서 는 입출력의 부하비가 e 배 이어야 하지만 설계 편의 상 3배로 하여 설계하였다.

셀 대이타 배이스를 효과적으로 시스템 설계에 이 동 하기 위해서 사용할 셀의 전기적 특성을 회로 시뮬 레이션 프로그램인 COSMOS 를 이용하여 모델화 시 켜다. 그러므로 셀을 이용하는 설계자는 회로설계에 따라 요구되는 전기적 특성에 맞게 셀을 이용할 수 있게 하였다.

회로 전체에 대한 logic simulation 과 timing simulation 은 대규모 회로에 좀더 효율적인

COSMOS simulator 를 사용 하였다.

(1) 랜덤 로직 게이트

설계한 설의 종류는 6NAND, 6NOR, 8NOR 등 단단 입력게이트와 2NAND, 2NOR 등이 있는데 3입력 이하의 게이트는 NMOS 를 기준으로 생각하여 NAND 개념일때 직렬, NOR 개념일때 병렬로 연결하는 방법을 이용하여 설계하였다.

8 NOR 셀을(그림-1) 사용할 경우 사용자는 입출력 단자만을 알고 부하에 따른 시간지연특성(그림-2)을 알면 시스템 설계에 편리하게 이용할 수 있다.

(2) 플립플롭

본 회로에서는 D플립플롭과 T플립플롭을 사용하는데 T플립플롭은 D 플립플롭의 Q 와 Q를 연결하여 대치하였다. D플립플롭은 상승 에지에서 동작하게 하였고 전기적 특성과 layout은(그림-3), (그림-4)와 같다. 전기적 특성 시뮬레이션에 사용한 COSMOS 입력 확인은(그림-5)에 나뉜다.

회로의 시뮬레이션 과정에서는 기생정전용량을 고려하게 되는데 기생정전용량으로는 MOS 소자 자체의 기생정전용량으로 소오스와 드레인의 면적과 주변 기어를 레이어아웃에서 추출하여 COSMOS입력카드로 사용하였다.

3. VTR 서어보 모타 제어용 집적회로의 설계

VTR 의 서어보 회로는 헤드서어보와 캠스핀 서어보로 나누어지는데 이 둘회로는 헤이프와 헤드간의 속도와 위상을 비교신호와 기준신호와와의 차에 의하여 발생하는 오차신호로 제어하여 비디오신호를 충실히 기록 재생하도록 한다.

서어보 회로의 기준신호는 누확시에는 영상신호에 포함된 수직동기신호(60 Hz)를 분주한 30 Hz 펄스가 이용되는데 이 신호는 헤이프의 하단에 기록된다. 재생시에는 누확시 헤이프의 하단에 기록된 제어신호를 기준신호로 한다. 비교신호는 제어 대상이 되는 헤드 디스크의 회전속도와 위상을 얻기 위해 헤드 구조물에 부착된 펄스 발생기에 의하여 얻게된다. 설계된 전체 구성도는(그림-6), (그림-9)과 같다.

(1) 1/3 분주 펄스폭 발생회로

T플립플롭 7개를 이용하여 링계수기를 만들고 이를 이용하여 PG 펄스에 동기되어 49개의 클럭펄스마다 상패가 변하도록 한다. 클럭펄스는 32.768 KHz 로 49개에 해당된 약 1.5msec 펄스폭을 갖는 펄스를 얻게된다.

(2) PG 펄스의 1/3분주 펄스 발생회로

D플립플롭을 이용하여 PG 펄스를 1/3분주 시킨다. 이 분주된 펄스를 (1)회로의 SL2 출력의 1/8 분주된 신호와 논리곱을 하여 최종적으로 PG 펄스에 동기된 펄스폭 1.5msec 인 펄스를 만들게 한다. 이 1/3 CD 펄스는 다음의 스위칭 회로 및 플립플롭 결합 펄스를 만들어내는 회로의 동기 펄스가 된다.

(3)스위칭 펄스의 내부 기준 펄스 발생회로

10개의 T플립플롭을 이용하여 클럭펄스 547개마다 set 펄스를 발생시킨다. 이때 스위칭 펄스의 결합 부분이 되는 시간만큼의 펄스폭이 되는 펄스를 발생시키기 위하여 클럭펄스 33개를 세어 펄스폭이 약 1msec 가 되도록 한다. 또한 헤드전환펄스의 기준신호가 되는 펄스로 결합펄스폭의 반이 되는 펄스폭을 발생시킨다.

(4)스위칭 펄스 및 헤드전환 펄스 발생회로

(3)의 회로에서 발생된 기준펄스를 클럭펄스로 하여 3개의 T 플립플롭을 이용하여 스위칭펄스를 발생시킨다. 회로와 시뮬레이션결과는(그림-7), (그림-8)에 보여진다.

4. 집적회로 레이어아웃 설계

전체회로를 표준셀을 이용하여 레이어아웃하기 위하여 (1), (2)회로와 나머지 회로로 크게 두부분으로 나누어 설계 하였다. 모든 출력은 표준셀의 버퍼를 통하여 출력되고 입력은 보호회로를 거쳐 버퍼를 통하여 하였다. VDD 와 VSS 선은 셀 내부에서는 10um로 하였으나 칩 외곽을 따라 연결하는 주 전원선은 15um로 하여 충분한 전류가 흐르게 하였다. 설계한 회로는 300 게이트의 규모이다.

5. 결론

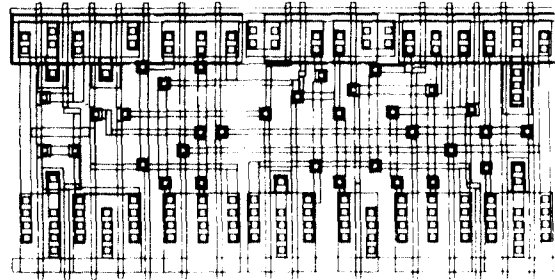
본 논문은 싱글메탈 폴리게이트 CMOS 3um 설계 규칙에 따라 표준셀 라이브러리를 구성하고 이를 이용하여 VTR 서어보 모타 제어용 집적회로를 설계하였다.

설계한 회로는 VTR 의 서어보 모타의 제어 기준신호와 영상회로 계에서 프리앰프 스위칭 펄스 발생회로로 총 300 게이트 범위의 회로이다. 모델화된 설을 이용하여 전체회로가 집적화 되었고 시뮬레이터에 의해 집적회로화된 회로가 정상동작함을 확인했다.

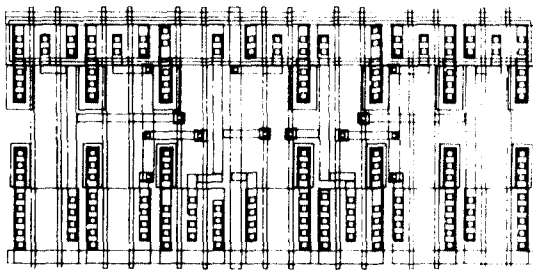
앞으로 다양한 셀이 개발되고 자동 배치 프로그램을 이용하면 셀 라이브러리를 이용하여 큰 규모의 시스템을 집적회로화 할 수 있다.

6.참고 문헌

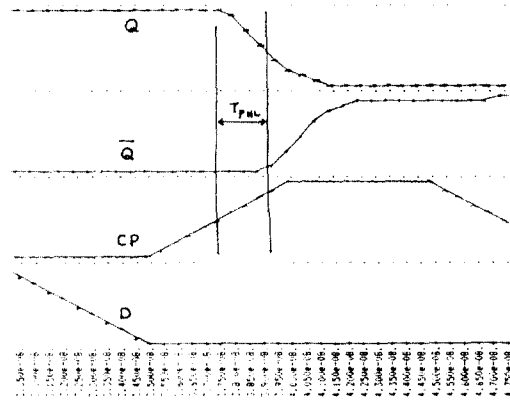
1. 이문기등, "초대형 집적회로 설계 방법론 개관(시스템 셀 데이터 베이스 구성) 연구 과제 최종 연구 보고서", 연세대학교 전자공학과 1985.
2. Neil Wests, Kamran Eshraghian, "Principles of CMOS VLSI Design, A system Perspective", Addison-Wesley, p180-183, 1985
3. Mead, Conway, "Introduction to VLSI system", Addison-Wesley, p11-15, 1980.
4. Sung Mo Kang, "A design of CMOS poly cells for LSI circuits", IEEE Trans, on Circuits and systems, Vol CAS-28, no8, Aug. 1981.
5. Andrei Vladimirescu, Sally Liu, "The simulation of Mos Integrated Circuits Using SPICE β , UCB/ERL M80/7, Feb. 1980.
6. 연세대학교 전자공학과 마이크로일기트로닉스연구실, "COSMOS USER'S MANUAL".



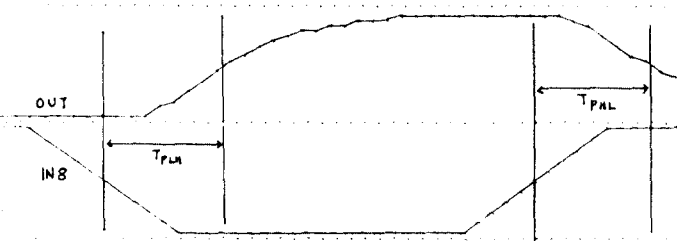
(그림-3) D 플립플롭의 Layout



(그림-1) 8NOR Cell Layout



(그림-4) D 플립플롭의 시간지연 특성



(그림-2) 8NOR Cell 시간지연 특성

cosmos
control circuit for vtr servo motor

```

cosmos
a1 20 2 3 paos : w44u 1+3u
a2 7 2 0 naos : w20u 1+3u
a3 20 7 4 paos : w44u 1+3u
a4 4 2 0 naos : w20u 1+3u
a5 7 4 1 paos : w44u 1+3u
a6 7 3 1 naos : w20u 1+3u
a7 7 3 5 paos : w44u 1+3u
a8 7 4 5 naos : w20u 1+3u
a9 20 7 6 paos : w44u 1+3u
a16 7 6 naos : w20u 1+3u
a11 20 6 5 paos : w44u 1+3u
a12 20 11 5 paos : w44u 1+3u
a13 5 6 40 naos : w20u 1+3u
a14 40 11 0 naos : w20u 1+3u
a15 7 4 8 paos : w44u 1+3u
a16 6 7 8 naos : w20u 1+3u
a17 7 7 7 paos : w44u 1+3u
a18 7 4 6 naos : w20u 1+3u
a19 20 6 10 paos : w44u 1+3u
a20 10 11 0 paos : w44u 1+3u
a21 7 9 50 naos : w20u 1+3u
a22 20 11 0 naos : w20u 1+3u
a23 20 10 8 paos : w44u 1+3u
a24 8 10 6 naos : w20u 1+3u

```

```

.model paos paos : tctrl=1.1 kpr1.05e-05 qasara.45e-011
.ph1=0.68
.model naos naos : tctrl=0.7 kpr5.76e-05 qasara.77e-011
.ph1=0.7

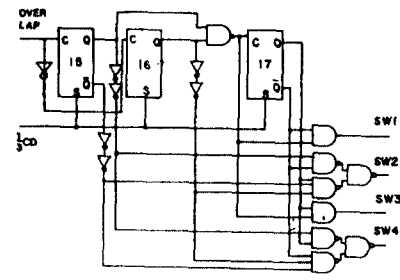
```

```

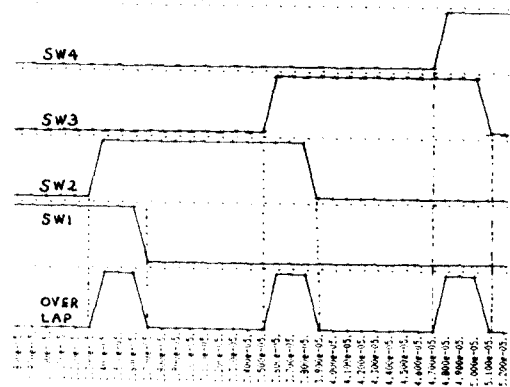
.model d tctrl : 0v 5v 0.4m 0.1m 15m 20m 75m 4m
.model ca tctrl : 0v 5v 10m 20m 0.5m 10m 15m 20m
.model vdd dc : 5v

```

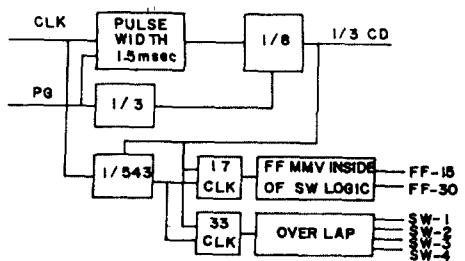
(그림-5) D 플립플롭에 대한 COSMOS 입력확인



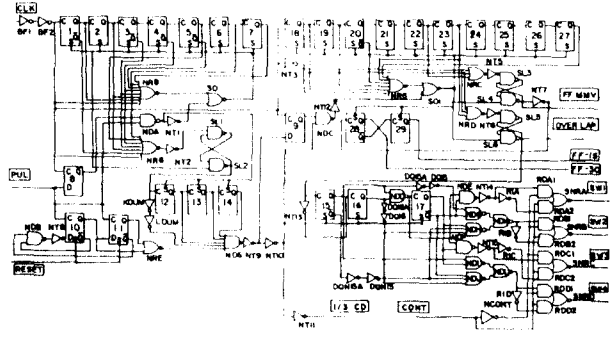
(그림-7) VTR 스위칭펄스 발생회로



(그림-8) VTR 스위칭 펄스 발생 회로의 logic 시뮬레이션



(그림-6) VTR 서어보 회로의 구성도



(그림-9) VTR 서어보 회로의 전체 논리 다이어그램