

고속 Data Acquisition System의 설계와 제작

신 천 우 김 태 요 이 무 영
(영남대학교 전자공학과)

Design and Construction of a High Speed Data Acquisition System

CHEON WOO SHIN TAE HYO KIM MU YEONG LEE
Dept. Electronic Eng. Yeongnam University

Abstract

Data acquisition system is needed in signal analysis and processing by using computer. This paper realizes the high speed data acquisition system by using 8bit, 20MHZ refresh A/D converter and 18 x 64 Byte high speed memory. The high speed data acquisition system provides converted data to IBM-PC XT micro computer.

1. 서 론

연대의 통신 해석에서는 종래의 Analog 식 분석 방법에서 Computer 를 이용한 통계적인 방법이나 해석 등이 많이 연구되고 있다.

Computer로 신호를 처리하기 위해서는 Analog 신호를 Digital Data 로 바꾸어 Computer 로 입력시키는 A/D Converter 가 필요 불가결 하다. 그러나 Signal 의 frequency 가 높아지거나 처리할 Data 의 량이 많아질 때는 고속의 A/D Converter 가 필요하게 되는데 이러한 고속의 A/D Converter 는 그 가이면서 쉽게 사용하기가 어렵다.

본 연구에서는 High Speed A/D Converter 를 사용하여 Data Acquisition System 을 설계, 제작 하여 요즘 국내에 많이 보급되고 있는 16 bit Micro Computer 로 Data 를 전송하여 손쉽게 frequency 가 높은 Signal 을 분석할 수 있게 하였다.

2. SYSTEM 구성

Analog Signal 은 buffer amp 를 통하여 증폭

되어 A/D Converter 로 들어간다. Buffer Amplifier 의 Gain 은 약 2이며 Cutoff Frequency 는 약 20 MHz 이다. 입력된 Analog Signal 는 Sampling Clock 에 의해 Digital Data 로 변환된다.

사용한 A/D Converter의 Sampling Frequency 는 20 MHz 이나 IBM-PC 에서 Assembly Language 를 사용하여 I/O Port 를 통하여 Data 를 받을 수 있는 최대 Speed 는 약 80 K Byte/sec 이다. 이때, A/D Converter 의 Sampling Frequency 와는 같지 않으므로 그 사이에 High Speed 의 Memory 를 넣어 Buffer 로 사용하였다.

High Speed Memory 는 64 Byte 짜리 18개를 직렬 연결하여 1152 Byte로 하였다. Save 된 Data 는 Computer 의 신호가 있을 때 1 Byte 씩 Shift Out 하여 Computer 로 들어간다. 전체의 System 를 Control 하는 데는 4개의 Decoder 가 필요하므로 Address Decode 를 4개 만들어 Signal 를 Decode 한 다음 Controller 에 전체적 System 을 Control 한다.

Sampling Clock 는 Internal Clock 20MHZ, External Trigger 와 전환 사용할 수 있도록 하였다.

이상에서 얻어진 Data 는 Computer 로 들어가 Text File 로 만들어 진다.

전체적 System 의 Block Diagram 은 Fig 2-1 과 같다.

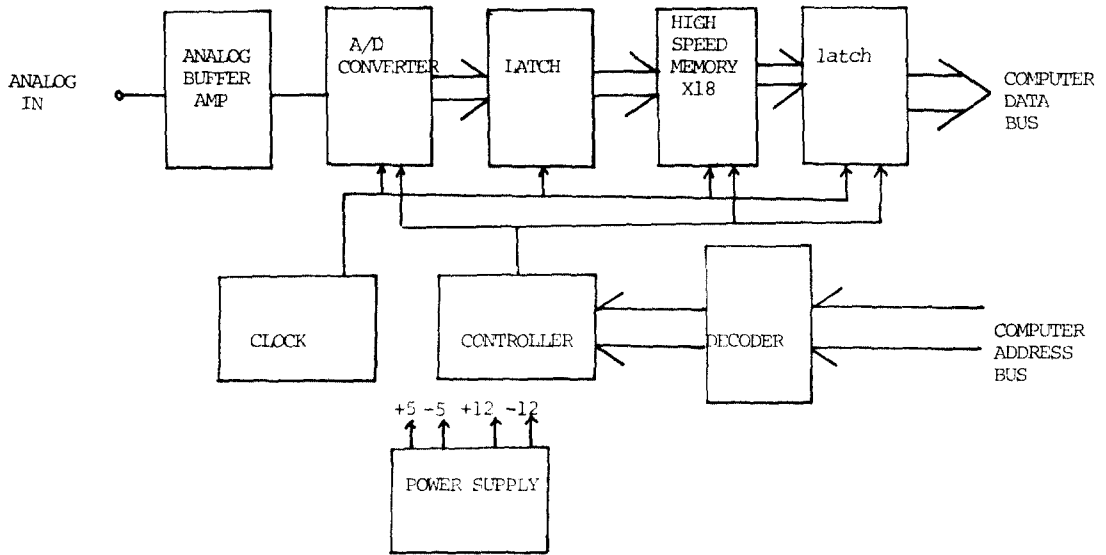


FIG 2-1 BLOCK DIAGRAM OF HIGH SPEED DATA ACQUISITION SYSTEM

2-1. A/D Converter and Memory Section

사용한 A/D Converter 는 Refresh Type 이기 때문에 Reference Voltage가 필요하게 된다. 그리고 8 bit 의 resolution 을 error 없이 유지하기 위해서는 Reference Voltage의 안정이 요구되며, Sampling Frequency 의 interference 를 억제할 수 있도록 부품을 배치, 제작하여야 한다. Reference Voltage 의 Source 로는 LM 313을 사용하였으며, OP Amp ($\mu A n41$)로 증폭하여 2N2459로 다시 증폭하여 R_B 단자에 연결하였다. 그리고 이 Reference Voltage 를 조정하여 Analog Signal 의 Gain 을 조정할 수 있게 하였다. Analog Signal 은 R_1 과 R_2 에 의해 증폭도가 결정되며 Amplifier 의 Gain 은 2. Cutoff Frequency 는 2CMHZ 이다.

Amplifier 의 + 입력단자의 외부에서 Voltage를 변화하여 Offset 조정을 하게 설계하였다. 그리고 Conversion된 Data 는 2 Clock우에 Data Latch 로 들어가게 된다. Data Latch로 들어간 Data 는 High Speed Memory 로 들어간다. High Speed

Memory는 First in First Out(FiFo) Memory 라고 하며 Store할 수 있는 Data 량은 1152 Byte이다.

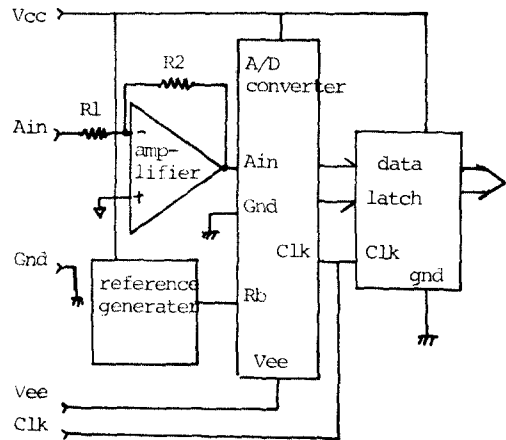


FIG 2-2 A/d Converter circuit.

2-2. Interface and System Controller.

전체의 System 을 Control 하는 데는 다음과 같은 4개의 Command 가 필요하다.

- 1) Reset Logic

- 2) Start Converting
- 3) Memory Full(?)
- 4) Data Input to Computer

각 Command 의 Signal 을 발생시키기 위하여 Address Bus 를 사용하였는데, IBM-PC 의 Card Slot I/O Port Address 에서 사용 가능한 ¹⁾⁵⁾ Address 를 026DH, 026FH, 025BH, 0265H 를 사용하였다. Interface Card 의 Decode 는 \overline{IOR} 와 \overline{IOW} , 16개의 Address Line 을 이용하여 Decode 하였으며, Decode 에서의 Delay 는 약 5nS 정도이다. Data Bus 는 8 line 의 Data Bus 를 74 F 244 를 통하여 Computer 의 Data Bus 에 연결된다. 1 Byte 의 Data 를 받아들일 때에는 약 5 Clock (1050 nS) 이 필요하다. 사실상 소요 되는 시간은 10 μ S 정도이다. 그리고 Fifo Memory 의 용량은 1152 Byte 이므로 이 1 Block 의 Data 를 모두 Computer 로 받아들일 때 필요한 시간은 약 12 mS 이다.

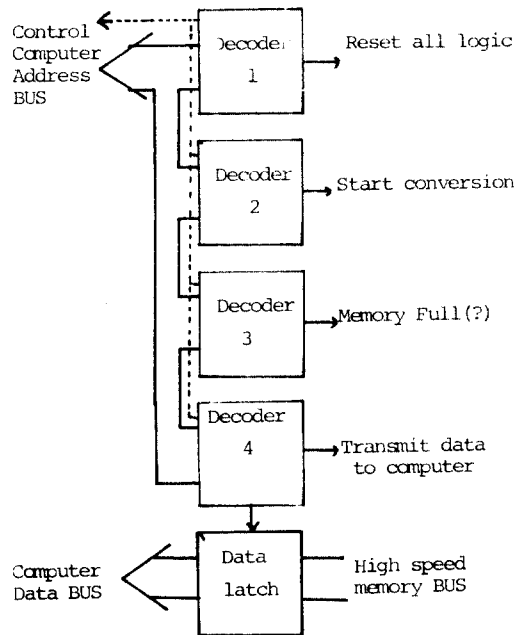


Fig 2-3 BLOCK DIAGRAM OF INTERFACE CIRCUITS.

2-3. Soft Ware

SYSTEM 의 Control Soft Ware 는 Speed 변율 감 안하여 Assembly Language 로 Fig 3-1과 같이 구성하였다.

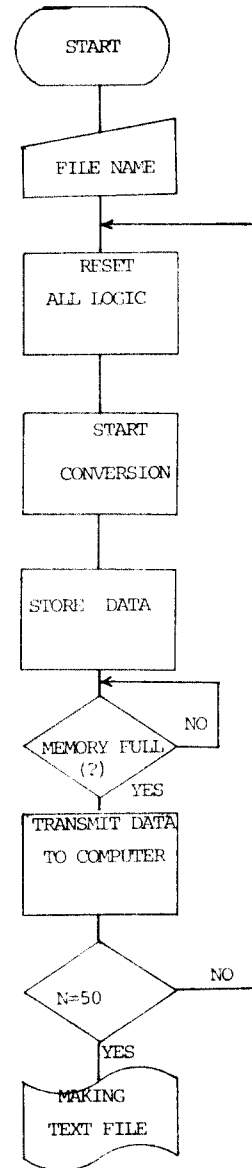


FIG 2-4 flow chart of system control

Converting Signal이 발생되면 이때 부터 Analog Signal이 A/D Converter에서 Conversion 되어 High Speed Memory 로 들어간다. 그 다음 C.P.U 는 FiFo Memory 가 Full이 되었는지를 Check 하는 loop 를 반복한다. FiFo Memory가 Full이 되면 Control Circuit 에서 Computer로 Signal 을 보내어 Computer가 인식하게 한다. Full Signal 이 인식되면 Computer는 Data Input(Shift Out) Signal 을 발생하여, 받아들인 Data를 Text File로 Hard Disk 에 Save시킨다.

이상의 과정을 반복하여 연속적인 동작을 시켜 Save 하면 약간의 Time Gap은 있지만 연속 Data Block 을 만들 수 있다.

3. 결 론

이상에서 20MHZ Refresh A/D Converter를 사용하여 1152 Byte 의 FiFo로 Data Acquisition SYSTEM 을 제작하였다.

1 Block의 Data를 받아들인 후에 필요한 시간은 약 15 mS 정도이며 연속으로 Data 를 받아들일 수 있게 하였다.

이 SYSTEM 은 과도현상이나 Sonar, Radar 신호 등 High Speed의 Data를 Computer로 분석할 때 편리 하게 사용할 수 있다.

본 SYSTEM 의 외부에 Trigger Circuit을 추가 하여 동작시키면 더욱 편리하며, DMA 로 Data 를 전송하면 Data 전송시간의 Gap을 보다 줄일 수 있으리라 생각한다.

Reference

1. Lewis C. Eggebrecht : Interfacing to the IBM Personal Computer. P.214-234. Howard W. Sams & Co.
2. Robert Lafore : Assembly Language Primer for the IBM PC & XT. P.349-363. The Wait Group
3. VLSI Data Book. TRW. 1984.
4. Analog and Telecommunication Data Book. HARRIS. 1984.
5. Micro System Component Hand Book. Intel. 1986.
6. Micro Soft MACRO-86. MS-DOS.
7. Christopher L.Morgan: Blue Book of Assembly Routines for the IBM PC&XT. P218-236. The Waite Group

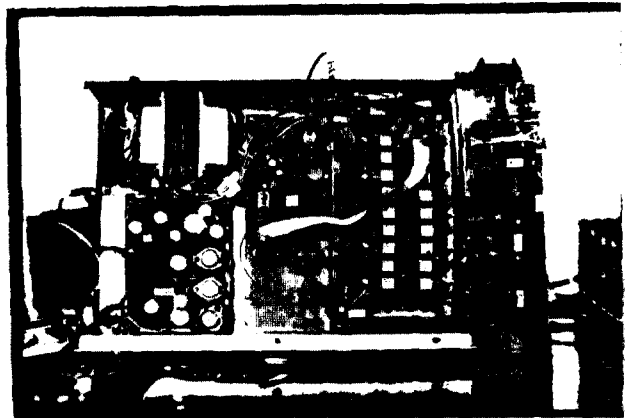


Fig 3-1 Photograph of Data Acquisition System.