

1Mb 이상의 초대형 DRAM cell 구조에 관한 비교 연구

유 계 환 김 봉 율 이 문 기
연세 대학교 전자공학부

Cell Structure in DRAM more than 1Mb

You Jei-Hwan Kim Bong-Ryul Lee Moon-Key
Yonsei University, Dept. of Electronics

Technical characteristics of several Mb DRAM cells were discussed. Electrical and geometrical features, such as cell size, cell structure, storage charge and operating voltage, were investigated from the view point of finding the direction of future development. It was found that Mb DRAM cells have utilized trench or stacked structure to keep enough charge capacity for small cell size.

1. 서론

DRAM에서는 그 통합 INTEGRATION CAPACITY가 3년에 4배씩 증가해 온 반면 CHIP SIZE는 많아야 40%의 증가에 머물렀다. (1) 이는 PROCESS TECHNOLOGY의 급속한 발달에 따라 SCALING이 계속 이루어짐으로써 MEMORY CELL AREA의 감소가 가능했던 점에 기인된 것이었다. 그러나 1Mb 이상에서는 SCALING으로만으로는 Cs/Cb 가 S/A에서 SENSING할 수 없을 정도로 작아져서 PLANAR CELL STRUCTURE가 거의 사용될 수 없게 되었고 거의 같은 CELL SIZE를 가지면서 CHARGE CAPACITY를 높이는 TRENCH OR STACK STRUCTURE의 CELL을 개발하기에 이르렀다. 본 논문에서는 1Mb 이상 DRAM에 있어서의 CELL TYPE, 특성 SPECIFICATION, CAPACITOR INSULATOR 두께, OPERATING VOLTAGE 관계, CELL STRUCTURE 변화 등에 관해 조사, 연구하였다.

2. CELL TYPE (2-8)

저장 CHARGE가 α -PROBLEM, S/N PROBLEM, HOT-CARRIER EFFECT, BREAKDOWN을 막을 정도의 값을 유지하면서 CELL SIZE를 줄이기 위한 구조는 PLANAR 형태인 SINGLE POLY -> DOUBLE POLY

-> TRIPPLE POLY CELL에서 3-D CELL STRUCTURE인 STACKED CAPACITOR CELL과 CORRUGATED CAPACITOR CELL로 변화되었다. 3-D CELL은 각 구조적 특징에 따라 그림 1-7에서와 같이 CCC, FCC, TTC, BIC, BSE, IVEC, SSS 등으로 불리워진다. CCC는 TRENCH의 기본 형태와 이웃하는 CELL과 PLATE를 공유하고 ISOLATION은 FIELD OXIDE로 이루어진다. FCC는 TRENCH 밑부분의 THICK OXIDE로 ISOLATION을 함으로써 CCC에 비해 작은 CELL SIZE를 갖는다. TTC는 TRANSFER TRANSISTOR를 VERTICAL로 구성하여 CELL SIZE가 줄지만 PROCESS가 복잡해진다. BIC는 FCC와 비슷하나 ISOLATION이 THICK OXIDE 대신 P⁺의 IMPLANTED REGION에 의해 이루어지는 차이점이 있고 BSE CELL은 기본 TRENCH CAPACITOR 구조에 ISOLATION을 위해 SiO₂로 채워진 SHALLOW TRENCH가 첨가되고 WORD LINE이 인접한 CELL과 COUPLE된다. IVEC CELL은 이웃 CELL과의 PUNCHEDHROUGH가 방지되고 DEEP TRENCH없이 CAPACITANCE를 증가시킬 수 있으며 ISOLATION AREA가 없어진다. SSS는 TRENCH와 TRANSFER Tr 이 VERTICAL로 구성되고 TRANSFER TRANSISTOR는 SOI 방법을 쓴 구조이다. 이 CELL은 보통의 BULK CAPACITOR TYPE 보다 α -PARTICLE CROSS SECTION이 작기 때문에 α -IMMUNITY가 좋고

CELL SIZE가 작지만 FEASIBILITY가 SOI CRYSTAL-QUALITY와 MANUFACTURABILITY에 의존

하는 문제점을 갖고 있다.

STORAGE-AREA CAPTURE RATIO <STORAGE CAPACITOR AREA TO CELL AREA>로 표현되는 AREA

EFFICIENCY는 그림 8에서 보는 것처럼 이점에 개발된 CELL 보다 SSS CELL이 훨씬 큰 값을 갖는다.

이전까지 언급했던 CELL들이 SIGNAL CHARGE가

충족없이 직접 입력되는 것과 대조적으로 SSS와 함께 이때 DRAM CELL로서 이용될 2-TRANSISTOR

1-CAPACITOR 구조의 GAIN CELL은 SIGNAL CHARGE를 충족할 수 있고 FLOATING CAPACITOR에 저장

된 CHARGE가 Si SUBSTRATE에서 발생된 소수 캐리어에 작은 영향을 받기 때문에 α -PARTICLE

에 덜 민감하다. 이 CELL의 FEASIBILITY는 SOI 기술에 의존한다.

3. 주요 SPECIFICATION

'2'절에서 나타낸 각 CELL에 대한 주요 SPECIFICATION은 표 1과 같다.

4. CELL SIZE

그림 9는 집적도의 증가와 CELL 구조의 발전에 따른 DRAM CELL SIZE의 변화를 나타낸 것이다. CELL SIZE는 표 1로부터 1M에서는 $10-25\mu m^2$, 4M에서는 $5-10\mu m^2$, 16M에서는 $3-5\mu m^2$, 64M에서는 $2\mu m^2$ 정도임을 알 수 있다.

5. MEMORY CELL에 걸리는 전계 세기

보통의 1-TRANSISTOR 1-CAPACITOR MEMORY CELL을 사용한 Mb DRAM에서 가장 심각한 문제중의 하나는 α -PARTICLE SOFT ERROR에 압전합

정도의 STORAGE CAPACITANCE를 갖으면서 CELL SIZE를 줄이는 문제다. 그러나 CELL SIZE를 줄이면 DRAM에서의 STABILITY와 MANUFACTURABILITY에 밀접히 관련된 CHARGE CAPACITY가 줄게 되므로 저장 CHARGE를 증가시키기 위해 CAPACITOR INSULATOR의 두께를 줄여야 한다. 이때 SCALING THEORY에 따라 OPERATING VOLTAGE를 줄이지 않으면 DIELECTRIC BREAKDOWN이 일어나므로 다음 그림 10에서 보듯이 16Kb까지는 12V, 1 Mb까지는

5V 까지 가능하나 4 Mb 이상에서는 3V로 줄여야 될 것이다. (9) 한편 OPERATING VOLTAGE가 줄면서 S/A, 주변회로 등의 동작 변화를 필요로 하게 된다.

표 2 는 '2'절에서 나타낸 7가지 CELL TYPE에 있어서의 INSULATOR 두께와 OPERATING VOLTAGE를 표시한 것이다. 이 표에서 앞서 언급했던 사실을 확인할 수 있는데 T.T.C 의 경우는 DEEP TRENCH 형태로서 INSULATOR 두께가 25 nm, OPERATING VOLTAGE가 5V까지 가능하나 PROCESS 기술이 문제가 된다.

6. 결론

1Mb까지는 PLANAR 구조의 CELL이 사용될 수 있으나 그 이상의 DRAM에서는 작은 CELL SIZE에 SOFT ERROR를 막을 만한 CHARGE CAPACITY를 갖아야 되기 때문에 CCC, FCC, IVEC 등의 TRENCH 구조의 CELL을 사용할 것이며 이보다 발전된 형태인 SSS 와 GAIN CELL은 SOI 기술의 발전에 따라 실용화될 것으로 보인다.

1Mb 이상의 DRAM CELL SIZE는 대부분 $25\mu m^2$ 이하이고 16Mb 에서는 $3-5\mu m^2$, 64Mb 에서는 약 $2\mu m^2$ 일 것이며 4Mb 이상에서 OPERATING VOLTAGE는 INSULATOR BREAKDOWN, SHORT CHANNEL EFFECT 등의 요인을 줄이기 위해 2.5-3.3V 정도가 사용될 마지막 여겨진다.

7. 참고문헌

1. Hideo Sunami, "Cell structures for future DRAM'S", IEDM-85, P694-697.
2. Tokuo Kure, et al, IEEE Transaction on Electron Device, Vol.ED-31, No.6, June 1984, p746-753.
3. M.Ohkura, et al, IEDM-85, p718-721
4. M.Sakamoto, et al, IEDM-85, p710-713
5. W.F. Richardson, et al, IEDM-85, p714-717
6. Kunio Nakamura, et al, IEDM-84, p236-239
7. Shigeru Nakajima, et al, IEDM-84, p240-243
8. M.WADA, et al, IEDM-84, p244-246
9. Shojiro Asai, et al, IEDM-84, p6-12

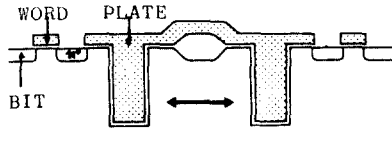


그림 1 CCC (CORRUGATED CAPACITOR CELL)

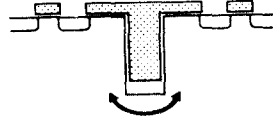


그림 2 FCC (FOLDED CAPACITOR CELL)

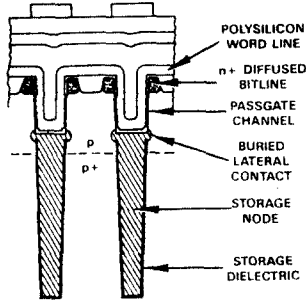


그림 3 TTC (TRENCH TRANSISTOR CROSS POINT CELL)

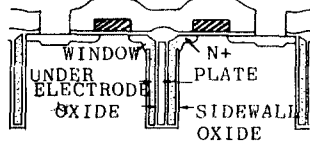


그림 6 IVEC (ISOLATRON-MERGED VERTICAL CAPACITOR CELL)

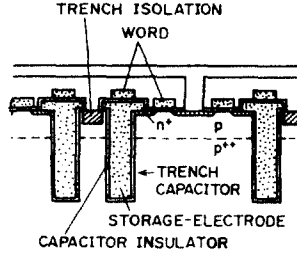


그림 4 BSEC (BURIED STORAGE ELECTRODE CELL)

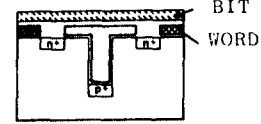


그림 5 BIC (BURIED ISOLATION CAPACITOR)

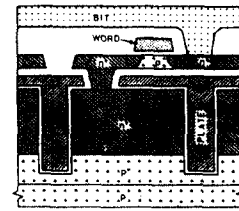


그림 7 SSS (STACKED SWITCHING-TRANSISTOR IN SOI)

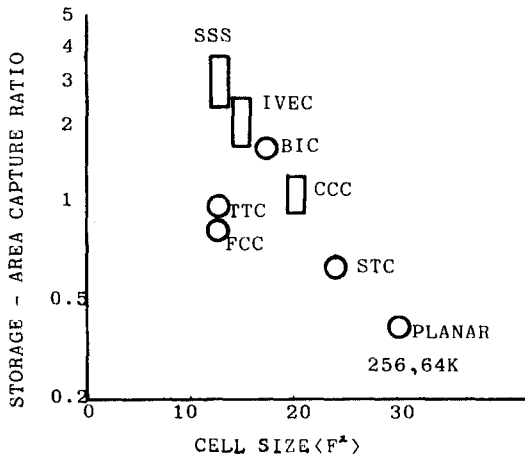


그림 8 각 CELL의 CELL SIZE와 STORAGE AREA CAPTURE RATIO

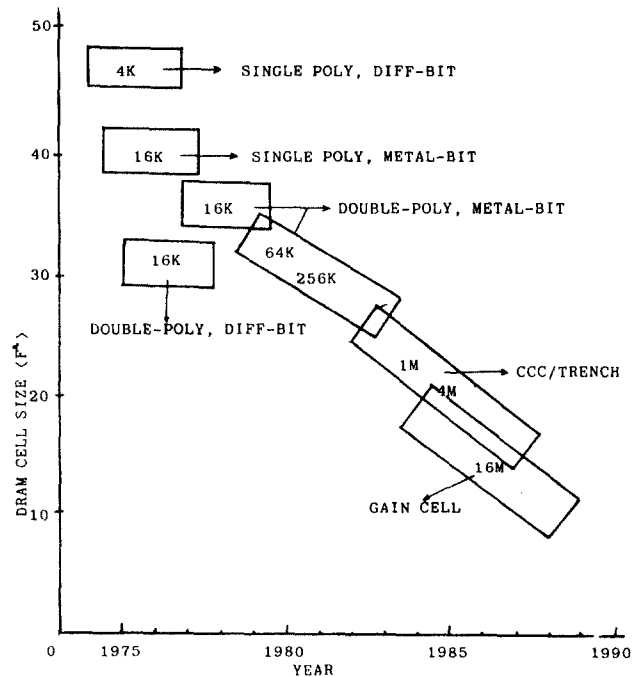


그림 9 DRAM CELL SIZE 변화

표 1. 각 CELL에 대한 주요 SPECIFICATION

	C.C.C.	F.C.C.	T.T.C.	B.I.C.	B.S.E.	I.V.E.C.	S.S.S.
	Hitachi	Toshiba	Texds	NEC	NEC	Nippon	Hitachi
cell size (μm)	21	11	9	7	8.8	5	3.4 (72)
capacitance (fF)	60	60	28	34	35	30	60 (200)
Trench Depth (μm)	4	2.2	6	5	5	2.2	3 (2)
feature size(μm)	1	0.8	1	0.8	0.8	0.5	0.5 (2)

- * C.C.C. : 1Mb 용 DRAM Cell
- * F.C.C., T.T.C., B.I.C., B.S.E. : 4Mb 용 DRAM Cell
- I.V.E.C., S.S.S. : 16Mb 용 DRAM Cell (Simulation)
- () 숫자는 test DRAM 값

표 2. 각 CELL의 INSULATOR 두께와 OPERATING VOLTAGE

	C.C.C.	F.C.C.	T.T.C.	B.I.C.	B.S.E.	I.V.E.C.	S.S.S.
Insulator thickness (nm)	15	10	25	15	18	10	10 (30)
operating voltage(V)	5	3	5	3	3	3	3 (5)

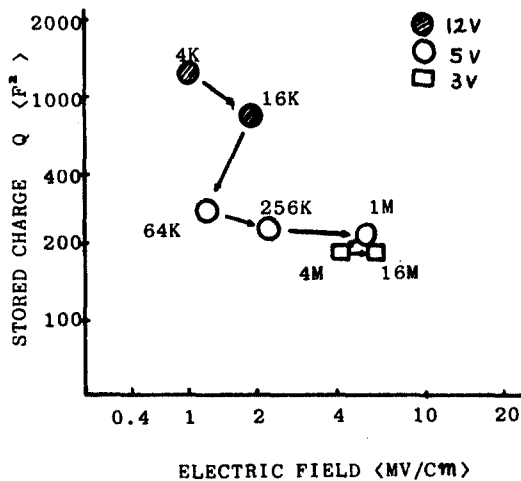


그림. 10 DRAM CELL의 전계와 저장전하량