

디지털 교환망에서의 망동기

◦ 김 옥희, 박 권철

한국 전자 통신 연구 소

Network Synchronization System in Telecommunication Network

Og Hi Kim, Kwon Chul Park

Electronics and Telecommunications Research Institute

ABSTRACT In a digital telecommunication network, the clock synchronization is inevitable to prevent the data loss caused by inconsistency of clock frequencies.

This paper describes the considerations necessary for synchronization and the implementation of the clock synchronization system using digital processing phase locked loop method in TDX-1 switching system.

1. 서론

교환망이 디지털화되면서 교환기간 클럭 주파수의 불일치에 의해 야기되는 데이터의 손실 및 중복현상인 slip 발생 방지를 위하여 망동기는 중요한 문제점으로 대두되었으며 동기방식 및 이들을 실현하기 위한 많은 연구가 계속되어왔다.

slip은 단순한 음성 통신에서는 미소한 잡음 발생 가능성을 가지나 데이터 전송 및 화상전송에서는 심각한 전송손실 현상으로 나타난다.

Network이 동기되면 slip은 전혀 발생하지 않으나 전송로장에서 제한된 정확도를 가진 oscillator의 drift등에 기인한 slip 발생은 불가피하며 이들의 발생한계 허용치는 CCITT Rec. G822에서 규정하고 있다. 디지털망에서 slip 발생을 최대한 억제하기 위한 동기방식에는 크게 나누어 독립동기(plesiochronous), 종속동기(master-slave), 상호동기(mutual)가 있으며 이들중 적절한 동기방식을 채택하는데는 network 차원에서 경제성, 품질성능, 신뢰도, 망관리등의 요소가 고려되어야 한다. 따라서 국내 교환망에서는 망구조가 비교적 간단하며 고정확도(10^{-11} 이상)의 oscillator를 사용하지 않고도 안정도가 높은 동기망을 구성할 수 있는 종속동기방식의 일종인 PAMS(Preassigned Alternate Master Slave) 동기방식을 채택하여 tree구조의 timing network에서 상위국으로 부터 입력된 기준 timing에 자체 클럭을 동기시키고 다음번 하위국으로 기준 timing을 공급하고 있다.

본 논문에서는 망동기의 주요 요소가 되는 디지털망 품질제약 요소에 대해 살펴보고 이런 조건을 고려하여 국내망에 적합하도록 개발한 동기장치의 설계 및 실험결과에 대해 논하고자 한다.

2. 디지털망 품질 제약요소

디지털 전송 시스템이 안정된 클럭을 가진 경우에도 전송로의 물리적 제약조건에 의해 수신측 시스템으로 입력된 클럭의 ins-tability는 jitter 및 wander 현상으로 나타난다.

Jitter에는 전송선의 온도 변화에 따른 전송지연 변동, 수신 단축의 잡음 및 간섭, 불규칙한 timing 정보등에 의한 timing jitter와 중계기의 불완전성에 기인한 systematic jitter가 있다. 이러한 jitter는 시스템의 입력단에서는 elastic store를 설정하여 입력 클럭으로 데이터를 write하고 자체 클럭으로 데이터를 read 함으로써 흡수될 수 있다.

Wander는 jitter와 비슷한 현상으로 전송 설비에서의 온도 변화에 따른 전송 지연등이 발생요인이다.

전송 설비에서의 jitter, wander의 허용편차는 CCITT Rec. Q503에서 규정하고 있으며 동기 지역내의 디지털 교환기에서 jitter 및 wander의 한계치 내에서 slip은 0이어야 한다. timing 제어의 일시적인 손실, timing link에서의 비정상 상태의 경우에 발생하는 slip율은 교환기내 클럭의 부정확도에 따르며 다음식으로 표시된다.

$$S = F \times \Delta F \times T / B$$

S : 단위시간(초)당 발생하는 slip수

F : 사용주파수

ΔF : 주파수 정확도

T : 측정시간

B : Buffer용량(bit 수)

3. 동기장치

(1) 구성

디지탈 교환기 TDX-1의 동기기능을 위하여 PAMS 동기 방식을 실현한 동기장치는 다수의 T1 전송로로 부터 기준 timing을 공급받아 우선순위에 따라 PLL 입력 클럭을 선택하여 동기된 클럭을 발생시켜 시스템으로공급하고다른 디지탈 교환기로 기준 timing을 제공하며 PLL 구성시 loop내에 microprocessor를 포함하여 위상여러 검출 및 제어를 디지탈 방식으로 처리하는 digital processing PLL로서 동기기능을 실현하였다. 신뢰도를 고려하여 loop는 3중화 시켰으며 세계중 하나는 master 나머지는 slave로 하여, loop 입력을 master는 외부 입력 클럭으로 slave는 master의 출력 클럭을 선택하여 loop를 동작시키며 별도로 세계의 loop 출력의 위상을 고정시키는 기능을 추가하여 상호 간섭 현상 발생을 억제하였다.

Loop 출력은 32.768MHz로서 이중화된 클럭 본배기의 입력이 되며 TMR(Triple Modular Redundancy) logic에 의해 세계중 하나의 클럭이 선택되어 시스템에서 필요한 8KHz, 256KHz등의 주파수로 본주되어 시스템으로 공급된다. 3중화된 loop 각각에 microprocessor를 포함함으로써 software에 의한 동기기능을 실현하며 장치를 구성하는 하드웨어의 모니터 및 loop 3중화를 제어하여 시스템 동작의 융통성을 부여하였다.

(2) DP-PLL

DP-PLL은 그림 1에서 보여주듯이 phase detector, D/A Converter, VCXO(Voltage Controlled Crystal Oscillator) 및 microprocessor로 구성된다. Phase detector에서는 4KHz의 loop 입력 기준 클럭의 rising edge에서 VCXO 출력을 본주한 16.384MHz 클럭을 count하기 시작하여 다음번 4KHz의 rising edge에서 counter를 reset함으로써 count된 클럭의 수에 의해 위상차를 검출하며 61ns의 배수로 측정된다. 위상 비교는 매 250 μ s 단위로 수행되어 메모리에 저장되고 CPU에서는 매 128ms 단위로 이 데이터를 scanning하여 분석한후 8.192초 주기로 위상차를 보정할 제어 데이터를 산출하여 D/A converter의 입력을 제공한다. D/A converter는 12 bit의 데이터를 수신하여 $\pm 5V$ range의 전압으로 변환시켜 VCXO의 주파수 제어 입력을 공급한다. VCXO의 제어주기 8.192초는 위상여러에 대한 평가 분석 주기로써 외부에서 입력되는 기준 클럭의 short-term stability를 고려하여 선택하였다. 이와같이 DP-PLL을 구성하는 데는 여러가지 파라미터가 요구되며 본 동기장치를 구성하는 PLL의 특성을 표 1에 요약하였다.

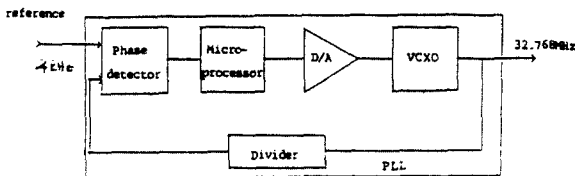


그림 1. PLL block diagram

표 1. DP-PLL Parameter 및 Clock 특성

VCXO type	Oven Controlled Voltage Controlled Crystal Oscillator
VCXO Frequency	32.768MHz
VCXO Long Term Frequency Stability	$\pm 3 \times 10^{-9}$ /day $\pm 9 \times 10^{-8}$ /year
VCXO Frequency Control Range	$\pm 1 \times 10^{-6}$
Resolution of D/A Converter	12 bit
Number of Phase Quantisation Stage	4,096
Frequency Increment	5×10^{-10} /step
Phase Comparison Frequency	4KHz
Phase Detection Frequency	16.384MHz
Phase Sampling Interval	250 μ s
Phase Averaging	2 ¹⁵
VCXO update Interval	8.192 sec.

Loop 동작은 세가지 모드(fast, normal, free-run)로 구분하여 제어하며 fast 모드는 loop가 start-up한 경우 혹은 입력 클럭이 이상상태에서 정상상태로 회복된 경우 입력 주파수를 tracking하는 과정으로 loop는 위상차에 대한 빠른 응답 특성을 갖게되고 normal 모드는 loop가 phase locking된 상태로서 입력의 jitter를 충분히 흡수하고 적은 loop gain을 갖게된다.

Free-run mode는 입력 클럭의 jitter가 심하거나 fail 상태인 경우로 메모리에 기억된 평균 network 주파수로 VCXO를 독립발전하게 함으로써 위상변동을 최대한 억제하고 있다.

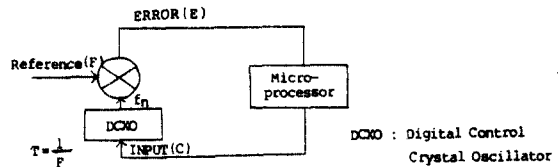


그림 2. Feedback Loop Block도

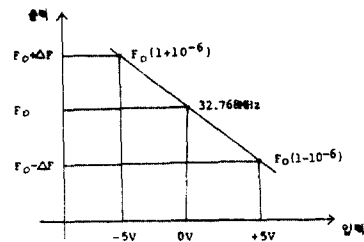


그림 3. VCXO 입력특성

이와같은 loop동작을 그림 2에 요약하였다. reference 클럭과의 위상차 측정주기 T는 250 μ s로서 microprocessor에서는 2¹⁵개의 위상여러 데이터를 분석하여 loop 동작 모드를 결정하여 DCXO의 입력값 C를 산출하며 식 (1)로 표현할 수 있다.

$$C_n = C_{n-1} + K \cdot \bar{E}_n \quad \text{--- 식 (1)}$$

\bar{E}_n : 215개의 위상어터 평가치

한편 DCXO는 D/A converter와 VCXO로 구성되어 있으며 VCXO는 제어입력에 대해 그림3과 같이 선형 negative 특성을 가지므로 식(1)은 다음과 같이 대체될 수 있다.

$$f_n = f_{n-1} - \Delta f_n \quad \text{--- 식 (2)}$$

여기서는 $f_n = K_0 \cdot K_1 \cdot E_n$

K : $K_0 \cdot K_1$

K_0 : loop 상수

K_1 : 단위의 제어주파수

식(1)에서 C_n 은 12 bit 데이터로 $\pm 5V$ 에 대응하는 0과 4,096 사이의 값이 되며 VCXO 제어범위는 $\pm 10^{-6} \cdot F_0$ 이므로 n번째 주기의 제어주파수 변이량은

$$\Delta f_n = K_0 (F_0 \times 10^{-6} \times 2 \pm 4,096) \cdot \bar{E}_n \quad \text{--- 식 (3)}$$

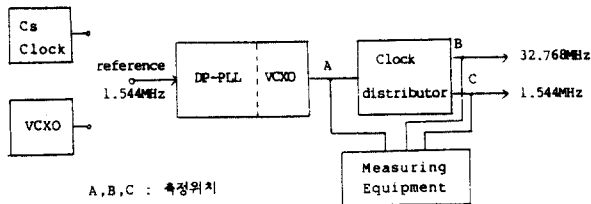
로 표시된다. 이것을 식(2)에 대입하면

$$f_n = f_{n-1} - 4.88 \times 10^{-10} \cdot K_0 \cdot F_1 \cdot \bar{E}_n \quad \text{--- 식 (4)}$$

여기서 K_0 는 loop 제어에 적절한 값으로 선택할 수 있으며 fast 모드에서는 2.0 normal 모드에서는 1.0으로 선택하였다.

(3) 성능평가

동기장치의 성능을 평가하기 위하여 frequency stability를 측정 분석하였다.



A, B, C : 측정위치

그림 4. Frequency stability 측정도

PLL의 reference로서 Cs clock 및 free-run하는 VCXO의 출력 clock을 사용하였으며 clock distributor를 거쳐 시스템으로 공급되는 최종 출력단의 32.768MHz 및 1.544MHz clock을 측정하였으며 free-run하는 VCXO 출력도 측정하였다. Stability는 longterm과 shortterm으로 구분되며 long-term stability는 측정 데이터의 평균치로 구할 수 있고 shortterm stability는 측정된 frequency data로 다음 식에 의해 산출할 수 있다.

$$\text{Relative frequency } y = \frac{f_c - f_s}{f_s} \quad \text{--- 식 (5)}$$

f_c : Actual frequency

f_s : Nominal frequency

$$\text{Frequency stability } G_y(\tau) = \frac{\sqrt{\frac{1}{M-1} \sum_{i=1}^{M-1} (X_{i+1} - Y_i)^2}}{2x(M-1)} \quad \text{--- 식 (6)}$$

τ : Sampling time

y : Relative frequency

M : Number of samples of y_i

Short-term stability를 측정하기 위하여 식(6)의 parameter를 0.1초, 1초, 10초, 100초 단위로 가변시켜 $G_y(\tau)$ 를 측정하였으며 그결과 그림 5와 같이 출력 clock frequency 및 sampling time에 따라 최저 4×10^{-9} 에서 최대 8×10^{-12} 정도의 stability를 얻을 수 있었으며 한달간의 측정기간을 통하여 longterm stability는 약 $1 \times 10^{-10}/\text{day}$ 가 됨을 측정하였다.

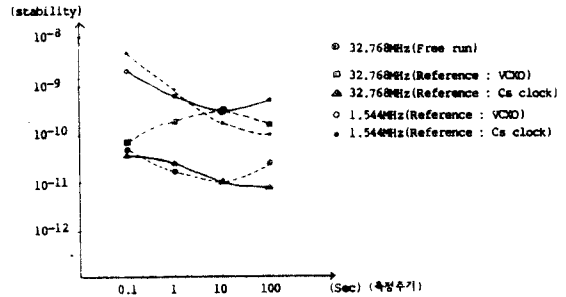


그림 5. 동기장치 frequency stability

4. 결론

디지털 교환망의 성능저하 요소인 jitter 흡수 및 slip 발생 억제를 위한 동기기능의 필요성에 의해 TDX-1에서는 PAMS 방식을 실현한 동기장치를 설계 제작하였으며 microprocessor를 loop내에 포함한 DP-PLL을 실현하여 융통성있는 loop 제어 방식을 보여 주었다. 또한 장치의 성능을 평가하기 위하여 PLL 출력 클럭의 frequency stability를 측정하여 약 $1 \times 10^{-10}/\text{day}$ 정도의 장기안정도를 얻었으며 slip 발생율은 평균 4 slip/day 이하를 유지함으로써 동기품질이 입증되었으나 향후 통신망이 ISDN(Integrated Services Digital Network)와 해감에 따라 고품질의 network 형성을 위한 고도의 동기기술 및 동기망 성능을 평가하기 위한 기술의 제고가 요구된다.

- 참고 문헌 -

1. H.Fukinuki and I.Furukawa, "Intelligent PLL Using Digital Processing for Network Synchronization", IEEE Trans. Commu., Vol COM-31, PP1295-1297 Dec. 1983
2. R.Metz, E.L.Reible and D.F.Winchell, "Network Clock Synchronization", B.S.T.J, Vol.60, PP1109-1129, Jul, 1981.
3. "시간 주파수의 기초와 응용", 1984.4 한국표준연구소
4. "네트워크 동기방식 구성에 관한 연구", 1983.12, 한국전자통신연구소
5. CCITT Recommendations Redbook Vol III Rec. G822, Oct. 1984

6. Ronald E.Schauer, "External Clock Synchronization Plans for the GTD 3 EAX Digital Toll/Tandem", IEEE Trans. Comm Vol COM-27 PP988-989 Jul.1979
7. "Digital Telephony", L.M.Ericsson, Stockholm 1977
8. C.Anthony Cooper, "Synchronization for Telecommunications in a Switched Digital Network", IEEE Trans. Comm. Vol COM-27 PP1028-1030, Jul. 1979
9. John Bellamy, "Digital Telephony", New York, John Wiley & Sons, 1982.